

TTLアプリケーションマニュアル

発行 テキサスインスツルメンツアジアリミテッド
発売 エレクトロニクスダイジェスト

この度、TTLアプリケーションマニュアル第1～第3章がデータシートと共に合本になり、エレクトロニクスダイジェストから出版、発売されることになりました。これでより使いやすい形で皆様方のお役に立つことができ、著者として喜びにたえません。

かえりみれば、私共が分冊形式でTTLアプリケーションマニュアル第1章の原稿を書き始めた、今から約1年半程前、電子計算機メーカー或は、一部の電子機器メーカーのみがTTLを使いこなしていたにすぎず、電子機器産業以外の分野に於ては、ほとんど使われていないような状況でした。しかし、これらの分野に於ける技術者の方々もTTLの品種の豊富さ、使いやすさ、或は経済性などに注目され、デジタルICも電子産業以外の分野に多数使われるようなきざしがみえていました。

ところで、当時TTLに関する技術書、殊に実用書が皆無であったため、TTLを使い初めた技術者から、日夜TTLに関する諸クレームをいただき、至急初心者向けの実用書的な内容のものを出す必要にせまられていました。

レベル的には、大学でデジタル回路の講義を受けた人、或は電子回路をある程度経験した人が、これから新たにTTLを使うとき、或は他のデジタルICを使った経験をもとにTTLを使い始めようという技術者のために役立つような内容としました。

なお、第1章、第2章及び第3章とも、毎日の実務の中からひまをみつければ原稿を書き、1日も早く発行することに全力をあげ、その時点でのテンタティブデータをもとに原稿を書いたため、最終データが確定した時点では具体的な数値が若干異なってしまった箇所もあります。ですから、あくまで応用するときの基本的な考え方を示めたものとして御了承いただきたいと思います。

昭和47年5月

テキサス インスツルメンツ アジア リミテッド

応用技術課 梅原秀之
中村善泰

目次

第1章 TTL入門 54/74シリーズTTL

1. 概 説	(1)
1-1 TTLの特徴	(1)
1-2 最悪試験条件	(1)
1-2-1 最悪温度条件	(2)
1-2-2 最悪負荷条件	(2)
1-2-3 最悪電源電圧条件	(2)
1-2-4 使用しない入力に対する最悪条件	(2)
1-2-5 最悪入力電流を与える条件	(3)
1-3 雑音余裕度	(3)
1-3-1 A.C 及び D.C 雑音	(3)
1-3-2 論理「1」における低雑音感受率	(4)
1-3-3 電源電圧雑音	(4)
1-3-4 接地ライン雑音	(4)
1-3-5 代表的雑音余裕度	(5)
1-3-6 D.C 雑音余裕度の保証値	(5)
2. 54/74 シリーズゲートを用いた論理設計	(6)
2-1 序	(6)
2-2 54/74シリーズゲートの説明	(6)
2-3 論理回路設計	(8)
3. 入出力結合回路	(13)
3-1 入力結合回路	(13)
3-2 出力結合回路	(14)
3-3 その他の結合回路	(14)
3-3-1 白熱電球の駆動	(14)
3-3-2 リレーの駆動	(14)
3-3-3 磁歪遅延線メモリの周辺回路	(15)

- 3-3-4 デコーダ/ドライバーの応用..... (15)
- 3-3-5 SCR 点弧回路 (15)
- 3-3-6 多用途結合用 IC (SN75450N) の応用..... (16)

4. 負 荷 条 件 (20)

- 4-1 ファンアウト規準化 (20)
- 4-2 エミッタをパラに接続した場合の入力電流 (20)
- 4-3 標準 TTL, 高速 TTL 及び低電力 TTL の相互接続..... (21)
- 4-4 一般化した TTL の負荷規定 (22)

5. 雑音及びその対策 (28)

- 5-1 電磁誘導雑音 (28)
- 5-2 静電誘導雑音 (28)
- 5-3 共通インピーダンス雑音 (28)
- 5-4 システム設計における基本的雑音対策 (28)
 - 5-4-1 雑音源からの雑音発生防止..... (28)
 - 5-4-2 接地ライン..... (28)
 - 5-4-3 ワイヤダクト, シールドケースの使用..... (28)
 - 5-4-4 撚り線とシールド線..... (29)
 - 5-4-5 フィルタによる雑音吸収..... (29)
 - 5-4-6 IC のパルス応答を鈍くして雑音を緩和する方法 (29)
 - 5-4-7 シーケンス的動作ロックによる誤動作防止..... (29)
- 5-5 システム設計上の注意事項 (30)

第2章 各種TTLとその応用

54/74シリーズTTL

1. ゲート, バッファ, ドライバ,
シュミット及び単安定マルチ……………(1)
 - 1-1 ゲート及びインバータ……………(1)
 - 1-1-1 NAND ゲートによる各種信号発生器……………(1)
 - 1-1-2 NAND ゲートによる波形整形回路……………(3)
 - 1-1-3 NAND ゲートによるフリップ・フロップ回路……………(4)
 - 1-1-4 インバータ及びNORゲートの応用……………(5)
 - 1-2 バッファ及びドライバ……………(8)
 - 1-2-1 トーテンポール, 高ファンアウト出力のバッファ, ドライバ……………(8)
 - 1-2-2 開放コレクタ, 大シンク電流, 標準出力電圧のバッファ, ドライバ……………(9)
 - 1-2-3 開放コレクタ, 標準シンク電流, 高電圧バッファ, ドライバ……………(9)
 - 1-3 シュミット トリガ……………(10)
 - 1-3-1 シュミット トリガ……………(10)
 - 1-3-2 単安定マルチ バイブレータ……………(11)
2. フリップ・フロップとその応用……………(13)
 - 2-1 概要……………(13)
 - 2-2 フリップ・フロップの分類 (論理機能上)……………(13)
 - 2-2-1 RSフリップ・フロップ (セット リセット)……………(13)
 - 2-2-2 Tフリップ・フロップ……………(13)
 - 2-2-3 R-S-Tフリップ・フロップ……………(13)
 - 2-2-4 J-Kフリップ・フロップ……………(14)
 - 2-2-5 D型フリップ・フロップ……………(14)
 - 2-3 フリップ・フロップの種類およびトリガ リング方式……………(14)
 - 2-3-1 2フェズ方式 (フリップ・フロップ)……………(14)
 - 2-3-2 6ゲートによるフリップ・フロップ……………(16)
 - 2-3-3 C, Rおよびダイオードを使用したトリガ方式……………(17)
 - 2-3-4 リーディングエッジ トリガ方式……………(17)
 - 2-3-5 トレイリングエッジ トリガ方式……………(18)
 - 2-4 各デバイスの動作および取扱い方法……………(19)

4. シフトレジスタ	(54)
4-1 シフトレジスタの基本的な動作と機能	(54)
4-2 MSI シフトレジスタ	(57)
4-2-1 SN54/7491A 及び SN54L/74L91	(57)
4-2-2 SN54/7494.....	(58)
4-2-3 SN54/7495 及び SN54L/74L95	(59)
4-2-4 SN54/7496.....	(60)
4-2-5 SN54/74164	(62)
4-2-6 SN54/74165	(62)
4-2-7 SN54/74166	(64)
4-2-8 SN54/74198	(65)
4-2-9 SN54/74199	(65)
4-2-10 SN54/74L98.....	(67)
4-2-11 SN54/74L99.....	(69)
4-3 シフトレジスタの応用	(72)
4-3-1 SN7491によるリフレッシュメモリ	(74)
4-3-2 直列2進加減算器への応用	(74)
4-3-3 直並列変換器への応用	(75)
4-3-4 カウンタへの応用	(77)
4-3-5 2進—10進変換器への応用	(80)
5. デコーダ／ドライバ及びコード・コンバータ	(83)
5-1 概要	(83)
5-2 デコーダ／ドライバ及びコード・コンバータの種類と動作説明	(83)
5-2-1 SN54/7441AN.....	(83)
5-2-2 SN54/7442 SN54/7443 SN54/7444.....	(85)
5-2-3 SN54/7445 SN54/74145.....	(85)
5-2-4 SN54/74141	(87)
5-2-5 SN54/74155 SN54/74156	(88)
5-2-6 SN54/7446 SN54/7447 SN54/7448 SN54/7449	(89)

5-3	MSI デコーダ/ドライバの応用例	(91)
5-3-1	BCD-10 進数変換 (SN54/7442)	(93)
5-3-2	3-8デコード (SN54/7442)	(93)
5-3-3	3-8デコード (SN54/7444)	(94)
5-3-4	ニクシー管表示回路 (SN54/7441AN SN54/74141)	(96)
5-3-5	7セグメント表示回路 (SN54/7446 SN54/7447)	(96)
5-3-6	論理回路をドライブ (SN54/7446 SN54/7447 SN54/7448 SN54/7449)	(96)
5-3-7	ディスクリート回路をドライブ (SN54/7448 SN54/7449)	(98)
5-3-8	2-4線デコーダ/1-4線デマルチプレクサ	(98)
5-3-9	3-8線デコーダ/1-8線デマルチプレクサ	(99)

6. 論理演算素子とその応用 (103)

6-1	MSI 論理演算素子	(103)
6-1-1	SN54/7480	(103)
6-1-2	SN54/7482	(103)
6-1-3	SN54/7483	(103)
6-1-4	SN54/7486 及び SN54L/74L86	(105)
6-1-5	SN54H/74H87	(105)
6-1-6	SN54/74181	(106)
6-1-7	SN54/74182	(107)
6-1-8	SN54H/74H183	(108)
6-2	論理演算素子の応用	(108)
6-2-1	加算の基礎 (全加算器)	(109)
6-2-2	並列2進加算回路	(109)
6-2-3	直列2進加算回路	(109)
6-2-4	2進減算の方法	(110)
6-2-5	並列2進加減算回路	(111)
6-2-6	直列2進加減算回路	(112)
6-2-7	並列BCD加算	(113)
6-2-8	並列BCD減算	(114)

7. データセレクトとその応用(115)

7-1 概 要(115)

7-2 各デバイスの説明(115)

7-2-1 SN54/74150 の回路構成及び特性.....(115)

7-2-2 SN54/74151 の回路構成及び特性.....(118)

7-2-3 SN54/74152 の回路構成及び特性.....(120)

7-3 回路説明及び回路上の特徴(120)

7-3-1 回路上の特徴(121)

7-4 アプリケーション(122)

7-4-1 並列一直列変換(122)

7-4-2 マルチ チャンネル ワードの並列/直列変換.....(123)

7-4-3 キャラクタ ジェネレータ.....(123)

7-4-4 コンパレータ(126)

7-4-5 マルチ チャンネル データ伝送システム(126)

8. メモリ ラッチ(128)

8-1 デバイスの構成と動作(128)

8-1-1 SN54/7475 (4ビットバイステーブル ラッチ).....(128)

8-1-2 SN54/7481, SN54/7484 (16ビット R/Wメモリ)(129)

8-1-3 SN7488 (256ビット R.O.M).....(131)

8-1-4 SN7489 (64ビット R/Wメモリ).....(133)

8-1-5 SN54/74100 (8ビット, バイステーブル ラッチ).....(134)

8-1-6 SN54/74170 (4×4ビット レジスタ).....(134)

8-1-7 SN74185 (2進-BCDコンバータ)(135)

8-2 メモリ ラッチの応用例.....(136)

8-2-1 SN54/7475のカウンタへの応用.....(137)

8-2-2 SN7484による64W×8Bメモリ.....(137)

8-2-3 SN7489による 64W×4Bメモリ.....(138)

8-2-4 16B/W→4B/Wバッファメモリ(140)

第3章 システムインターフェース及び 74SシリーズTTL

1. まえがき	(1)
2. 磁気メモリとのインターフェース	(2)
2-1 SN75シリーズ・メモリドライバとその応用	(2)
2-1-1 SN75303 及び SN75308 (トランジスタアレイ)	(2)
2-1-2 SN75324 及び SN75325 (Sink-Sourceスイッチ)	(3)
2-1-3 SN75450シリーズ (多目的ドライバ)	(4)
2-1-4 メモリドライバのメモリシステムへの応用	(4)
2-2 SN7520 シリーズ・センスアンプとその応用	(9)
2-2-1 SN7520 シリーズ・センスアンプの特徴	(11)
2-2-2 特性及び使用上の注意事項	(12)
2-2-3 各センスアンプの応用	(15)
2-2-4 コアメモリシステムへの応用例	(17)
3. トランスミッション・ラインとのインターフェース	(22)
3-1 SN55/75100 シリーズとその応用	(22)
3-2 SN55/75109, SN55/75110 (ライン・ドライバ)	(22)
3-2-1 ライン・ドライバの概要	(22)
3-2-2 回路説明	(23)
3-3 SN75150 (ライン・ドライバ)	(25)
3-4 SN55/75107, SN55/75108 (ライン・レシーバ)	(26)
3-4-1 ライン・レシーバの概要	(26)
3-4-2 ライン・レシーバの回路説明	(28)
3-5 SN75154 (ライン・レシーバ)	(31)
3-6 使用上の注意事項	(31)

3-7	データ伝送システムにおけるアプリケーション	(36)
3-8	データ伝送システム以外の応用例	(39)
4.	MOSとのインターフェース	(44)
4-1	MOSの種類	(44)
4-1-1	スレッショルド電圧による分類	(44)
4-1-2	出力回路形式による分類	(44)
4-2	MOS—TTL インターフェース	(45)
4-2-1	データ入力に対するインターフェース	(45)
4-2-2	MOS出力に対するインターフェース	(46)
4-2-3	クロック・ドライバ	(47)
5.	その他のシステムとのインターフェース	(48)
5-1	SN55/75450シリーズの回路構成及び電気的特性	(49)
5-2	アプリケーション	(51)
6.	SN74SシリーズTTLとその応用	(56)
6-1	ショットキ・クランプドTTLの概要	(56)
6-1-1	ショットキ・クランプドTTLの特徴及び用途	(56)
6-1-2	SBD TTLの主な特性	(57)
6-2	SN74Sシリーズの動作と機能	(62)
6-2-1	SN54S/74S00 SN54S/74S04 SN54S/74S10 SN54S/74S20 (NANDゲート/HEX インバータ回路)	(62)

6-2-2	SN54S/74S03 SN54S/74S05 SN54S/74S22 (NANDゲート/HEX インバータ回路)	(63)
6-2-3	SN54S/74S11 SN54S/74S15 (トリプル3入力ANDゲート回路)	(63)
6-2-4	SN54S/74S40 SN54S/74S140 (デュアル4入力NANDバッファ/ドライバ回路)	(64)
6-2-5	SN54S/74S64 SN54S/74S65 (4-2-3-2入力AND-OR-INV回路)	(64)
6-2-6	SN54S/74S74 (デュアルD型フリップ・フロップ)	(65)
6-2-7	SN54S/74S112 (デュアルJ-K フリップ・フロップ)	(66)
6-2-8	SN54S/74S113 SN54S/74S113 (デュアルJ-K フリップ・フロップ)	(68)
6-3	システム設計に対して考慮すべき点	(68)

付 録

SN 54/74 シリーズ TTL IC 一覧表	(1)
SN 75 シリーズ CSIC 一覧表	(17)
SN 74 シリーズ SSI 一覧表	(20)
SN 74 シリーズ MSI 一覧表	(22)
SN 74L シリーズ SSI 一覧表	(26)
SN 74L シリーズ MSI 一覧表	(27)
SN 74S シリーズ SSI 一覧表	(29)
N プラスチック DIP パッケージ寸法図	(31)
他社製品との比較一覧表 (外国編)	(32)
他社製品との比較一覧表 (国内編)	(42)

第1章 TTL入門 54/74シリーズTTL

1 概 説

TI 54/74 シリーズは、相互接続可能な3種のファミリー、54/74 54H/74Hおよび54L/74Lからなり、110種に及ぶ機能を持つ、最も完全なICロジック・ファミリーである。3種のファミリーはいかなる速度と、消費電力の組み合わせを持つシステムでも、可能なように共用することができる。

次のような特性がこれらのファミリーに共通である。

- 電源電圧..... 5 V
- 論理⁰、出力電圧..... 0.2 V
- 論理¹、出力電圧..... 3 V
- 雑音余裕度..... 1 V
- 動作温度範囲
 - 54/54H/54L -55°C~125°C
 - 74/74H/74L 0°C~70°C

これらのTTL回路を同一システム中で共用するための標準化したファン・アウトに対する指針が第4節に述べられている。

1-1 TTL の特徴

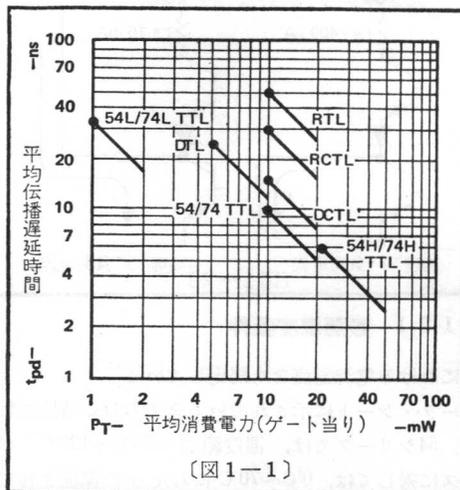
54/74シリーズTTLデジタル集積回路ファミリーは、飽和型論理回路と、モノリシック半導体技術の利点を最大限に活用して作られたもので、現在、および、将来ともシステム設計の際、速度、電力積の点からみて、最も良い性能を発揮する論理ICであると考えられる。

TTL以外の形式の論理回路では、トランジスタを用いた場合より、性能が劣るにもかかわらず、安価であるという理由から、ダイオード、あるいは、抵抗が使用されている。しかし、モノリシック回路では、ダイオード、あるいは、抵抗よりトランジスタを作る方が、コストを安くできる。

したがって、性能の改善のためと、抵抗値が変わった時、電流の変動を緩和するという目的のために一般にトランジスタが使用されている。

また、TTLは通常使用される入力ダイオードの代りにTTLマルチ・エミッタを用い、受動プル・アップによる遅い立ち上がり時間を能動的なプル・アップ・トランジスタによって高速化している。

入力トランジスタの低容量の各エミッタは、駆動回路に対する負荷を大変少なくしていると同時に、このトランジスタがターンオンした時、多少の利得を提供し、低インピーダンス・パス[近似的に $V_{CE(sat)}$]によって、位相反転トランジスタのベースから、ベース電荷を取り除き、ターン・オフを速くするという効果を持っている。したがって、受動素子による入力と比較した時、TTL入力は、非常に速く応答することになる。



〔図1-1〕

回路名	論理タイプ	tpd(ns)	Pr (mW)	速度電力積	代表的なファンアウト数
54L/74L TTL	NAND	33	1	33	10
54/74 TTL	NAND	10	10	100	10
54H/74H TTL	NAND	6	23	138	10
DTL	NAND	25	5	125	8
DCTL	NOR	15	10	150	3
RCTL	NOR	30	10	300	4
RTL	NOR	50	10	500	4

<表1-1>

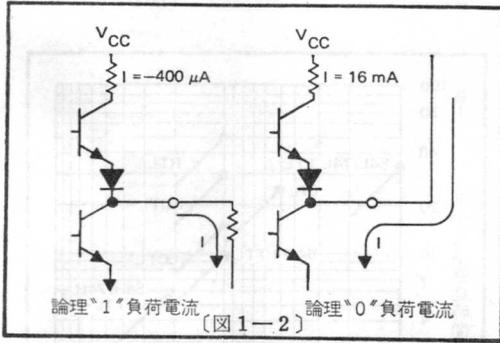
TTL回路全体のスイッチング・タイムを減少させる、もう一つの重要な特長は、能動プル・アップ出力である。

ダブルエンド出力は、ターン・オフの時間を少なくするとともに、論理⁰、論理¹、の両方の状態において、出力インピーダンスを低くできるので、大きな容量負荷に対しても、電流を供給、あるいは、吸収でき容量結合AC雑音を少なくすることが可能となる。

代表的な飽和型デジタル論理ファミリーの速度と、消費電力の積の比較を表1-1と図1-1に示す。

1-2 最悪試験条件

規格シートに記載されている値は、試験条件が明確に規定されていなければ、誤解を生じる恐れがある。54/74シリーズの最も大きな特長は、規格が作られる時、最悪試験条件が適用されているということである。データシートには、最悪試験条件が明確に記載され、最大電源



1-2-1 最悪温度条件

電圧における電源電流をも規定している。

データ・シートに示されている全てのDC特性の規格値は、54シリーズでは、温度範囲 $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 74シリーズに対しては、 $0^{\circ}\text{C} \sim 70^{\circ}\text{C}$ にわたって保証されている。

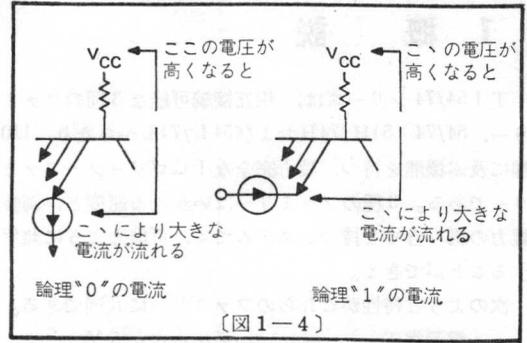
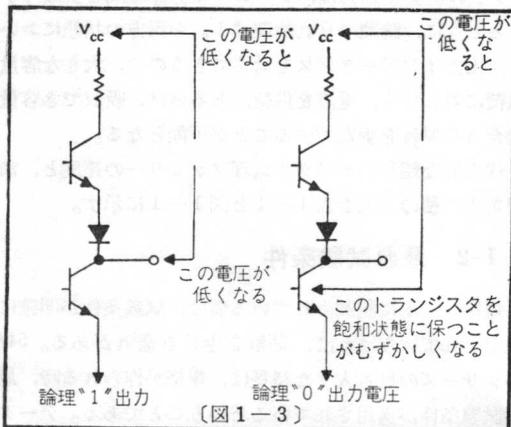
最悪値が生じる温度を無視して、パラメーターをある特定の温度で規定した場合、最悪温度条件でも、信頼性のある動作が得られるとは限らないので、TIは全てのパラメーターを全温度範囲にわたって保証している。

1-2-2 最悪負荷条件

論理 1、出力電圧試験では、最悪入力電圧に対する入力電流の10倍の電流を供給できる能力を持たせて、10個のファン・アウトを保証している。

例えば、54/74シリーズの場合、出力から $400\mu\text{A}$ の電流をとり出すことができる。一方入力側は 2.4V の入力電圧において、 $40\mu\text{A}$ またはそれ以下の電流に規定されているから、最悪条件の場合でも10個のファン・アウトをとることができる。

同様にして、論理 0、状態では、最悪状態でも、10個のファンアウトが充分可能なだけの電流を下方の出力トランジスタに流すことができる (図 1-2)。



1-2-3 最悪電源電圧条件

論理 1、出力電圧は、電源電圧変化に対し、事実上 1 : 1 で追従する。したがって、論理 1、出力レベルを測定する際の最悪電源電圧は、許容される最も低い電圧、すなわち、54シリーズでは 4.5V 、74シリーズでは 4.75V である。

同様にして、論理 0、出力が試験される時は、電源電圧の低い方の限界が使用される。なぜならば、電圧が低くなれば、出力トランジスタに対するベース駆動電流が減少し、トランジスタを飽和状態に保つことがより難かしくなるからである (図 1-3)。

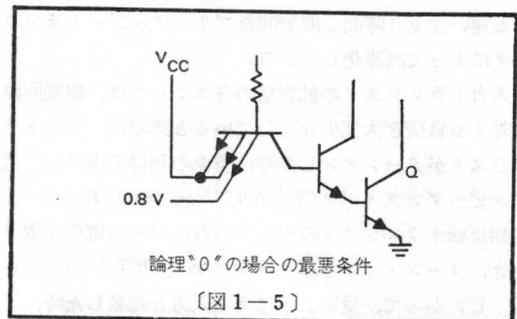
しかしながら、入力を試験する時は、条件が異ってくる。その際には、電源電圧の高い方の限界が使用される。

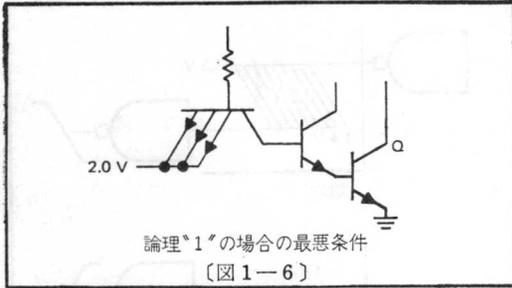
すなわち、54シリーズは 5.5V 、74シリーズでは、 5.25V である。なぜなら、電源電圧を高くすれば、より多くの電流が入力に流れるからである (図 1-4)。

これらの試験は、いかなるシステムでも一般に電源電圧は一定に保たれているので、非常に極端な条件のときの動作試験となる。しかし、このような試験によって、非常に信頼性のあるシステム動作を保証することができるわけである。

1-2-4 使用しない入力に対する最悪条件

いろいろな出力条件の場合の最悪電圧について説明したが、図 1-5 に示されているように、使用してい





ない入力に対しても、最悪条件の電圧をかけて試験が行なわれる。

すなわち、最悪の論理 0、入力 (0.8V)——この電圧は出力トランジスタ Q をオフ状態に保つため必要——を 1 つの入力に与えた場合には、その他の使用していない入力には、動作保証範囲内の最高の電源電圧を印加する。

これらの高い入力電圧は、もし、0.8V 入力電圧がなかったとすれば、トランジスタ Q をターン・オンする傾向を持つから、このような組み合わせが最悪条件となる (図 1-5)。出力トランジスタ Q をターン・オンするために、最小論理 1、電圧 (2.0V) を入力に加える場合には、最悪条件は、他の全ての入力を 2.0V の最小論理 1、電圧に保つときである。したがって、入力の全てに、この電圧を印加する (図 1-6)。

1-2-5 最悪電源電流を与える条件

54/74 54H/74H 54L/74L シリーズ TTL に対する電源電流は、 $V_{cc} = \text{MAX}$ を電源電圧として、印加した時の最大電流で規定されている。

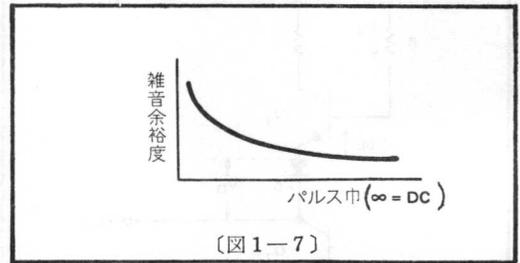
電源電流が、 V_{cc} の代表値 (5V) が印加された場合について規定されているのでは、本当の最悪電流値を与えることにはならない。事実 V_{cc} の代表値での I_{cc} は、近似的に最悪値の 91% である。そして、その結果生じる消費電力は、近似的に最悪値の 82% となる。

要約すると、全てのパラメータの最悪試験は、代表的な試験で得られるものと比べると、あまり意味を持たないような印象を与えるが、この最悪試験によって、システム中の全ての回路が最悪条件の下でも、正しく働くという十分な保証が得られるわけである。

1-3 雑音余裕度

雑音余裕度は、集積回路を評価する際、考慮すべき肝要な点である。なぜなら、ある条件の下では、雑音が誤ってゲートをトリガース、システムを誤動作させることがあるからである。

混乱を避けるために、全て雑音源を調査、検討し、実際のシステムにおいて、それらが 54/74 シリーズ TTL

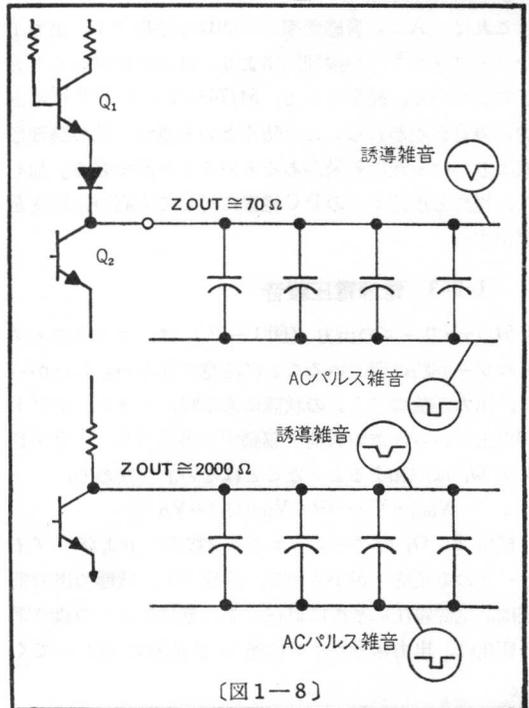


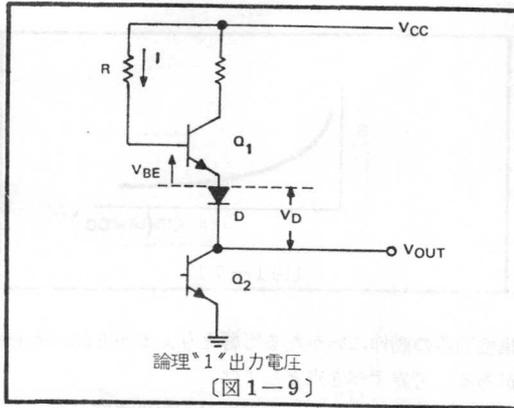
集積回路の動作にいかなる影響を与えるかを調べる必要がある。考慮すべき点としては、

- (1) AC 雑音と DC 雑音の相対的な重要性
- (2) 容量結合雑音とインピーダンス効果
- (3) 電源電圧雑音
- (4) 接地線雑音
- (5) 雑音余裕度の代表値と保証値との差等がある。次にこれらの点を個々に検討してみよう。

1-3-1 AC 及び DC 雑音

AC 雑音を定義することは難しく、それを規格に結びつけることはさらに難しいことである。一般には、DC 雑音の方が問題になる。すなわち、雑音余裕度をパルス幅に対して、プロットすると、回路はパルス幅が減少するにつれて、より雑音に強くなることが示される (図 1-7)。





AC雑音を議論する時、雑音感受率という言葉が雑音余裕度という言葉より適切である。雑音について54/74シリーズは次のような特長を持つ。

1-3-2 論理 1、状態における低雑音感受率

TTLの大きな特長は、論理 1、状態で電流を供給し、論理 0、状態で電流を吸収する出力の形である。代表的には、標準の54/74シリーズ回路で、論理 0、出力インピーダンスは 12Ω 、論理 1、出力インピーダンスは 70Ω である(図1-8)。したがって、どちらの状態でもこの低い出力インピーダンスのために、容量結合AC雑音が少なくなると同時に、波形の完全さを保つのに必要な小さなRC出力時定数を与えることができる。

これは、AC雑音感受率が 2000Ω の論理 1、出力インピーダンスを持つ論理回路より、はるかに良いことを意味している。結果として、54/74シリーズTTLは出力に雑音が現われることを防ぐという点で、他の論理形式より、はるかに効果があるといえることができる。加えて、電源と接地からのDC雑音に対しても高い余裕度を発揮する。

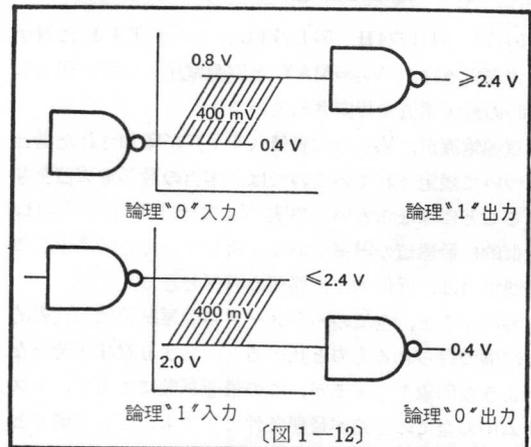
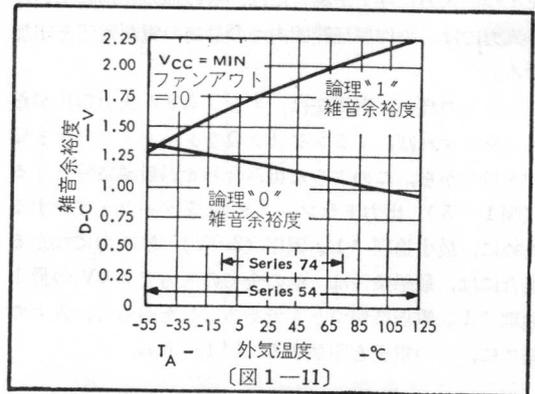
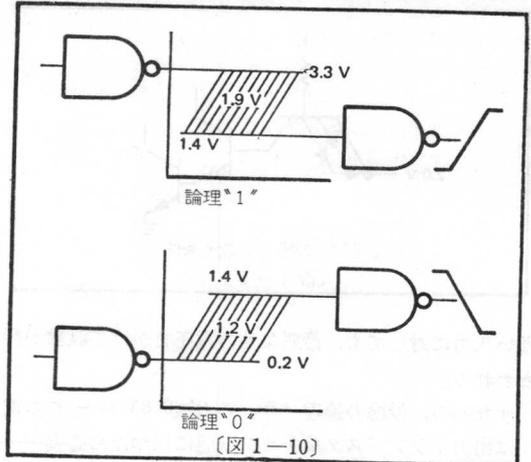
1-3-3 電源電圧雑音

54/74シリーズの出力(図1-9)は、エミッタ・フォロワ回路に似ていることに注意されたい。したがって、出力が論理 1、の状態にある時、ファン・アウト10以上といった重い負荷を駆動する場合でも、トランジスタ Q_1 は飽和するようなことはない。すなわち、

$$V_{out} = V_{cc} - IR - V_{BE}(Q_1) - V_D$$

抵抗R、 Q_1 のベース・エミッタ接合、および、ダイオードの電圧降下が小さい時、論理 1、状態で出力電圧は、電源電圧に密接に追従する。電源ラインの負の電圧変化は、出力信号ラインに殆んど直接に現われてくる。

論理 1、における高いDC雑音余裕度は、電源電圧



変化によって、誤動作する確率を減少する。

1-3-4 接地ライン雑音

論理 0、状態で Q_2 は飽和し、接地ラインの正の変化は信号ライン上に現われる。

したがって、電源電圧雑音、接地ライン雑音は共に信号ライン上の雑音として現われる。そのため、DC雑音の取り扱いには信号線だけに注目することにより、包括し

て議論することができる。

1-3-5 代表的なDC雑音余裕度

54/74シリーズ・ゲートは入力電圧が約1.4Vのスレショールド電圧を境に変化する時、その論理状態を変える。その出力電圧は、論理 $\bar{1}$ 、状態で代表的には3.3V、論理 $\bar{0}$ 、状態で0.2Vである(図1-10)。

したがって、出力は代表的には $\bar{1}$ 、状態で、1.9Vの負に向う雑音を、 $\bar{0}$ 、状態で1.2Vの正に向う雑音に耐えることができる。両方の状態において、54/74シリーズは、1V以上の代表的雑音余裕度を持つことになる(図1-11)。

1-3-6 DC雑音余裕度の保証値

単に、回路が誤って、トリガーすることがないであろうといっても、設計技術者にとっては、適切な保証にはなり得ない。製造者は、雑音が入った時、越えてはならない出力電圧の絶対限界をも保証しなければならない。

図1-12は、これらの保証電圧を示している。論理 $\bar{0}$ 、入力試験電圧は、0.8Vであるから400mVの雑音余裕度を保証するために、論理 $\bar{0}$ 、の場合の出力電圧の最大値を0.4Vとしている。

同様にして、論理 $\bar{1}$ 、入力試験条件は2.0Vであるので、論理 $\bar{1}$ 、の場合の最小出力電圧を2.4Vとしてある。

したがって、両方の状態ともに、保証された雑音余裕度は400mVである。

2 54/74 シリーズゲートを用いた論理設計

2-1 序

計算機や制御システムなどのデジタル機器は、ORおよび、ANDといった基本的論理回路の組み合わせから構成されている。

この基本的な回路機能を、数式的に表現すると、次のようになる。

$$\text{OR : 出力} \quad Y = A + B \dots\dots\dots(1)$$

$$\text{AND : 出力} \quad Y = A \cdot B \dots\dots\dots(2)$$

次にORおよびANDの組み合わせによって、1つの機能を持った回路とする場合には、2つの例が考えられる。

$$\text{OR-AND : 出力} \\ Y = (A + B + C) \cdot (D + E + F) \dots\dots\dots(3)$$

$$\text{AND-OR : 出力} \\ Y = A \cdot B \cdot C + D \cdot E \cdot F \dots\dots\dots(4)$$

これら(1)~(4)式は、ブール代数式で、ちょうど論理的な表現方法に対応させることができる。そこで、 $\bar{1}$ 、または、 $\bar{0}$ 、といった2進数で、その機能、動作を表現できるようなシステムでは、ブール代数が利用される。

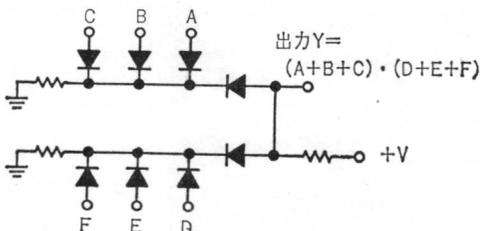
したがって、上記のA, B, C……Yといった変数は、全て $\bar{1}$ 、または、 $\bar{0}$ 、のいずれかの数であり、当然(1)~(4)式の右辺の諸変数の変化で右辺が $\bar{1}$ 、となるか $\bar{0}$ 、となるかによって、出力Yが $\bar{1}$ 、または $\bar{0}$ 、になるか決ってくる。

上記のようなブール代数の機能をダイオードによるANDおよびORゲートの組合せによって実現することができる。

例えば、(3)式の機能は図2-1に示した回路構成で実現できる。

しかし、この回路をとおすことによって、入力信号レベルは減衰するので、このようなダイオード論理回路は一般に2~3段以上はカスケード接続することができない。

そこで、出力信号の波形整形、あるいは、レベル再生



ダイオード論理回路 $Y = (A + B + C)(D + E + F)$

〔図2-1〕

の目的でダイオード論理回路の出力にインバータが付加される。これによって、いくつでもゲートをカスケードに接続することが可能となる。

ただし、この場合、付加コンバータ出力は、先のダイオードゲート出力を否定した形になる。

すなわち、ANDのダイオードゲートにインバータを付加することによりNANDとなり、ORはNORゲートになる。

このようなゲートは、入力信号のコンプリメントの形が必要な場合、有利であるが、そうでない時は、より多くのゲートを必要とすることが一つの不利な点である。

例えば、NANDゲートで(2)式の実現しようとする場合、入力信号A, BがNANDゲートに与えられると、出力は $\overline{A \cdot B}$ となる。

そこで、出力 $A \cdot B$ を得るためにもう一つのNANDゲートをインバータとして用いる必要がある。すなわち、ここでは、ダイオードでは一つのANDゲートでよいものが、NANDでは2つのゲートを必要とする。

しかし、実際にはNORゲート1つだけで $A \cdot B$ を得られることが後に述べられている。

ICはコスト、信頼性、および、スペースなどの面でデスクリット回路より有利であり、当然ICをデジタル回路に使用した場合にも有利である。

ICは一般にNANDとNORの形の組合せによって作られているので、ここでもNANDとNORゲートで論理機能を果たす方法について記述され、これらゲートの数を最少にする設計テクニックが説明されている。

また、54/74シリーズTTLゲートの特殊な回路構成法についても述べられている。

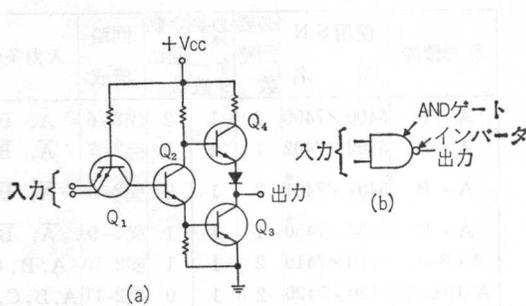
2-2 54/74シリーズゲートの説明

54シリーズおよび74シリーズとは、デジタルICの2つのファミリーに対する名称である。そして、両シリーズとも全く同一の基本ゲート回路が利用できるが、54シリーズは軍用であって、 $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の温度範囲で動作させられるが、74シリーズは工業用で $0^{\circ}\text{C} \sim +70^{\circ}\text{C}$ の範囲でしか使用できない点異なる。

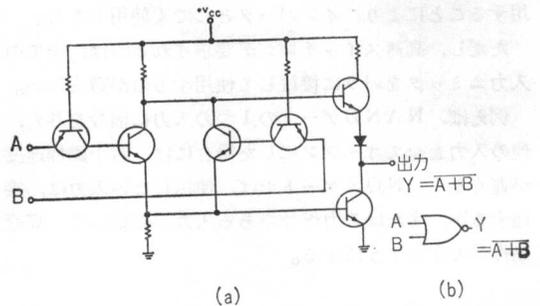
しかし、ゲートの論理機能に関する限りは、54シリーズであるか74シリーズであるかでは全然差がない。

したがって、54/74シリーズという名称は54シリーズおよび74シリーズの両方を意味する。そして、TI社製の全てのICと同様に、これら2つのシリーズの回路番号の前にSNを付けて呼ぶ。

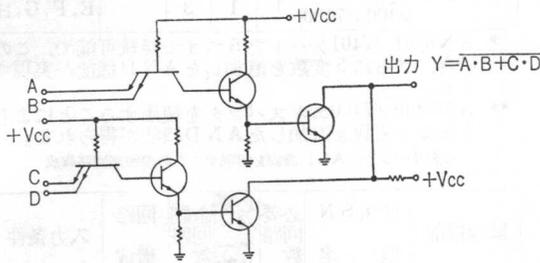
54/74シリーズの各ゲートの詳細について説明する前に、正論理および負論理という言葉について考察してみよう。



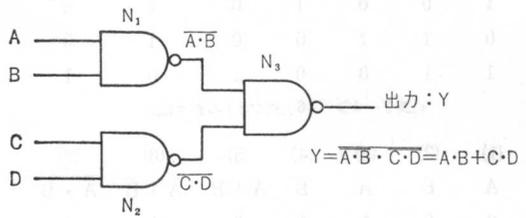
【図2-2】 54/74シリーズNANDゲートの回路構成と論理記号



54/74シリーズNORゲートの回路構成と論理記号
【図2-4】



【図2-3】 SN7401 NANDゲートを用いたOR回路構成



3つのNANDゲートでAND-OR機能
Y = A · B + C · Dを得る方法
【図2-5】

正論理とは、2進数の「1」を正のレベルに対応させ「0」を負のレベルに対応させる論理方式をいう。

また、負論理とは逆に「1」を負レベル、「0」を正のレベルに対応させた方式をいう。したがって、正論理の場合のNAND、および、NORゲートは、負論理ではそれぞれNORおよびNANDゲートになることに注意する必要がある。現在では、正論理が負論理より広く用いられているので、この54/74シリーズのゲートについても、ここでは正論理であることを前提として説明することにする。

図2-2(a)は、最も広く用いられている54/74シリーズのTTL NANDゲートの回路構成である。この図は入力信号でドライブされる2つの入力エミッタを持っている。そして、このエミッタのうち1つでも接地電位にあると、出力は V_{cc} レベルに近くなる。また、両エミッタがオープンになっているか、あるいは、2.0V以上の電圧が与えられると、出力は接地電圧に近い値になる。

この回路の論理記号を図2-2(b)に示す。これは、すなわち、1つのANDゲートと1つのインバータよりなっている。

図2-2(a)の Q_3 および Q_4 は出力がそれぞれ低レベルのとき、高レベルのときに負荷をドライブする動きをするトランジスタであって、負荷電流は Q_3 により吸収され Q_4 によって供給される。すなわち、これら2つのトランジスタは「トータムポール」と呼ばれる回路構成

になっている。

SN5401/7401 NANDゲートは、前述のようなトータムポール出力とはなっておらず、単に1個のトランジスタが使用されているだけであって、このことは、2または、それ以上の出力コレクタを図2-3に示すように相互に接続できるという利点を有する。

この場合、図のように両トランジスタがオフのときに正の出力信号が得られるように、外部抵抗を V_{cc} に接続する必要がある。そして、この場合の論理代数表示は、次のようになる。

$$\text{出力} : Y = \overline{A \cdot B + C \cdot D} \dots \dots \dots (5)$$

同様の方法で7つのゲートの出力を接続した場合には、(5)式の0 Rの項を7つにすればよい。ところで、SN5401/7401 1つだけの場合のファン・アウト能力は10であるが、図2-3に示したように、2または、それ以上のゲートを接続すると、ファン・アウト能力は減少する。

すなわち、最大ファン・アウト数は、並列接続したゲートの数と外部抵抗の値に左右される。

54/74シリーズのNORタイプのゲート構成を図2-4(a)に示す。このゲートの場合には、両入力エミッタとも接地電圧になったときに、出力が正の電圧になる。したがって、この回路は、すなわちNORの機能を持っている。図2-4(b)は、このNOR回路の論理記号である。

NANDおよびNORゲートとも、1つの入力だけ使

用することにより、インバータとしても使用できる。

ただし、高速スイッチングが要求される時は、全ての入力エミッタをパラに接続して使用するのが望ましい。

例えば、NANDゲートの1つの入力に信号を与え、他の入力を全てオープンにした場合には、若干動作速度が遅くなる。NORゲートでは、使用しない入力は、接地するか、または入力信号のある入力へ接続して、高速動作ができるようにする。

(1)	(2)	(3)	(4)	(5)	(6)	(7)
A	B	\bar{A}	\bar{B}	A · B	$\bar{A} + \bar{B}$	$\overline{A + B}$
0	0	1	1	0	1	0
1	0	0	1	0	1	0
0	1	1	0	0	1	0
1	1	0	0	1	0	1

<表2-1> (6)式に対する真理値表

(1)	(2)	(3)	(4)	(5)	(6)	(7)
A	B	\bar{A}	\bar{B}	A + B	$\bar{A} \cdot \bar{B}$	$\overline{A \cdot B}$
0	0	1	1	0	1	0
1	0	0	1	1	0	1
0	1	1	0	1	0	1
1	1	0	0	1	0	1

<表2-2> (7)式に対する真理値表

SN5450/7450およびSN5453/7453は、AND-ORインポート機能を持ったもので、これら2つの回路の使用しないANDゲートの少なくとも1つの入力は、接地しなければならない。

2-3 論理回路設計

次に示す2つのブール代数恒等式は、ここで解析を行なうにあたって、特に重要な等式である。

$$A \cdot B = \overline{\overline{A + B}} \dots \dots \dots (6)$$

$$A + B = \overline{\overline{A \cdot B}} \dots \dots \dots (7)$$

これら2つの等式の妥当性を実際に示すために、(6)式および(7)式の真理値表を、それぞれ表2-1および表2-2に示す。すなわち、表2-1の5行、および、7行を比較することにより、(6)式が正しいことがわかるし、表2-2の5行と7行より(7)式が誤っていないことがわかる。

(6)式は、入力A、BのAND機能は、それぞれAの否定とBの否定のNORによっても得られることを示しており、また、(7)式はAとBのOR機能は \bar{A} と \bar{B} のNANDでも得られることを示している。そして、これら2つの式は多数の変数の場合にも適用できる。

論理式がANDとORの組合せからなっている場合、同一の機能をNAND、および、NORだけの組合せで実現可能である。

論理機能	使用SN型名	必要回路数	必要パッケージ数	余剰回路数	回路構成	入力条件
A · B	5400/7400	2	1	2	図2-6	A, B
A · B	5402/7402	1	1	3	図2-7	\bar{A}, \bar{B}
A · B	5401/7401*	2	1	2	図2-8	\bar{A}, \bar{B}
A · B	5450/7450**	1	1	1	図2-9	\bar{A}, \bar{B}
A · B · C	5410/7410	2	1	1	図2-10	A, B, C
A · B · C · D	5420/7420	2	1	0	図2-11	A, B, C, D
A · B · C · D	5453/7453**	1	1	0	図2-12	$\bar{A}, \bar{B}, \bar{C}, \bar{D}$
A · B · C · D E · F · G · H 及び	5430/7430 5400/7400	1 1	1 1	0 3	図2-13	A, B, C, D E, F, G, H

* SN5401/7401ゲートを5つまで接続可能で、この場合、さらに5変数を追加したAND機能が実現できる。

** SN5460/7460エキスパンダを使用することによりさらに4変数を追加したAND機能が得られる。

<表2-3> AND機能を実現するための論理回路構成

論理機能	使用SN型名	必要回路数	必要パッケージ数	余剰回路数	回路構成	入力条件
A + B	5402/7402	2	1	2	図2-14	A, B
A + B	5401/7401*	2	1	2	図2-15	A, B
A + B	5400/7400	1	1	3	図2-16	\bar{A}, \bar{B}
A + B	5450/7450**	2	1	0	図2-17	A, B
A + B + C	5410/7410	1	1	2	図2-18	$\bar{A}, \bar{B}, \bar{C}$
A + B + C + D	5453/7453** 5400/7400	1 1	1 1	0 3	図2-19	A, B, C, D
A + B + C + D	5420/7420	1	1	1	図2-20	$\bar{A}, \bar{B}, \bar{C}, \bar{D}$
A + B + C + D + E + F + G + H	5430/7430	1	1	0	図2-21	$\bar{A}, \bar{B}, \bar{C}, \bar{D}, \bar{E}, \bar{F}, \bar{G}, \bar{H}$

* SN5401/7401ゲートをさらに5個接続可能で、この場合さらに5変数を追加したOR機能が実現できる。

** SN5460/7460エキスパンダの使用によりさらに4変数を追加したOR機能が得られる。

<表2-4> OR機能を実現するための論理回路構成

例えば、 $\overline{A \cdot B + C \cdot D}$ は図2-3のように2つのNANDゲートで得ることができ、A · B + C · Dが欲しいときには、この回路の出力にインバータを付加すればよいことになる。

ところで、A · B + C · Dを得るもう1つの方法が図2-5に示されている。すなわち、NANDゲートN₁、および、N₂の出力はそれぞれ $\bar{A} \cdot \bar{B}$ と $\bar{C} \cdot \bar{D}$ であり、これら2つの変数をNANDゲートN₃の入力とすれば、N₃出力は、

$$\text{出力: } Y = \overline{(\bar{A} \cdot \bar{B}) \cdot (\bar{C} \cdot \bar{D})} \dots \dots \dots (8)$$

この(8)式を(7)式の関係を用いて書き直すと、次のようになる。

論理機能	使用 S N 型 名	必要 回路 数	必要 パッ ケージ 数	余 回路 数	回路 構成	入力条件
$A \cdot B + C \cdot D$	5400/7400	3	1	1	図2-22	A, B, C, D
$A \cdot B + C \cdot D$	5401/7401*	3	1	1	図2-23	A, B, C, D
$A \cdot B + C \cdot D$	5450/7450**	2	1	0	図2-24	A, B, C, D
$A \cdot B + C \cdot D$ $E \cdot F + G \cdot H$	5453/7453** 5400/7400	1 1	1 1	0 3	図2-25	A, B, C, D E, F, G, H
$A B C +$ $D E F$	5410/7410	3	1	0	図2-26	A, B, C, D E, F
$A B C D +$ $E F G H$	5420/7420 5400/7400	2 1	1 1	0 3	図2-27	A, B, C, D E, F, G, H
$A B C D E$ $F G H + J$ $K L M N P$ $Q R$	5430/7430 5400/7400	2 1	2 1	0 3	図2-28	A, B, C, D E, F, G, H J, K, L, M N, P, Q, R

* さらに5つのSN5401/7401ゲートを追加でき、これによってさらに5つの2変数ANDの項が追加される。

** SN5460/7460の使用により、さらに4変数のANDの項が4つ追加できる。

<表2-5> AND-OR機能を実現するための論理回路構成

論理機能	使用 S N 型 名	必要 回路 数	必要 パッ ケージ 数	余 回路 数	回路 構成	入力条件
$(A+B) \cdot (C+D)$	5402/7402	3	1	1	図2-29	A, B, C, D
$(A+B) \cdot (C+D)$	5401/7401*	2	1	2	図2-30	$\bar{A}, \bar{B}, \bar{C}, \bar{D}$
$(A+B) \cdot (C+D)$	5450/7450**	1	1	1	図2-31	$\bar{A}, \bar{B}, \bar{C}, \bar{D}$
$(A+B) \cdot (C+D)$ $(E+F)$ $(G+H)$	5453/7453**	1	1	0	図2-32	$\bar{A}, \bar{B}, \bar{C}, \bar{D}$ $\bar{E}, \bar{F}, \bar{G}, \bar{H}$

* さらに5回路のSN5401/7401ゲートを接続することによって、2変数ORの項をつ追加できる。

** SN5460/7460エキスパンドの使用により、4変数ORの項をさらに4つ追加できる。

<表2-6> OR-AND機能を得るための論理回路構成

$$\text{出力: } Y = A \cdot B + C \cdot D \dots \dots \dots (9)$$

このような考察を更に押し進めて、種々なる論理機能を実現するための回路の構成方法を、表2-3~表2-6に示す。

AND、および、ORだけの論理機能の場合がそれぞれ表2-3、および、表2-4に示されており、表2-5はAND-OR機能また表2-6は、OR-AND機能について、それぞれ与えてある。各表とも、論理機能、SN型名、使用する回路数、必要なパッケージ数、パッケージを必要数使用したとき余裕のできる回路数、論理回路構成を示す図番号、および、必要な入力信号が示されている。

ところで、表には示されていないが、重要な因子は各々の回路構成の相対コストであって、このコストは余裕のできたゲートをそのシステムの他の部分に使用するか

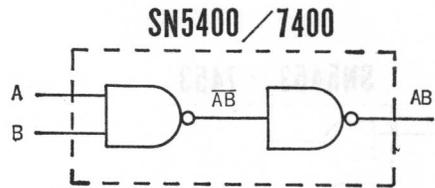
どうかで大きく変わってくる。

また、否定入力を利用できるか否かは、論理回路構成を決める場合に重要なファクタとなる。

図2-10, 11, 14, 17, 23, および, 24は、同一ゲート素子を出力段でのインパット素子として利用したものである。

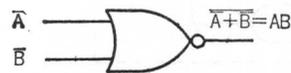
このような特別な論理機能だけを行なわせる場合に關する限りでは、これらのゲートは全て同一ICチップ上に実装されているから、このような方法は使用するパッケージの数を最少にする方法である。

しかし、いろいろな論理機能の組み合わせよりなるシステムでは、出力段のインパットとしては、別のパッケージのNAND、あるいは、NORを利用した方が、より経済的である。

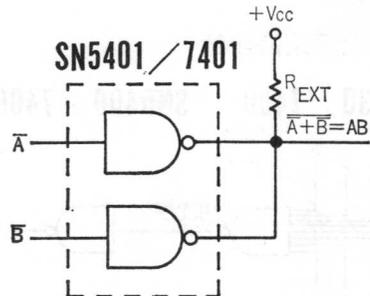


〔図2-6〕 (表2-3参照)

SN5402/7402

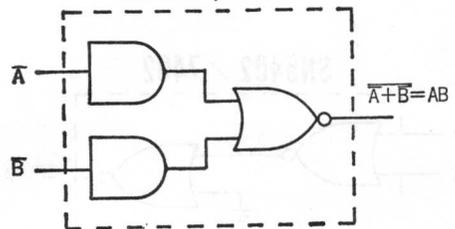


〔図2-7〕 (表2-3参照)

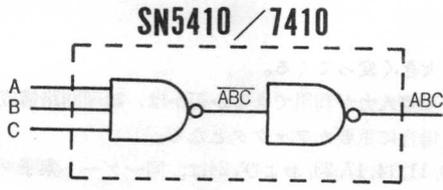


〔図2-8'〕 (表2-3参照)

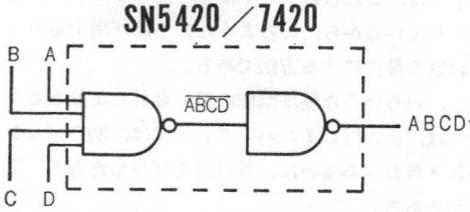
SN5450/7450



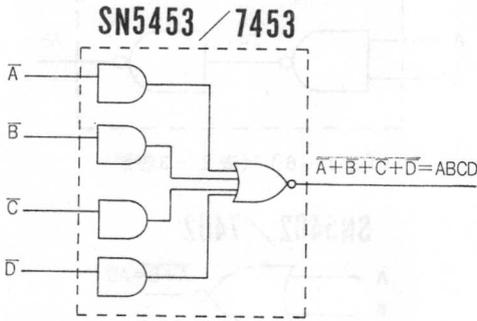
〔図2-9〕 (表2-3参照)



〔图 2-10〕 (表 2-3 参照)

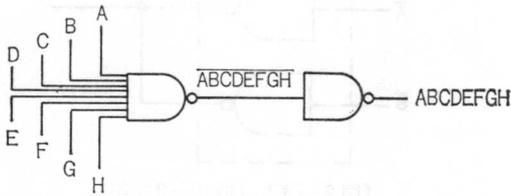


〔图 2-11〕 (表 2-3 参照)

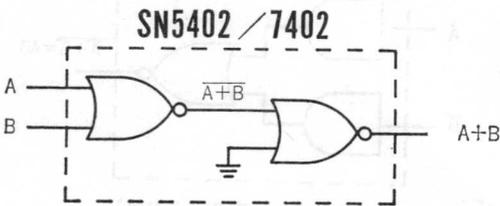


〔图 2-12〕 (表 2-3 参照)

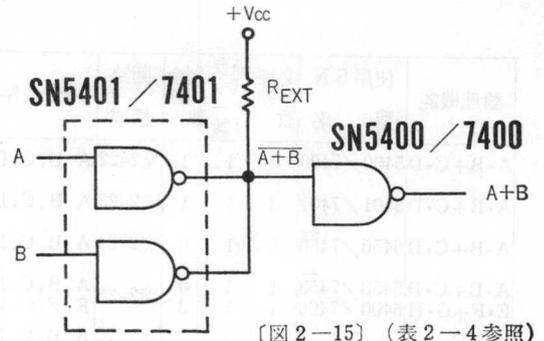
SN5430 / 7430 SN5400 / 7400



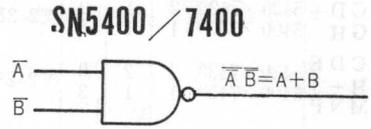
〔图 2-13〕 (表 2-3 参照)



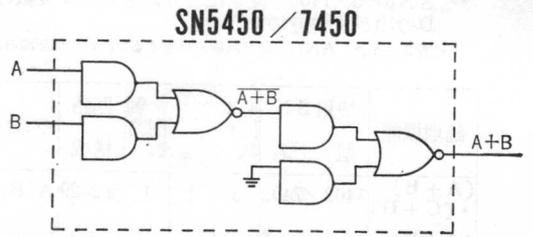
〔图 2-14〕 (表 2-4 参照)



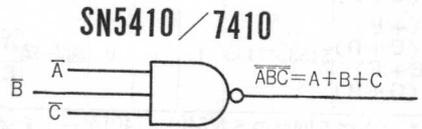
〔图 2-15〕 (表 2-4 参照)



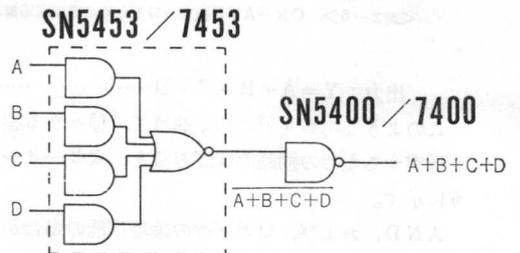
〔图 2-16〕 (表 2-4 参照)



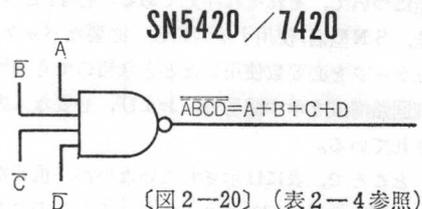
〔图 2-17〕 (表 2-4 参照)



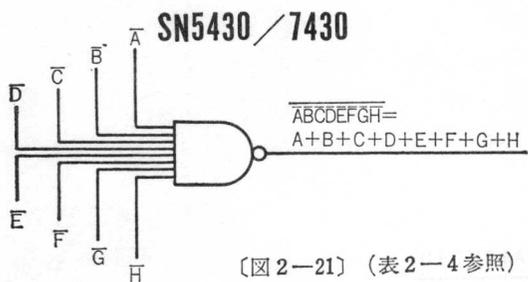
〔图 2-18〕 (表 2-4 参照)



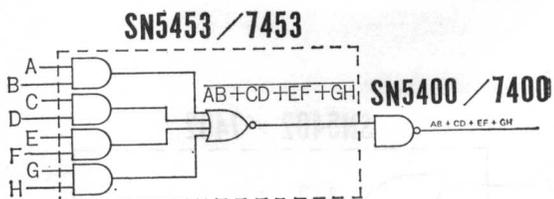
〔图 2-19〕 (表 2-4 参照)



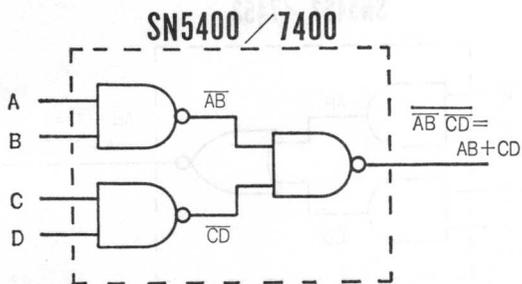
〔图 2-20〕 (表 2-4 参照)



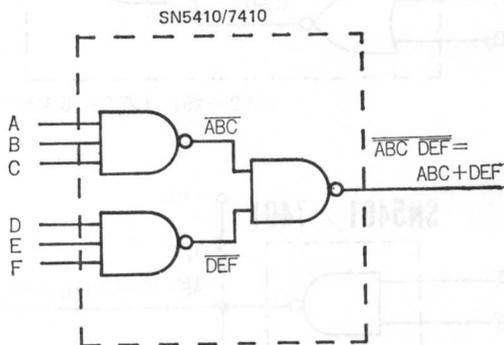
〔图 2—21〕 (表 2—4 参照)



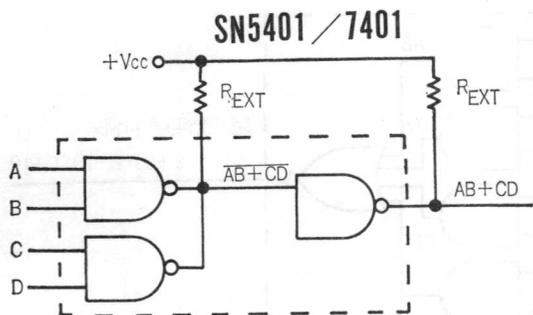
〔图 2—25〕 (表 2—5 参照)



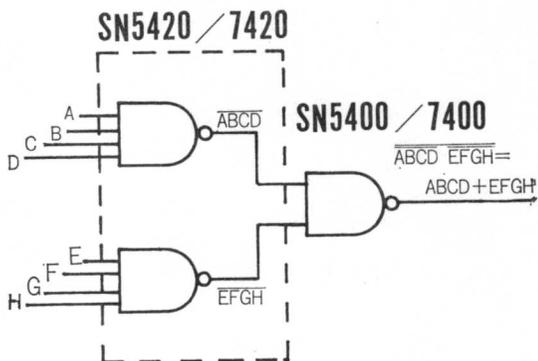
〔图 2—22〕 (表 2—5 参照)



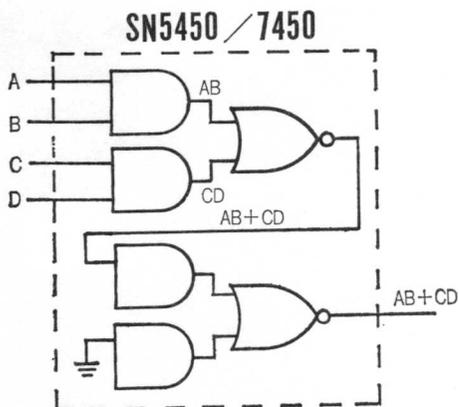
〔图 2—26〕 (表 2—6 参照)



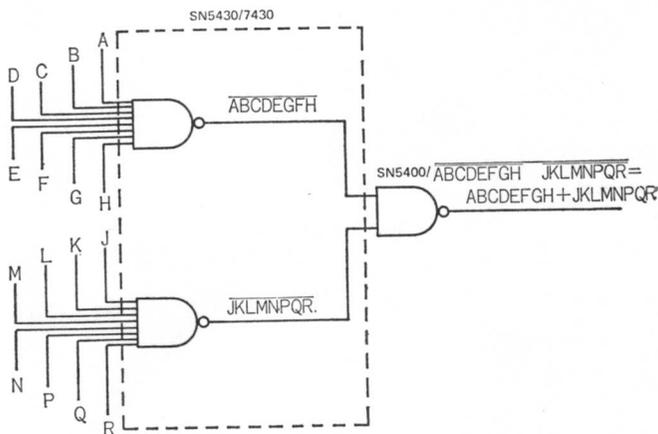
〔图 2—23〕 (表 2—5 参照)



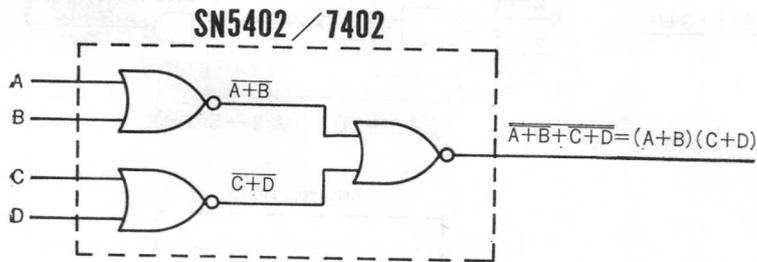
〔图 2—27〕 (表 2—5 参照)



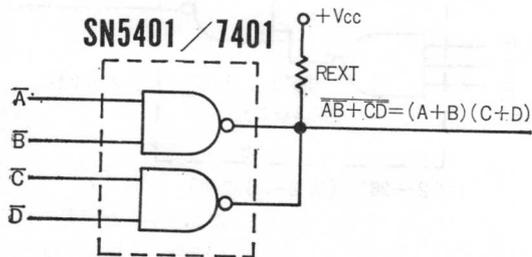
〔图 2—24〕 (表 2—5 参照)



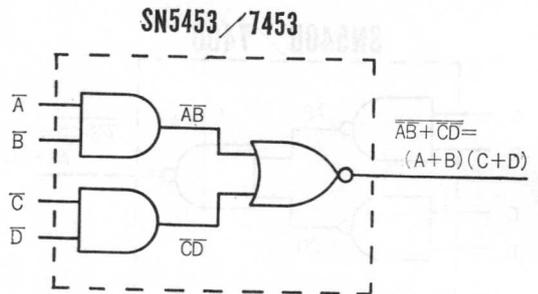
〔图 2—28〕 (表 2—5 参照)



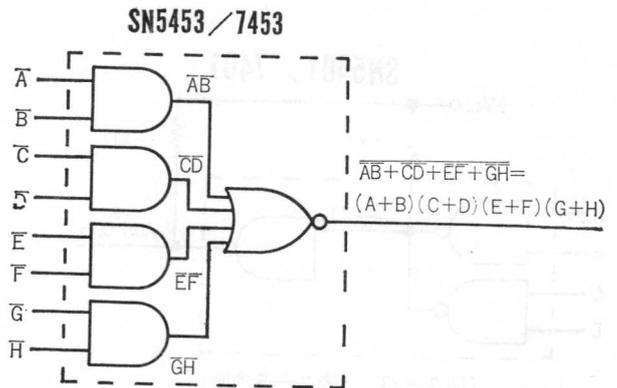
〔图 2—29〕 (表 2—6 参照)



〔图 2—30〕 (表 2—6 参照)



〔图 2—31〕 (表 2—6 参照)



〔图 2—32〕 (表 2—6 参照)

3 入出力結合回路

ICを既存のトランジスタ回路によるシステムと併用する場合、および、集積回路を用いて、より効果的なサブシステムを構成する場合、論理動作の一致とともに、既存のトランジスタ回路と、集積回路との入出力の結合回路の論理レベル、および、スイッチング速度の一致が必要になってくる。

一般に、現在普及しているシステムの論理レベルは、集積回路のそれに比べて、2~5倍もあり、スイッチング速度も1オーダ遅くなっている。

したがって、このようなシステムに集積回路と直接結合することはできず、その入出力に、レベル変換、および、スイッチング速度の調整のための回路が必要である。

トランジスタを使用した回路では±6V~±18Vの電源電圧を用いているので、このレベルをそのままICに加えると、場合によってはユニット中のICが破壊されたり、また、破壊されないまでも、信頼性の低下を招くことになる。

そこで、必ず以下に述べるレベルコンバータを挿入することをおすすめしたい。

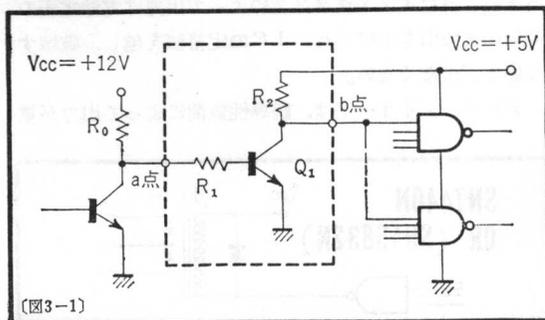
以下に述べる回路は、デジタル回路にICを結合する場合の入出力結合回路の基本的な考え方を説明するために簡単な回路例を示したものであって、より高性能な動作を望む場合には、回路ごとに各定数をきめてやる必要がある。

これらの回路を変えるだけで、他のデジタル回路の入出力結合回路にも適用できる。

3-1 入力結合回路

3-1-1 高レベル系からTTL系への変換

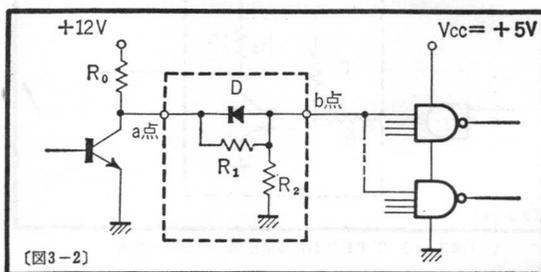
最も一般的な変換回路を図3-1に示す。この入力結合回路の入力抵抗 R_1 は、トランジスタ回路が過負荷にならないように、出力抵抗 R_0 の5~10倍の値に選ぶ。b点に接続されるICは、すべて Q_1 の負荷になる (Q_1 が“ON”のときは、負荷電流の流れる方向はICの入



高レベル系からTTL系への変換

$$R_1 = n \cdot R_0 (n=5 \sim 10), R_2 = 2.2K (\sim \max 5k)$$

〔図3-1〕



〔図3-2〕

$$R_1 + R_2 = n \cdot R_0 (n=5 \sim 10)$$

a点の電圧を V_a 、b点の電圧を V_b とすれば

$$V_b = \frac{R_2}{R_1 + R_2} V_a$$

ただし、 $2.4V \leq V_b < 4.5V$ にする

高レベル系からTTL系への変換(ファンアウト数最大3個)
〔図3-2〕

力側から Q_1 へ流れる)。

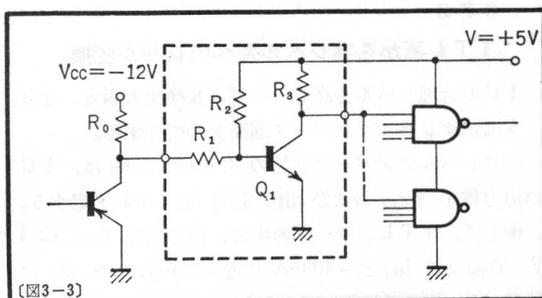
R_1 および Q_1 の h_{FE} の選択により、ICを10個~20個駆動することができる。 R_2 は Q_1 のプルアップ抵抗であり、 Q_1 が“OFF”状態のときICへリーク電流を供給するが、最悪条件のもとで、b点の電圧は2.4V以上を保つように決定しなければならない。

ファン・アウト数の少ない場合は図3-2のような方法でもよい。図の R_1 と R_2 の分割比は、入力に高レベルの信号がきたとき、ICを十分に駆動できるようにb点の電圧 V_p が2.4V~4.5Vになるように選ぶ。

ダイオードDは、低レベルの信号がきたとき、ICの入力電流を流す通路となり、ICにも低レベルの信号が加わる。

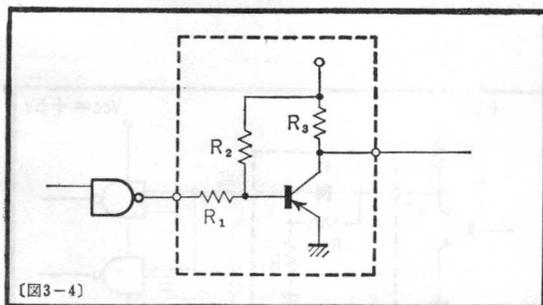
3-1-2 負の電圧系からTTL系へのレベル変換

PNPトランジスタや、MOS形ICなど信号レベルが、0~18Vぐらいまでの信号システムの回路を、そのまま回路に接続すると、ユニット中のICが破壊されること

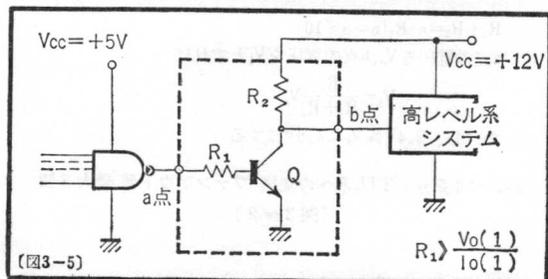


〔図3-3〕

〔図3-3〕 負の電圧系をTTL系レベルに変換する回路



〔図3-4〕 TTL系から負電圧系へのレベル変換



〔図3-5〕 TTL系から高レベル系へのレベル変換

がある。

そこで、必ず以下に述べるようなレベルコンバータを使用することが望ましい。図3-3に回路図を示す。

この回路は、 R_1, R_2 および Q_1 より構成され、負レベルからTTL系にレベル変換をする。入力および、出力の条件の決定は前記の方法と同じである。

3-2 出力結合回路

3-2-1

TTL系から負電圧系へのレベル変換

このような場合、直接接続することはできないから、図3-4に示すようなレベルコンバータを使用する。

この回路に使用するトランジスタ Q_1 は、PNPトランジスタである。この回路を使用することによって、負電圧系の出力信号を取り出すことができるが、ラインのパワーを必要とする場合は次段にパワー・アンプを追加する必要がある。

3-2-2

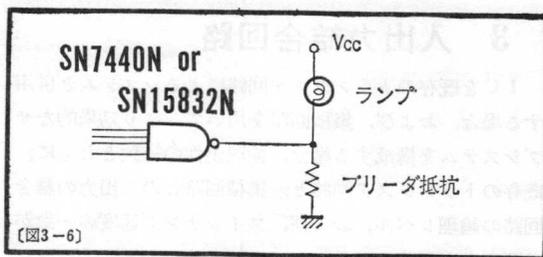
TTL系から高レベル系へのレベル変換

ICの論理レベルを高レベル系に変換する場合、図3-5に示すレベルコンバータ回路を必要とする。

図のレベルコンバータ回路のベース抵抗 R_1 は、ICの出力電圧 $V_{o(1)}$ および、出力電流 $I_{o(1)}$ から決定する。

例えば、TTLシリーズの場合、出力電圧 $V_{o(1)} \geq 2.4$ V、負荷電流 $I_{o(1)} \leq -400 \mu A$ になっているので、 R_1 は $6k\Omega$ 以上に選ばなければならない。

インバータの出力抵抗 R_2 は、高レベルシステムで用



〔図3-6〕 TCによる白熱電球の駆動回路例

いられているコレクタ抵抗（今までに述べてきた R_0 ）と同一の値にする。

3-3 その他の入出力結合回路

3-3-1 白熱電球を駆動する場合

図3-6は、ICによる白熱電球の駆動を示すもので、パネルディスプレイ用のランプや、モザイクインジケータを直接駆動するのに有用である。

点灯している電球の抵抗値は、消灯状態の約10倍も高くなる。したがって、ICの出力がオフからオンになり、電球が点灯するまでには、出力が高レベルのまま大きい電流が流入することになり、ICの使用上望ましくない。

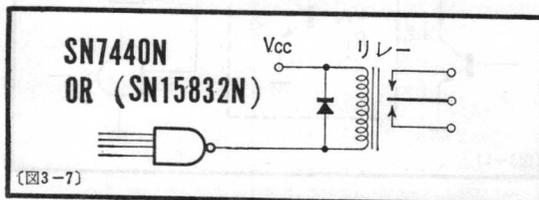
出力と接地間に外付けしたブリーダ抵抗は、スタンバイ電流を流して、あらかじめ電球の抵抗を上げておくだけではなく、電球と電圧を分割して出力を保護するので、ICの出力耐圧の定格値を超える使用電圧を有する電球を駆動することができる。

抵抗値の選択は、電球の性能によって異なるが、出力トランジスタがオフしているとき、白熱点以下のフィラメント温度を維持する状態が最適な条件である。

3-3-2 リレーを駆動する場合

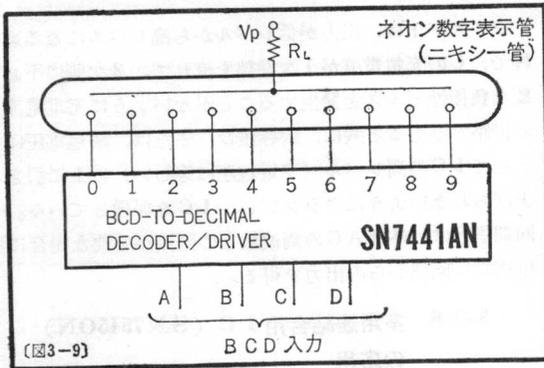
図3-7は直流マイクロリレーを駆動する場合の構成例である。出力トランジスタが導通状態のとき、コイルに電流が流れてリレーは動作している。出力が導通から遮断状態になるとき、コイルに流れていた電流が断たれるため、自己インダクタンスによって出力は電源電圧の2倍にまで引き上げられ、ICの定格値を越し、破壊する場合が少なくない。

ダンパーダイオードは、誘導性負荷によって出力が電



〔図3-7〕 ICによるリレーの駆動回路例

〔図3-7〕 ICによるリレーの駆動回路例



磁ひずみ遅延線メモリの周辺回路のIC化回路例
【図3-9】

源電圧より高くなるとクランプ作用を行ない、振動エネルギーを吸収する役割を果たす。

3-3-3 磁ひずみ遅延線メモリの周辺回路

磁ひずみ遅延線メモリは、ビットあたりのコストが安いことと、最近、新しい材料の開発によって、温度特性の良好なものが市販されるようになり、電子式卓上計算機、電子計算機、および、通信機器などのようにIC化が進められている。

中でも、その価値が再認識され、メモリ部に盛んに使われている。図3-8は磁ひずみ遅延線メモリのドライブ回路とセンスアンプを示したもので、標準のロジックICと共通の電源を用いると、入出力は他のICに直接接続することができる。

SN7440N (or SN15832N) を、書込みアンプとして用いている。出力が低レベルのとき、40~50mAのシンク電流が送信コイルを流れ、線上に超音波振動を生じるこの振動は、線上をとって他端に達し、受信コイルに5~20mV_{p-p}の誘起電圧を発生する。

センスアンプには、広帯域増幅器を使用して、出力に5V_{p-p}の読出し電圧を得て、標準のDTLまたは、TTLを駆動することができる。

3-3-4 デコーダ/ドライバーの応用

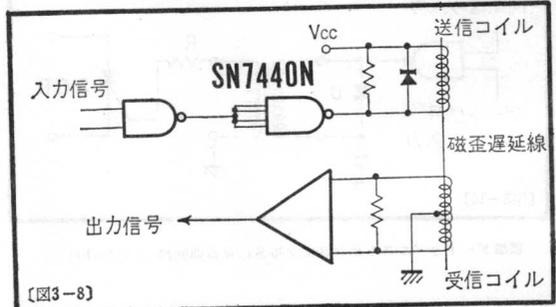
◎3-3-4-1 TTL SN7441AN(BCD-10進デコーダ)

SN7441ANは、表示管またはリレー駆動用の高耐圧トランジスタを内蔵したBCD-10進デコーダである。

回路はTTL構成になっており、BCD入力はDTLおよびTTLとコンパチブルである。BCD入力に対応した10進数の出力だけが導通し、残りの出力はすべて遮断状態になっている。

すなわち、BCD入力のすべてが低レベルのときは、導通している出力は、あらゆる条件のもとで7mAのシンク電流と、最大2.5Vの低出力電圧が保証されている。

図3-9はSN7441ANを用いたネオン数字表示管の駆動例を示したものである。アノード電圧V_pはICの



【図3-9】 SN7441ANによるネオン数字表示管の駆動

耐圧と表示管の放電維持電圧以上に選ぶが、その値や抵抗R_Lは、使用する表示管によって異なるので、表示管メーカーが推奨する値を用いるとよい。

7mAのシンク電流は、DC的な表示には十分(通常1.5~3mA)であるが、AC的に点灯する場合は、周波数とデューティレシオの選択に注意を払う必要がある。この種の用途に対して、パルス点灯用のものが市販されている。SN7441ANのその他の応用には、小型リレーランプの駆動、および、バイポーラICと高レベル論理回路高圧回路とのインターフェースなどがある。

◎3-3-4-2 各種デコーダ/ドライバ

デコーダ/ドライバは、表示回路にはもとより、装置におけるタイミング、または、命令信号のデコードに広く使われているが、機能ごとに大別して、次のような種類のものがMSIとして市販されている。すなわち、

- BCD-デシマル; SN7442, SN7445, SN74141, SN74145,
- エクセス3デシマル; SN7443,
- 2回路 2-4線 デコーダ/デマルチプレクサ; SN74155, SN74156,
- BCD-7セグメント; SN7446, SN7447, SN7448, SN7449,

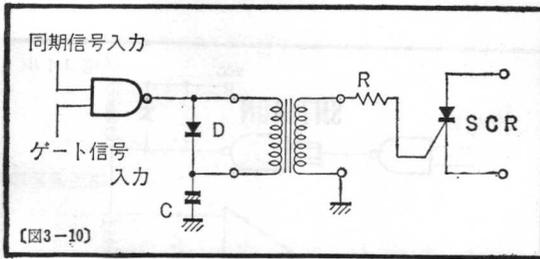
である。すべてのデコーダの入力は、標準のDTL, TTLと完全にコンパチブルであり、しかも、入力負荷係数を下げるために、インバータが内蔵されている。

出力は用途に応じて、正または負極性のものが選べ、その上高耐圧(15V~30V)、高シンク電流(20mA~80mA)、トータムポール出力回路、純抵抗出力回路、開放出力回路、の組み合わせのものが選択できる。

ランプ、リレー、メモリ素子およびインディケータなどこれらのICで直接駆動することができる。

3-3-5 SCR点弧回路

大電力、高耐圧の半導体スイッチ素子の発展と共に、重電関係への半導体の導入は、積極的となり、一方、ジューサ、ミキサ、扇風機などの回転速度調整や、ブロー



【図3-10】

標準ゲートとパルストランスによるSCR点弧回路【図3-10】

アイロンなどの温度制御にSCRなどのスイッチ素子が普及してくるようになった。

とくに、SCR、トライアックは小さいゲート電流で大きな電力を制御できるので、大電力を必要とする遠隔操作、回転機の调速回路、抵抗負荷、リレーなどの制御に、さらに使用範囲を広げていくものと考えられる。

図3-10に標準ゲートと、パルストランスによる点弧回路例を示す。

図において、入力の1つ以上に低レベルの信号が印加されると、出力は高レベルになり、ダイオードDを介してコンデンサCは正に充電される。

すべての入力が高レベルになった瞬間、出力は導通し低レベルになろうとするが、ICに蓄積されている電荷は、1次巻線を通して、ICの出力にシンク電流が流入する。

この電流は、巻線のインピーダンスとICの飽和特性によってきまる大きなもので、2次側に正極性の鋭いパルスを発生し、抵抗Rを通してSCRのゲート電流になる。

ダイオードは、出力が低レベルから高レベルになる過程で、Cの充電電流が1次巻線を通して、2次側に不必要な負極性パルスを発生することがないように充電電流の側路を与えると共に、誘導雑音、または、誘起電圧によってICの高レベル（充電電圧に等しい）以上に引き上げられないようにクランプし、ICを保護している。同期信号は、外部ACの周波数との同期が必要な場合に位相制御回路からの出力を得る。

3-3-6 多用途結合用IC (SN75450N) の応用

このデバイスは、モノリシック回路で2個のTTLと2個のパワートランジスタから構成されている。

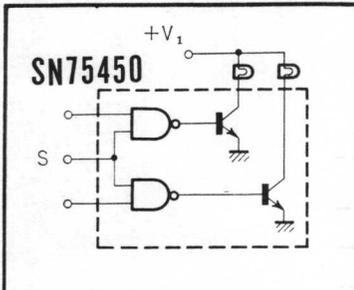
これらのパワートランジスタのコレクタ電流容量は、それぞれ300mAである。2個のNANDゲートは、標準TTLと同じ特性を有し、平均伝達遅延時間は10ns、消費電力はゲートあたりで10mWある。

今まで、われわれは、システムデザインの際、例えば、電力増幅回路、ランプ駆動、あるいは、リレーを駆動する場合、普通、標準TTLゲート回路の出力へ、パワートランジスタを付加して遂行しているが、これらのインターフェース回路は経済的（工数）な面あるいはスペース的な問題からしても、なかなか面倒である。

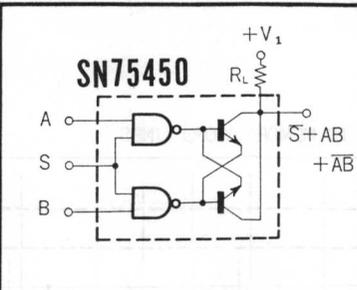
以上のような問題を緩和するために凡用性の高いこの多用途結合用IC (SN75450) を推奨する。応用例を次に述べる。NANDゲート回路の出力とトランジスタのベースは、駆動する負荷に応じて、これらのターミナル間の結合方法を変える必要がある。

応 用 例

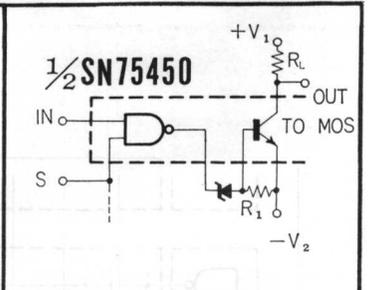
- | | |
|-----------------------------|-------|
| ① 2回路ランプドライバ..... | 図3-13 |
| ② ゲートッドコンパレータ..... | 図3-14 |
| ③ MOSドライバ..... | 図3-15 |
| ④ 2回路リレードライバ..... | 図3-16 |
| ⑤ フローテングスイッチ..... | 図3-17 |
| ⑥ 500mAシンクドライバ..... | 図3-18 |
| ⑦ 2回路TTLとMOSとのインターフェイス..... | 図3-19 |
| ⑧ 2回路MOSとTTLとのインターフェイス..... | 図3-20 |
| ⑨ 1ワードのメモリドライバ..... | 図3-21 |
| ⑩ フィルムメモリのデジットドライバ..... | 図3-22 |
| ⑪ コアメモリドライバ..... | 図3-23 |
| ⑫ 平衡ラインドライバ..... | 図3-24 |



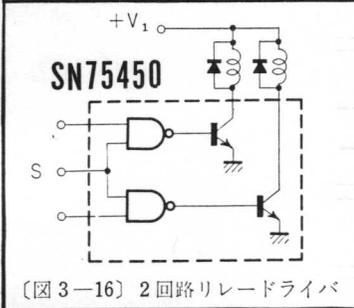
〔図 3-13〕 2回路ランプドライバ



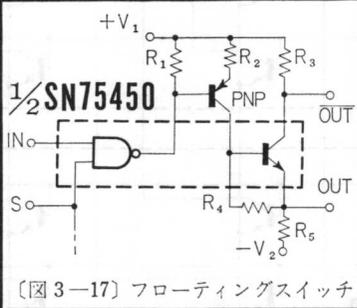
〔図 3-14〕 ゲートッドコンパレータ



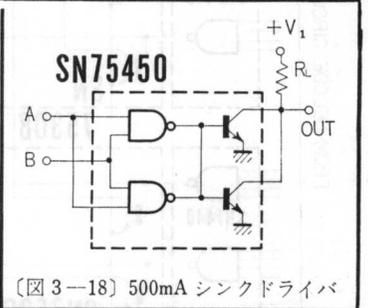
〔図 3-15〕 MOSドライバ



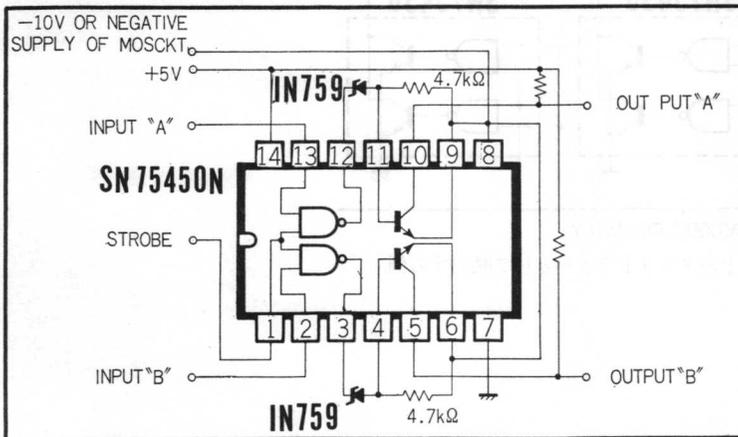
〔図 3-16〕 2回路リレードライバ



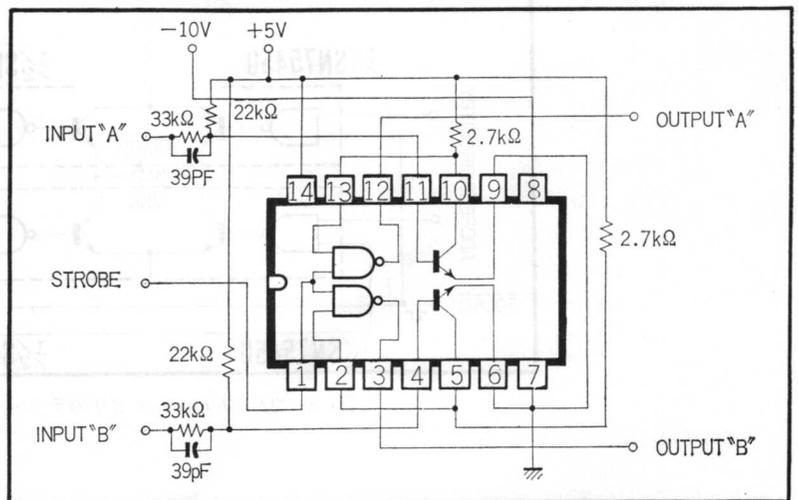
〔図 3-17〕 フローティングスイッチ



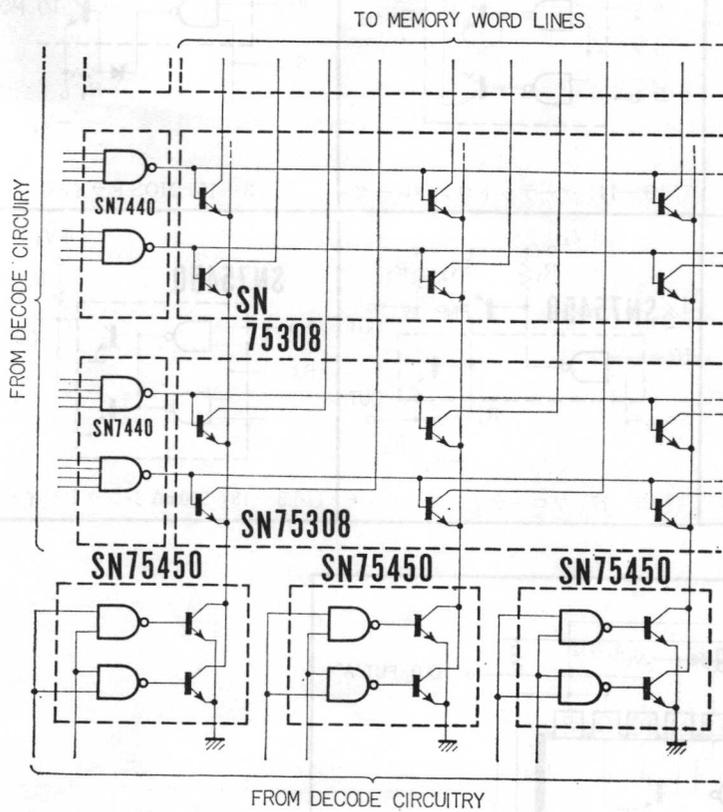
〔図 3-18〕 500mA シンクドライバ



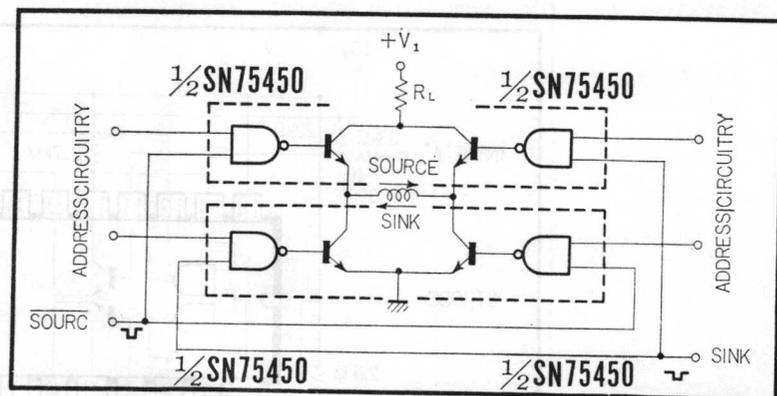
〔図 3-19〕 2回路TTL-MOSドライバ



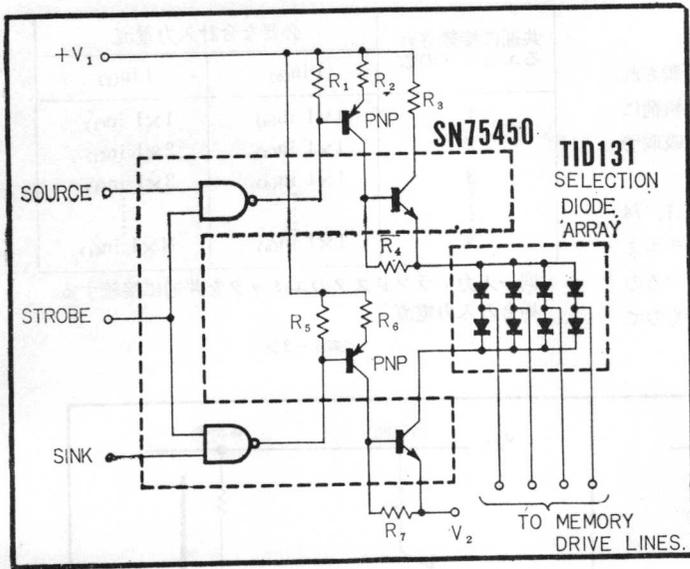
〔図 3-20〕 2回路MOS-TTLドライバ



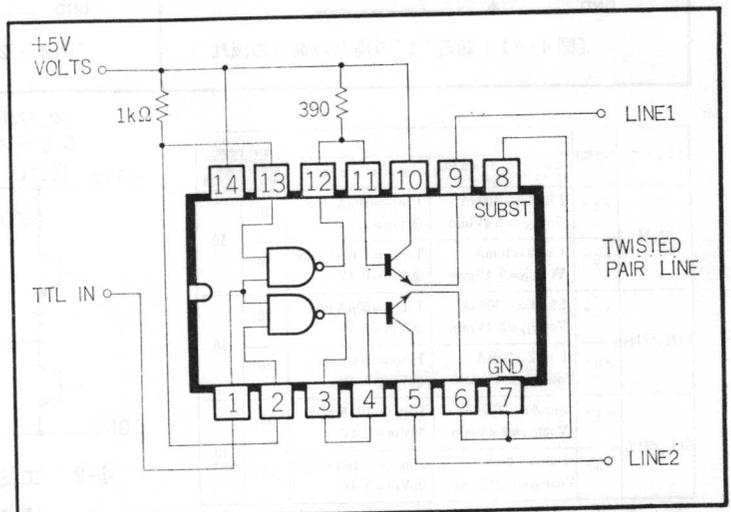
〔図 3-21〕 SN75450 を 1 ワードのメモリドライバとして使用する例



〔図 3-22〕 フィルムメモリのデジットドライバ



〔図 3—23〕 コアメモリドライバ



* TERMINATION:

TERMINATION IS MADE AT THE RECEIVING END AS FOLLOWS:
 LINE 1—TERMINATED TO +5 VOLTS THROUGH $Z_0/2$.
 LINE 2—TERMINATED TO GROUND THROUGH $Z_0/2$.
 WHERE Z_0 IS THE LINE IMPEDANCE.

〔図 3—24〕 平衡ラインドライバ

4 負荷条件

4-1 ファンアウトの基準化

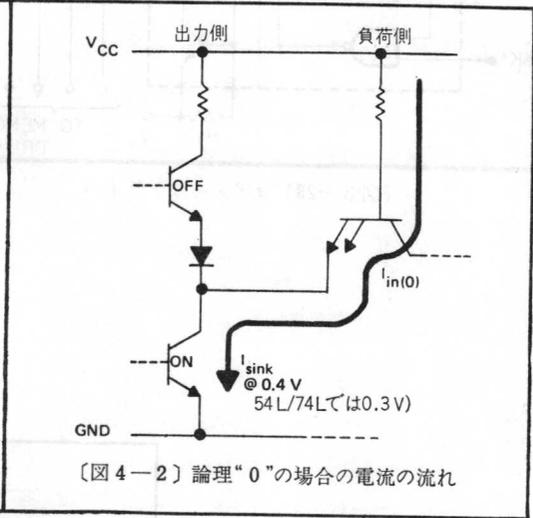
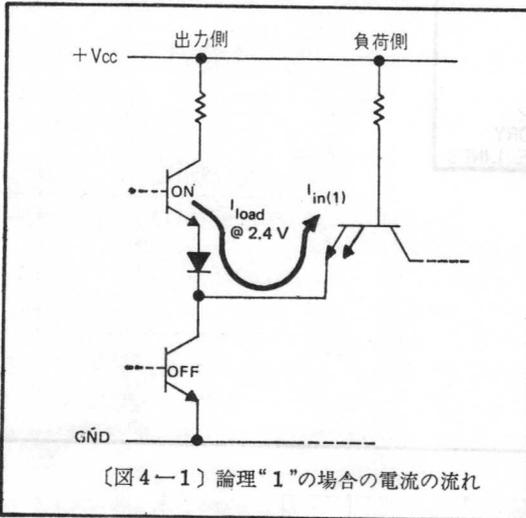
TTL ICの各カタログのデータシートに記載されているファンアウト数は、これに接続される単位負荷に何回路まで負荷電流を供給し、またシンク電流を吸収できるかで定められる。

すなわち、3つのTTLファミリー(54/74, 54H/74Hおよび54L/74Lシリーズ)とも、入力マルチエミッタトランジスタのうちの1エミッタをドライブするのに必要な最悪電流の条件を考慮して、定められたものである。

共通に接続されるエミッタの数	必要な合計入力電流	
	$I_{in(0)}$	$I_{in(1)}$
1	$1 \times I_{in(0)}$	$1 \times I_{in(1)}$
2	$1 \times I_{in(0)}$	$2 \times I_{in(1)}$
3	$1 \times I_{in(0)}$	$3 \times I_{in(1)}$
⋮	⋮	⋮
N	$1 \times I_{in(0)}$	$N \times I_{in(1)}$

同一入力トランジスタのエミッタを共通に接続する場合の入力電流

<表4-2>

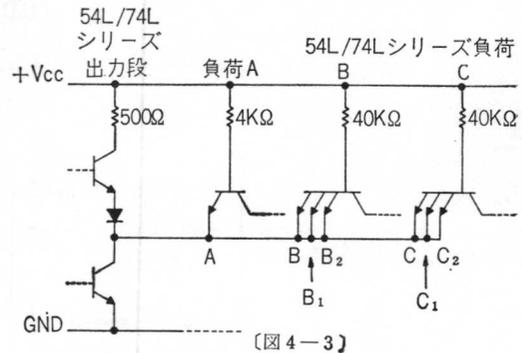


シリーズ	出力状態	特 性		ファンアウト数(注1参照)	
		型値トータムゴールまたはデータシート出力	各エミッタ入力	実際の値	規準化した値
54/74	“1”	$I_{load} = -400\mu A$ $V_{out(1)} = 2.4V_{min}$	$I_{in(1)} = 40\mu A_{max}$ @ $V_{in} = 2.4V$	10	10
	“0”	$I_{sink} = 16mA$ $V_{out(0)} = 0.4V_{max}$	$I_{in(0)} = 1.6mA_{max}$ @ $V_{in} = 0.4V$	10	
54H/74H	“1”	$I_{load} = -500\mu A$ $V_{out(1)} = 2.4V_{min}$	$I_{in(1)} = 50\mu A_{max}$ @ $V_{in} = 2.4V$	10	10
	“0”	$I_{sink} = 20mA$ $V_{out(0)} = 0.4V_{max}$	$I_{in(0)} = 2mA_{max}$ @ $V_{in} = 0.4V$	10	
54L/74L	“1”	$I_{load} = -100\mu A$ $V_{out(1)} = 2.4V_{min}$	$I_{in(1)} = 10\mu A_{max}$ @ $V_{in} = 2.4V$	10	10 (注2)
	“0”	$I_{sink} = 2mA$ $V_{out(0)} = 0.3V_{max}$	$I_{in(0)} = 0.18mA_{max}$ @ $V_{in} = 0.3V$	>11	

注1: 実際のファンアウト数は,
“1”の場合のファンアウト数= $I_{load} + I_{in(1)}$
“0”の場合のファンアウト数= $I_{sink} + I_{in(0)}$
として求めている。

注2: この値を制限するのは、ドライブ回路の I_{load} である。

表4-1 規準化に用いた数値



4-2 エミッタをパラに接続した場合の入力電流

同一出力から同一入力トランジスタのエミッタをパラにドライブするときの入力電流条件を表4-2に示す。

この表は、単に使用しない入力を使用している入力に接続すると、必要な $I_{in(1)}$ が増加するというを示しているにすぎない。

ただし、最近のTI製TTLMSIでは、このような考慮をせずに簡単化するために“1”レベルの単位負

このファンアウト数を決定するのに用いた値を表4-1に示す。また図4-1および図4-2は負荷電流およびシンク電流の流れ方を示している。

荷が20個ドライブできるように作られている。

4-3 標準 TTL, 高速 TTL 及び 低電力 TTL の相互接続

あるデジタルシステムの各部分でそれぞれ異なった速度で動作させなければならない場合があるが、このような場合に速度・電力積の異なった3種類の相互接続可能なTTLをうまく利用することにより、最も効率のよいデジタルシステムを実現することができる。

例えば、54H/74HシリーズのICをクリチカルな演算回路に使用し、システムの性能に重大な影響を及ぼさないような部分に、54/74または54L/74LシリーズのSSIまたはMSIを使用することにより、システムの性能を落さずに消費電力を最少にすることができる。

では実際に54/74, 54H/74Hおよび54L/74LシリーズTTL ICを混在使用する場合のファンアウト数について計算してみよう。

一例として、図4-3に示したように、54L/74Lシリーズのゲートから54/74シリーズの単位負荷(A)とそれぞれ2つつつの使用していないエミッタを持った2つの54L/74Lシリーズ負荷を駆動する場合について考えてみる。

この場合の計算方法が表4-3に示されている。この計算例から接続点が“1”のとき、および“0”のい

ドライブ側の条件	負荷側
I load = 100μA I sink = 2 mA	A I in(1) = 40μA I in(0) = 1.6 mA B I in(1) = 10μA I in(0) = } B ₁ I in(1) = 10μA I in(0) = } 0.18 mA B ₂ I in(1) = 10μA I in(0) = } C I in(1) = 10μA I in(0) = } C ₁ I in(1) = 10μA I in(0) = } 0.18 mA C ₂ I in(1) = 10μA I in(0) = }
負荷の値 100μA 1.96 mA	
余裕 0μA 0.04 mA	合計 100μA 1.96 mA

〈表4-3〉 最大ファンアウト数の計算例 (54L/74Lシリーズ)

シリーズ	入力電流条件		ファンアウト能力	
	“1”	“0”	“1”	“0”
54/74	40μA ÷ 40μA = 1	1.6 mA ÷ 1.6 mA = 1	400μA ÷ 40μA = 10	16 mA ÷ 1.6 mA = 10
54H/74H	50μA ÷ 40μA = 1.25	2 mA ÷ 1.6 mA = 1.25	500μA ÷ 40μA = 12.5	20 mA ÷ 1.6 mA = 12.5
54L/74L	10μA ÷ 40μA = 0.25	0.18 mA ÷ 1.6 mA = 0.112	100μA ÷ 40μA = 2.5*	2 mA ÷ 1.6 mA = 1.25*

* この値を制限するパラメータはドライブされる負荷によって変る。

〈表4-5〉 54/74シリーズを規準にした*比、の計算

54/74で54H/74Hをドライブする場合 I load : 400μA ÷ 50μA = 8ヶ (A) I sink : 16mA ÷ 2 mA = 8ヶ	54H/74H及び54L/74Lを54/74シリーズで規準化した場合
54/74で54L/74Lをドライブする場合 I load : 400μA ÷ 10μA = 40ヶ* (B) I sink : 16mA ÷ 0.18mA = 88.8ヶ	
54H/74Hで54/74をドライブする場合 I load : 500μA ÷ 40μA = 12.5ヶ (C) I sink : 20mA ÷ 1.6 mA = 12.5ヶ	54/74及び54L/74Lを54H/74Hシリーズで規準化した場合
54H/74Hで54L/74Lをドライブする場合 I load : 500μA ÷ 10μA = 50ヶ* (D) I sink : 20mA ÷ 0.18mA = 111.1ヶ	
54L/74Lで54/74をドライブする場合 I load : 100μA ÷ 40μA = 2.5ヶ I sink : 2mA ÷ 1.6 mA = 1.25ヶ* (E)	54/74及び54H/74Hを54L/74Lシリーズで規準化した場合
54L/74Lで54H/74Hをドライブする場合 I load : 100μA ÷ 50μA = 2ヶ I sink : 2mA ÷ 2 mA = 1ヶ* (F)	

* このファンアウト数を制限するのはドライブ回路のI loadである。

★ このファンアウト数を制限するのはドライブ回路のI sinkである

〈表4-4〉 実際の場合のファンアウト能力
この時も54L/74Lの規格値、すなわち“1”の場合100μA “0”、の場合2 mAをオーバーしていないので、この54L/74Lの出力で全ての負荷をドライブできることがわかる。

そして、このような接続方法で、ちょうど“0”レベルの54/74シリーズ負荷1つと“1”レベルの54/74シリーズの負荷2つおよび2つの54L/74Lシリーズ負荷をドライブできることがわかる。

4-4 一般化したTTLの負荷規定

1つのTTLファミリを他の2つのTTLファミリの入力電流の必要条件と比べて、実際にドライブ可能なファンアウト数を計算してみると表4-4のようになる。ところで、54/74 54H/74Hまたは54L/74Lシリーズの組み合わせよりなる複合負荷を3つのタイプのいずれの出力からドライブする場合にも、一般化した負荷規

定が使用できるようにするには、いろいろな入力電流の必要条件とファンアウト能力の比を知っておくことが必要である。

表4-5に、一般化した入力電流の必要条件とドライブ能力について、54/74シリーズTTLを規準にした値が示されている。これら各ファミリの入出力条件を制限するパラメータについて、他の2つのファミリと対比してみると、これらの比はさらに表4-6のようになる。

例えば、一般化した各入力負荷係数(初めの項)を同一ファミリ(ダッシュをつけた枠)の負荷にファンアウトする場合に適用すれば、いずれの場合にもファンアウト数は10となり、各データシートに記載されている値になる。表4-6の各数値をさらに良く調べてみると、

	入力負荷係数	出力負荷係数	ファンアウト数(N)
54/74シリーズ	1	10	10
54H/74Hシリーズ	1.25	12.5	10
54L/74Lシリーズ	0.25	2.5	10

これら一般化した負荷係数が複合負荷へのファンアウト

入力負荷係数	シリーズ	出力負荷係数		
		54/74をドライブする場合	54H/74H	54L/74L
1	54/74	10	10	10 ※
1.25	54H/74H	12.5	12.5	12.5 ※
0.25	54L/74L	1.25 ★	1.25 ★	2.5 ※

※ この値を決めるパラメータはドライブする回路のIloadである。

★ この値を決めるパラメータはドライブする回路のIsinkである。

《表4-6》 一般化した負荷係数

トをきめる時、出力負荷係数入力負荷係数のように計算によってファンアウトがきめられることがわかる。

そして、こうして得られた値は、表4-4に示した実際のDCファンアウトと同じであることがわかる。

ところで、実際の場合と一般化した場合のファンアウト能力の最も大きな差は、54L/74Lシリーズの出力で54/74および54L/74Lシリーズの入力をドライブするときに起こっている。

すなわち、一般化した場合の数値は54/74シリーズの負荷1個と、54L/74Lシリーズの負荷1個を同時にドライブできることを示している。

一方、表4-3の計算によれば、54L/74Lシリーズの出力は少なくとも、54/74シリーズの負荷1個と、54L/74Lシリーズの負荷2個をドライブできることが示されている。

54/74シリーズ	入力負荷係数	1
54L/74Lシリーズ	入力負荷係数	+) 0.25
54L/74Lシリーズ	出力負荷係数	1.25

54L/74Lシリーズで、54L/74Lシリーズの負荷をドライブする場合、54L/74Lシリーズの出力に対する一般化したファンアウト能力は、54/74または、54H/74Hシリーズの負荷をドライブする時の2倍になる。すなわち、次のようにして簡単に補正できる。

a) 54/74または54H/74Hシリーズの入力負荷係数を倍にし、54L/74Lシリーズのファンアウト能力として、2.5を使用する方法

例

54/74シリーズ入力負荷係数

(1つの負荷を2倍した値)

2

54L/74Lシリーズ入力負荷係数

(0.25の負荷の2倍荷分)

+) 0.5

54L/74Lシリーズ出力負荷係数

2.5

54/74で54H/74Hをドライブする場合 $10 \div 1.25 = 8$ ㉞	54H/74H及び54L/74Lを54/74で標準化
54/74で54L/74Lをドライブする場合 $10 \div 0.25 = 40$ ㉟	
54H/74Hで54/74をドライブする場合 $12.5 \div 1 = 12.5$ ㉡	54/74及び54L/74Lを54H/74Hで標準化
54H/74Hで54L/74Lをドライブする場合 $12.5 \div 0.25 = 50$ ㉢	
54L/74Lで54/74をドライブする場合 $1.25 \div 1 = 1.25$ ㉣	54/74及び54H/74Hを54L/74Lで標準化
54L/74Lで54H/74Hをドライブする場合 $1.25 \div 1.25 = 1$ ㉤	

複合負荷の場合の一般化DCファンアウト能力

《表4-7》

b) 54/74シリーズ負荷を引き算して残った54L/74Lシリーズの出力負荷係数を2倍する方法、

例

54L/74Lシリーズ出力負荷係数 1.25

54/74シリーズ入力負荷係数 -) 1.00

引算後の54L/74Lシリーズの出力負荷係数 0.25

数

上記出力負荷係数を2倍する 0.50

54L/74Lシリーズの入力負荷係数 -) 0.50

(2回路×0.25) 0

これらのファンアウトについての規定は、出力負荷条件を一覧表にまとめるのに大変役立つものである。表4-8 表4-9 および表4-10 にこれら3つのTTLファミリの一般化した入出力負荷係数を示す。

型名	入出力端子	入力 負荷 係数	出力 負荷 係数
SN5400 /7400	全入力端子に対し 全ての出力端子 "	1.0	10.0
SN5401 /7401	全入力端子に対し 全ての出力端子 "	1.0	10.0
SN5402 /7402	全入力端子に対し " 出力端子 "	1.0	10.0
SN5403 /7403	全入力端子に対し " 出力 "	1.0	10.0
SN5404 /7404	全入力端子に対し " 出力 "	1.0	10.0
SN5405 /7405	全入力端子に対し " 出力 "	1.0	10.0
SN5406 /7406	全入力端子に対し	1.0	
SN5407 /7407	全入力端子に対し	1.0	
SN5408 /7408	全入力端子に対し " 出力 "	1.0	10.0
SN5409 /7409	全入力端子に対し " 出力 "	1.0	10.0
SN5410 /7410	全入力端子に対し " 出力 "	1.0	10.0
SN5416 /7416	全入力端子に対し " 出力 "	1.0	10.0
SN5417 /7417	全入力端子に対し " 出力 "	1.0	10.0
SN5420 /7420	全入力端子に対し " 出力 "	1.0	10.0
SN5426 /7426	全入力端子に対し " 出力 "	1.0	10.0
SN5430 /7430	全入力端子に対し " 出力 "	1.0	10.0
SN5440 /7440	全入力端子に対し " 出力 "	1.0	30.0
SN7441 A	B, C及びD入力端子に対し A入力端子に対し 全ての出力端子に対し	1.0 2.0	N/A
SN5442 /7442	全入力端子に対し " 出力 "	1.0	10.0
SN5443 /7443	全入力端子に対し " 出力 "	1.0	10.0

型名	入出力端子	入力 負荷 係数	出力 負荷 係数
SN5444 /7444	全入力端子に対し " 出力 "	1.0	10.0
SN5445 /7445	全入力端子に対し " 出力 "	1.0	12.5
SN5446 /7446	BI/RBO 以外の全入力端子に対し BI/RBO 入力端子に対し BI/RBO 以外の全出力端子に対し BI/RBO 出力端子に対し	1.0 2.6	12.5 5.0
SN5447 /7447	BI/RBO 以外の全入力端子に対し BI/RBO 入力端子に対し BI/RBO 以外の出力端子に対し BI/RBO 出力端子に対し	1.0 2.6	12.5 5.0
SN5448 /7448	BI/RBO 以外の入力端子に対し BI/RBO 入力端子に対し BI/RBO 以外の出力端子に対し BI/RBO 出力端子に対し	1.0 2.6	6.0 5.0
SN5449 /7449	全入力端子に対し " 出力 "	1.0	6.0
SN5450 /7450	A, B, C及びD入力に対し X及び \bar{X} 入力に対し 全ての出力端子に対し	1.0 N/A	10.0
SN5451 /7451	全入力端子に対し " 出力 "	1.0	10.0
SN5453 /7453	A, B, C, D, E, F, G及びH入 力X及び \bar{X} 入力に対し 出力端子に対し	1.0 N/A	10.0
SN5454 /7454	全入力端子に対し 出力端子に対し	1.0	10.0
SN5460 /7460	全入力端子に対し X及び \bar{X} 出力に対し	1.0	N/A
SN5470 /7470	J ₁ , J ₂ , J*, K ₁ , K ₂ , K* 入力 Clock 入力に対し Preset 及び Clear 入力に対し Q及び \bar{Q} 出力に対し	1.0 1.0 2.0	10.0
SN5472 /7472	J ₁ , J ₂ , J ₃ , K ₁ , K ₂ , K ₃ 入力 Clock 入力に対し Preset 及び Clear 入力に対し Q及び \bar{Q} 出力に対し	1.0 2.0 2.0	10.0
SN5473 /7473	J及びK入力に対し Clock 入力に対し Clear 入力に対し Q及び \bar{Q} 出力に対し	1.0 2.0 2.0	10.0

型名	入出力端子	入力 負荷 係数	出力 負荷 係数
S N 5474 /7474	D入力に対し	1.0	
	Clock 入力に対し	2.0	
	Preset 入力に対し	2.0	
	Clear 入力に対し	3.0	
	Q及び \bar{Q} 出力に対し		10.0
S N 5475 /7475	D ₁ , D ₂ , D ₃ 及び D ₄ 入力に対し	2.0	
	Clock 1-2 及び Clock 3-4 に対し	4.0	
	全ての入力端子に対し		10.0
S N 5476 /7476	J 及び K 入力に対し	1.0	
	Clock 入力に対し	2.0	
	Preset 及び Clear 入力に対し	2.0	
	Q 及び \bar{Q} 出力に対し		10.0
S N 5477 /7477	全ての D 入力に対し	2.0	
	Clock 1-2 及び Clock 3-4 入力 全ての出力端子に対し	4.0	10.0
S N 5480 /7480	A ₁ , A ₂ , B ₁ , B ₂ , A _e , B _e 入力	1.0	
	A* 及び B* 入力に対し	1.65	
	C _n 入力に対し	5.0	
	Σ 及び $\bar{\Sigma}$ 出力に対し		10.0
	\bar{C}_{n+1} 出力に対し		5.0
	A* 及び B* 出力に対し		3.0
S N 5481 /7481	Write 1 及び Write 0 入力	1.0	
	X 及び Y 入力に対し		
	論理 "0" の場合	7.0	
	" " "1" "	10.0	
	S ₀ 及び S ₁ 出力に対し		12.5
	S N 5481 S N 7481		25.0
S N 5482 /7482	A ₁ , B ₁ 及び C ₀ 入力に対し	4.0	
	A ₂ 及び B ₂ 入力に対し	1.0	
	C ₂ 出力に対し		5.0
	Σ_1 及び Σ_2 出力に対し		10.0
S N 5483 /7483	A ₁ B ₁ A ₃ B ₃ 及び C ₀ 入力	4.0	
	A ₂ B ₂ A ₄ 及び B ₄ 入力に対し	1.0	
	C ₄ 出力に対し		5.0
	Σ_1 Σ_2 Σ_3 及び Σ_4 出力に対し		10.0
S N 5484 /7484	Write 1 及び Write 0 入力	1.0	
	X 及び Y 入力に対し		
	論理 "0" の場合	7.0	
	" " "1" "	10.0	
	S ₀ 及び S ₁ 出力に対し		25.0

型名	入出力端子	入力 負荷 係数	出力 負荷 係数
S N 5486 /7486	全ての入力に対し	1.0	
	全ての出力に対し		20.0
	論理 "1" の場合 " " "0" "		10.0
S N 5488 /7488	全ての入力に対し	1.0	
	" 出力 "		7.5
S N 5490 /7490	R ₀₍₁₎ R ₀₍₂₎ R ₀₍₁₎ 及び R ₀₍₂₎ 入力	1.0	
	B D 入力に対し	5.0	
	A 入力に対し	2.0	
	全ての出力に対し		10.0
S N 5491 A /7491 A	A 及び B 入力に対し	1.0	
	$\bar{C}P$ 入力に対し	1.0	
	Q 及び \bar{Q} 出力に対し		10.0
S N 5492 /7492	R ₀₍₁₎ 及び R ₀₍₂₎ 入力に対し	1.0	
	B C 入力に対し	4.0	
	A 入力に対し	2.0	
	全ての出力に対し		10.0
S N 5493 /7493	R ₀₍₁₎ 及び R ₀₍₂₎ 入力に対し	1.0	
	A 及び B 入力に対し	2.0	
	全ての出力に対し		10.0
S N 5494 /7494	Preset 1 及び 2 以外の入力に対し	1.0	
	Preset 1 及び Preset 2 入力	4.0	
	全ての出力に対し		10.0
S N 5495 /7495	Mode Control 以外の入力に対し	1.0	
	Mode Control 入力に対し	2.0	
	全ての出力に対し		10.0
S N 5496 /7496	Preset 以外の全入力に対し	1.0	
	Preset 入力に対し	5.0	
	全ての出力に対し		10.0
S N 54100 /74100	全ての D 入力に対し	2.0	
	Clock-1 及び Clock-2 入力	8.0	
	全ての出力に対し		10.0

型名	入出力端子	入力 負荷 係数	出力 負荷 係数
S N54104 /74104	J, K, Preset 及び Clear 以外の 入力	1.0	
	J, K, 入力に対し	2.0	
	Preset 及び Clear 入力に対し	3.0	
	Q 及び \bar{Q} 出力に対し		10.0
S N54105 /74105	J, K, Preset 及び Clear 以外の 入力	1.0	
	J K 入力に対し	2.0	
	Preset 及び Clear 入力に対し	3.0	
	Q 及び \bar{Q} 出力に対し		10.0
S N54107 /74107	J 及び K 入力に対し	1.0	
	Clock 入力に対し	2.0	
	Clear 入力に対し	2.0	
	Q 及び \bar{Q} 出力に対し		10.0
S N54121 /74121	A ₁ 及び A ₂ 入力に対し	1.0	
	B 入力に対し	2.0	
	Q 及び \bar{Q} 出力に対し		10.0
S N54141 /74141	A 入力に対し	1.0	
	B, C 及び D 入力に対し	2.0	
	全ての出力に対し		N/A
S N54145 /74145	全ての入力に対し	1.0	
	全ての出力に対し		12.5
S N54150 /74150	全ての入力に対し	1.0	
	全ての出力に対し 論理 "1" のとき		20.0
	" 0 " "		10.0
S N54151 /74151	全ての入力に対し	1.0	
	全ての出力に対し 論理 "1" の場合		20.0
	" 0 " "		10.0
S N54152 /74152	全ての入力に対し	1.0	
	全ての出力に対し 論理 "1" の場合		20.0
	" 0 " "		10.0

型名	入出力端子	入力 負荷 係数	出力 負荷 係数
S N54153 /74153	全ての入力に対し	1.0	
	全ての出力に対し 論理 "1" の場合		20.0
	" 0 " "		10.0
S N54154 /74154	全ての入力に対し	1.0	
	全ての出力に対し 論理 "1" の場合		20.0
	" 0 " "		10.0
S N54155 /74155	全ての入力に対し	1.0	
	全ての出力に対し 論理 "1" の場合		20.0
	" 0 " "		10.0
S N54156 /74156	全ての入力に対し	1.0	
	" 出力 "		10.0
S N54180 /74180	Data 入力に対し	1.0	
	Odd 及び Even 入力に対し	2.0	
	全ての出力に対し 論理 "1" の場合		20.0
" 0 " "		10.0	
S N54181 /74181	Mode 入力に対し	1.0	
	全ての \bar{A} 及び \bar{B} 入力に対し	3.0	
	全ての S 入力に対し	4.0	
	Carry 入力に対し	5.0	
	全ての出力に対し 論理 "1" のとき		20.0
" 0 " "		10.0	
S N154182 /74182	C _n 入力に対し	2.0	
	\bar{P}_3 入力に対し	3.0	
	\bar{P}_2 入力に対し	4.0	
	\bar{P}_0, \bar{P}_1 及び \bar{G}_3 入力に対し	5.0	
	\bar{G}_0 及び \bar{G}_2 入力に対し	9.0	
	\bar{G}_1 入力に対し	10.0	
	全ての出力に対し 論理 "1" のとき		20.0
" 0 " のとき		10.0	
S N54192 /74192	全ての入力に対し	1.0	
	" 出力 "		10.0
S N54193 /74193	全ての入力に対し	1.0	
	" 出力 "		10.0

<表4-9> 54H/74Hシリーズの標準化負荷係数

型名	入出力端子	入力負荷係数	出力負荷係数
S N54H00 /74H00	全ての入力に対し " 出力 "	1.25	12.5
S N54H01 /74H01	全ての入力に対し " 出力 "	1.25	12.5
S N54H04 /74H04	全ての入力に対し " 出力 "	1.25	12.5
S N54H05 /74H05	全ての入力に対し " 出力 "	1.25	12.5
S N54H10 /74H10	全ての入力に対し " 出力 "	1.25	12.5
S N54H11 /74H11	全ての入力に対し " 出力 "	1.25	12.5
S N54H20 /74H20	全ての入力に対し " 出力 "	1.25	12.5
S N54H21 /74H21	全ての入力に対し " 出力 "	1.25	12.5
S N54H22 /74H22	全ての入力に対し " 出力 "	1.25	12.5
S N54H30 /74H30	全ての入力に対し " 出力 "	1.25	12.5
S N54H40 /74H40	全ての入力に対し " 出力 "	1.25	37.5
S N54H50 /74H50	A, B, C 及び D 入力に対し X 及び \bar{X} 入力に対し 全ての出力に対し	1.25 N/A	12.5
S N54H51 /74H51	全ての入力に対し " 出力 "	1.25	12.5
S N54H53 /74H53	A, B, C, D, E, F, G, H 及び J 入力 X 入力に対し 出力に対し	1.25 N/A	12.5
S N54H54 /74H54	全ての入力に対し 出力に対し	1.25	12.5
S N54H55 /74H55	A, B, C, D, E, F, G 及び H 入力 X 及び \bar{X} 入力に対し 出力に対し	1.25 N/A	12.5
S N54H60 /74H60	全ての入力に対し X 及び \bar{X} 出力に対し	1.25	N/A
S N54H61 /74H61	全ての入力に対し " 出力 "	1.25	N/A
S N54H62 /74H62	全ての入力に対し X 及び \bar{X} 出力に対し	1.25	N/A

型名	入出力端子	入力負荷係数	出力負荷係数
S N54H71 /74H71	J1A, J2A, J1B, K1A, K2A, K1B, K2B Clock 入力に対し Preset " " Q 及び \bar{Q} 出力に対し	1.25 2.50 3.75	12.5
S N54H72 /74H72	J ₁ , J ₂ , J ₃ , K ₁ , K ₂ , K ₃ Preset 及び Clear 入力 Clock 入力 Q 及び \bar{Q} 出力	1.25 2.50 1.25	12.5
S N54H73 /74H73	J, K 及び Clock 入力 Clear 入力 Q 及び \bar{Q} 出力	1.25 2.50	12.5
S N54H74 /74H74	D 入力に対し Preset 及び Clock 入力 Clear 入力に対し Q 及び \bar{Q} 出力に対し 論理 "1" のとき " 0" "	1.25 2.50 3.75	25 12.5
S N54H76 /74H76	J, K 及び Clock 入力 Clear 及び Preset 入力 Q 及び \bar{Q} 出力	1.25 2.50	12.5
S N54H78 /74H78	J 及び K 入力 Clear 入力 Clock 及び Preset 入力 Q 及び \bar{Q} 出力	1.25 5.00 2.50	12.5
S N54H87 /74H87	全ての入力に対し " 出力 "	1.25	12.5
S N54H101 /74H101	全ての J 及び K 入力に対し Preset 入力に対し Clock 入力に対し 全ての出力に対し	1.25 2.50 3.0	12.5
S N54H102 /74H102	J 及び K 入力に対し Preset 及び Clear 入力 Clock 入力に対し 全ての出力に対し	1.25 2.50 3.0	12.5
S N54H103 /74H103	J 及び K 入力に対し Clear 入力に対し Clock 入力に対し 全ての出力に対し	1.25 2.50 3.0	12.5
S N54H106 /74H106	J 及び K 入力に対し Preset 及び Clear 入力 Clock 入力に対し 全ての出力に対し	1.25 2.50 3.0	12.5
S N54H108 /74H108	J 及び K 入力 Preset 入力 Clear 入力 Clock 入力 全ての出力に対し	1.25 2.50 5.00 6.00	12.5
S N54H183 /74H183	全ての入力に対し " 出力 " 論理 "1" の場合 " 0" "	3.75	25.0 12.5
S N54H52 /74H52	X 以外の入力に対し X 入力に対し Y 出力に対し	1.25 N/A	12.5

<表4-10> 54L/74Lシリーズの規準化負荷係数

型名	入出力端子	入力負荷係数	出力負荷係数	出力負荷係数*
SN54L00 /74L00	全ての出力に対し " 出力 "	0.25	1.25	2.5*
SN54L04 /74L04	全ての入力に対し " 出力 "	0.25	1.25	2.5*
SN54L10 /74L10	全ての入力に対し " 出力 "	0.25	1.25	2.5*
SN54L20 /74L20	全ての入力に対し " 出力 "	0.25	1.25	2.5*
SN54L30 /74L30	全ての入力に対し " 出力 "	0.25	1.25	2.5*
SN54L51 /74L51	全ての入力に対し " 出力 "	0.25	1.25	2.5*
SN54L54 /74L54	全ての入力に対し " 出力 "	0.25	1.25	2.5*
SN54L55 /74L55	全ての入力に対し " 出力 "	0.25	1.25	2.5*
SN54L71 /74L71	R ₁ R ₂ R ₃ S ₁ S ₂ 及び S ₃ 入力 Clock 入力に対し Preset 及び Clear 入力 Q 及び \bar{Q} 出力に対し	0.25 0.50 0.50	1.25	2.5*
SN54L72 /74L72	J ₁ J ₂ K ₁ K ₂ 及び K ₃ 入力 Clock 入力に対し Preset 及び Clear 入力 Q 及び \bar{Q} 出力に対し	0.25 0.50 0.50	1.25	2.5*
SN54L73 /74L73	J 及び K 入力に対し Clock 入力に対し Clear 入力に対し Q 及び \bar{Q} 出力に対し	0.25 0.50 0.50	1.25	2.5*

型名	入出力端子	入力負荷係数	出力負荷係数	出力負荷係数*
SN54L74 /74L74	D 入力に対し Clock 及び Preset 入力 Clear 入力に対し Q 及び \bar{Q} 出力に対し	0.25 0.50 0.75	1.25	2.5*
SN54L78 /74L78	J 及び K 入力に対し Preset 入力に対し Clear 及び Clock 入力 Q 及び \bar{Q} 出力に対し	0.25 0.50 1.00	1.25	2.5*
SN54L86 /74L86	全ての入力に対し " 出力 "	0.50	1.25	2.5*
SN54L91 /74L91	全ての入力に対し " 出力 "	0.25	1.25	2.5*
SN54L93 /74L93	R ₀₍₁₎ 及び R ₀₍₂₎ 入力 A 及び B 入力 全ての出力に対し	0.25 0.50	1.25	2.5*
SN54L95 /74L95	Mode Control 以外の入力 Mode Control 入力 全ての出力に対し	0.25 0.50	1.25	2.5*
SN54L98 /74L98	Word Select 以外の全入力 Word Select 入力 全ての出力に対し	0.25 0.50	1.25	2.5*
SN54L99 /74L99	A 及び M 以外の入力に対し A 及び M 入力に対し 全ての出力に対し	0.25 0.50	1.25	2.5*
SN54L85 /74L85	A 及び B の全ての入力 A > B, A < B, 及び A = B 入力 全ての出力に対し	0.75 0.25	1.25	2.5*

注 * 印の値は負荷が54L/74Lシリーズのときに使用すること。

5 雑音およびその対策

TTLは、高速動作および高ファンアウトが可能なように設計され、また、DCノイズマージンが高く出力インピーダンスが低いので、AC雑音にも強く設計されている。しかし、一般的に集積回路は、論理振幅が小さく、一方スイッチング速度の高速化にともなって、雑音に対する感度もかなりクリティカルなものとなっており、したがってシステム設計に当たっても、雑音の発生を最少にし、また、雑音に強いシステム設計をすることが必要である。

デジタルシステムに影響を及ぼす外来雑音としては、電力線や電機装置からの商用周波数、あるいは高周波誘導、スイッチや、リレーからの誘導サージ、接地ラインにおける電位差など、各種のものが考えられる。

5-1 電磁誘導による雑音

雑音発生回路を流れる電流によって発生した磁界が、信号回路を交差するとき生じるものである。

〔対策〕

- ①雑音発生回路と信号回路の距離をはなす。
- ②2回路間に適当な電磁シールドを設ける。
- ③信号回路の往復線対を捩り合せ、同一方向の電圧及び磁界を相殺させる。
- ④干渉する布線の長さを短くする。

5-2 静電誘導による雑音

雑音発生回路と信号回路とがなんらかの誘電体物質で隔てられ、電圧レベルが異なる場合に生じるものである。

〔対策〕

- ①線間の電位差を減少させる。
- ②線の直径、および、長さを減少させる。
- ③静電シールドを設ける。
- ④線間の誘電率を減少させる
- ⑤線間の距離を増加させる。

5-3 共通インピーダンスによる雑音

雑音源の回路と信号回路とが、接地ラインの共通インピーダンスによって結合されているとき、雑音源を流れる電流によって接地ラインに電圧が発生し、ノイズ信号となる。また、接地ラインが多点で接地されているようなときには、接地ライン相互間で閉回路が形成されるので、外部磁界が変化することにより、そのループ内に電圧が誘起され、それがノイズ信号となることもある。

〔対策〕

- ①接地ラインのインピーダンスを減少させる。
- ②各回路の接地ラインは、すべて1回路1接地方法をとる。

③信号回路の接地系は他の電機装置などの電力ライン接地系とは完全に分離させる。

5-4 システム設計における基本的な雑音対策

5-4-1 雑音発生源の阻止と隔離

外来雑音の対策としては、まずその発生源を予知し、発生源側で対策することが望ましい。

例えば、リレーコイルに並列にダイオード、または、抵抗、容量などを入れ、サージ電圧を抑えたり、AC電源ラインを通して入ってくる雑音に対しては、フィルタを発生源側の電源ラインに挿入したりする。

また、強電磁界を発生する電機装置に対しては、シールドを施す。発生源側でこのような対策を施せば、妨害を受けるシステム全部について対策を検討する必要がなくなる。

論理システムと外部装置とを接続する入出力信号線を他の電力系や電機装置からできるだけ離せば、最も経済的かつ効果的な雑音対策となる。

5-4-2 接地ライン

論理システムの接地ラインは、専用のものを設け、他の電力系や、電機装置系の接地系とは、完全に分離し、それらの接地系を流れる電流により、論理システムの接地系が干渉を受けないようにする。

また、論理システムと筐体との接地は一点のみとし、決して論理システム系と筐体帰路との間で閉回路を形成させないことである。

もし、多点で接地され閉回路ができておれば、外部磁界の変化により、そのループに循環電流が流れ雑音の原因となる。

5-4-3 ワイヤダクトとシールドケースの使用

ロジック・システムをシールド効果を考慮した金属カバーケースに納め、一点接地を行えば、電磁的、および静電的誘導による外来雑音をほとんど阻止することができる。システムの入出力信号線も、同様な金属性のワイヤダクトに挿入することによって、以上の雑音をかなり減少させることができる。しかし、この方法は価格的に値段が高くなることもあり、ダクトの使用は予想した雑音の状態や、信号線の機械的な損傷、あるいは、湿気からの保護などと、あらゆる物理的な面、経済的な面から決定することが大切である。

なお、ワイヤダクトを使用する場合は雑音源となる電力系線と信号線を同一ダクトに挿入することは避けるべきである。

5-4-4 撚り線とシールド線

システムの入出力信号線としては、同軸ケーブルなど絶縁シールドされたケーブルを用い、一点接地をすれば静電誘導に基づく雑音はかなり阻止することができる。

この場合ケーブルのシールド導体を信号帰路として用いることは、シールド効果的についで望ましくない。

この点では2芯シールド、ケーブルを使用すれば、信号帰線と、シールド導体とが分離可能となり有利である。2芯撚り合わせシールドケーブルの場合は、撚り合わせによる相殺効果があるので、電磁誘導に対してもかなり減少効果がある。システム内の布線線材としては、取り扱いの簡便さ、経済的の面から単線がもっとも広く使用されている。布線長が長くなったり、雑音源が近くにある場合は行きと帰りの線対をより合わせて、相殺効果による雑音減少をはかることが望ましい。

シールド線、非シールド線のいずれにせよ、誘導雑音は線長が長くなるほど増加するため、システムをできるだけ小形にまとめることが必要である。

5-4-5 フィルタによる雑音吸収

一般に電機装置の雑音は、AC電源ラインを通過して混入してくることが多いので、ACラインフィルタを雑音発生源側あるいは、論理システムのAC電源ラインに挿入することが必要である。論理システムのDC電源の出力インピーダンスも、できるだけ低く設計することが望ましく、ユニット、カードのDC電源とグランド間には適当な間隔で、コンデンサを挿入し、高周波に対しては、十分インピーダンスの低下をはかること、誘導により入力信号線に雑音が混入する場合には入力側に適当なフィルタを挿入すれば雑音をかなり吸収することができる。

普通、最も簡単なフィルタとしては、RC・LCフィ

ルタが考えられる。いずれの場合もパルス応答、および、雑音などに対する応答も鈍らせる作用があるので、その辺のことも充分考慮した上で挿入する必要がある。

5-4-6 ICのパルス応答特性を鈍らせて雑音を緩和する方法

ICの雑音余裕は、回路方式により異なり、回路のレスポールド電圧と、回路のパルス応答特性に大きく依存し、スイッチング特性のすぐれたものほど雑音余裕は小さくなる傾向にある。したがって、必要以上のシステムの高速化は、雑音に対する感度を鋭くすることになり望ましくない。

そこで、高速性が要求される電子計算機に比べ、動作速度よりも、むしろ耐雑音性が要求される制御機器などの一般工業機器に使用する場合は、ICの出力端子、あるいは、ノード端子に容量を外付けして、パルス応答を必要で、十分な程度まで遅くして耐雑音性を大きくして使用することも一策である。

5-4-7 シーケンス的動作ロックによる誤動作防止

耐雑音性の高いシステムを設計するにあたって、雑音発生源をなくし、雑音の誘導を受けない実装法をとることが重要な検討項目であるが、さらにもう一つ重要なものとして、雑音に対して動作上完全に保護されたシステム方式を採用することが望ましく、その一つとして、同期システム方式がある。これは、適当にクロックを入れることにより、雑音のえいきょうをかなり軽減できる。また、ゲート回路に信号を加える場合、ペダスタル信号とのアンド動作を行なわせたり、フリップ、フロップ動作の場合ステアリングゲートを併用して、上位桁の誤反転を防止するなどの対策を必要とする。

6 システム設計上の注意事項

〔I〕 接地ライン

①接地ラインは専用の接地板を設け、他の電力系や電子装置系の接地系とは完全に分離する。

②接地ラインのインピーダンスを減少させる。

③各回路の接地ラインは、すべて1回路1接地方法をとる。

〔II〕 電源

①論理系のDC電源の出力インピーダンスは、できるだけ低く、変動率およびリップルは5%以下に設計すること。

②電源装置の一次側に、ACライン、フィルタを挿入する。

③DC電源と接地間には、適当な間隔(5~10パッケージ)でコンデンサ0.01~0.1 μ F(セラミック)を挿入し、高周波に対しても十分インピーダンスを低くすることが必要である。

〔III〕 ゲート回路

①ゲート回路の入力パルスの立上り、立下り時間は1 μ S以下にすること。また、パルス幅は、29nS以上とする。

②不要回路の処理

パッケージのうち使用しない回路の入力は、論理“1”または+V_{cc}(5V)、あるいは論理“0”または接地ライン(0V)に接続する。論理“1”、“0”は回路の消費電力あるいは周囲の回路との安全性等を考慮して接

続する。

〔IV〕 フリップ、フロップ回路

フリップ、フロップのクロック、パルスの立上り、立下り時間は150nS、以下が望ましい。

〔V〕 実装及び布線上の注意事項

①各要素間の全線長の長さを最小とする。

②信号源から負荷までの線長の大小の差を小さくする。

③外部と信号をやりとりするものは、外部に近くする。

④同じ用途のものは集める。

⑤配線し易いように、ある方向の配線を多くする。

⑥信号の入出のためのパッケージ間布線は、直線的に行ない、束線はできるだけ行なわないこと。しかも、この布線長は30~50cm位までとする。

⑦上記布線が更に長くなるときは、特性インピーダンス93~120 Ω をもつ同軸ケーブル、または、撚り線を使用することが望ましい。

⑧パッケージの配置

大電流をON、OFFするリレー、その他電氣的雑音源の近傍に配置しないこと。やむを得ぬ場合には電氣的遮蔽を充分施すこと。

⑨プリント配線のノイズ対策のため、太いプリント、広い間隔それに短い線長が基本となるが、その他にプリント基板の片面全部を接地、または、電源にするとより効果的である。

第2章 各種TTLとその応用

54/74シリーズTTL

1. ゲート, バッファ, ドライバ, シュミット, 及び単安定マルチ

ここでは、ゲート (又はインバータ)、バッファ、ドライバ、シュミット及び単安定マルチといったフリップ・フロップ以外のTTL, SSIについて、その機能、動作、特徴、およびその応用等を記述する。

ただし、ゲート (あるいはインバータ) については、既に第1章、第2節でその機能と論理回路への応用について述べたので、ここではゲートの本来の機能とは、少し異なった使用例を中心に説明する。

1-1 ゲートおよびインバータ

現在、TI社より供給可能な各種TTLゲート、および、インバータを、その機能上から分類すると、

- ① NAND ゲート
- ② NOR ゲート
- ③ インバータ
- ④ AND ゲート
- ⑤ AND-OR-INV ゲート
- ⑥ AND-OR ゲート

がある。また、これらのゲート、あるいは、インバータを出力回路上から分類すれば、

- ① トーテンポール出力 (標準ファンアウト能力のもの)
- ② トーテンポール出力 (高ファンアウト能力のもの)
- ③ 開放コレクタ出力

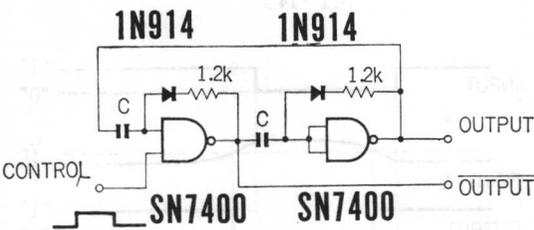
(標準 sink 電流, 標準出力電圧のもの)

- ④ 開放コレクタ出力 (大 sink 電流, 高耐圧のもの)
- に分けることができる。

ここに述べようとするゲート、および、インバータは出力回路上の分類のうちの①、および、③であって、②および④については、1, 2項のバッファドライバの項で取りあげる。

1-1-1 NAND ゲートによる各種信号発生器

デジタル機器のクロックパルス発生用、通信機器のマスタ発振器、あるいは周波数校正用、その他の信号発生用として、NAND ゲートを非安定マルチバイブレータあるいは、X-tal 発振器に応用する例を述べる。



〔図1-1〕

i) 非安定マルチバイブレータ

図1-1, および, 図1-2は, SN7400 を用いた非安定マルチバイブレータである。

図1-1のCONTROL 入力は、発振させるとき、“1”を与え発振させないときは、“0”を与えて、発振を制御する端子である。

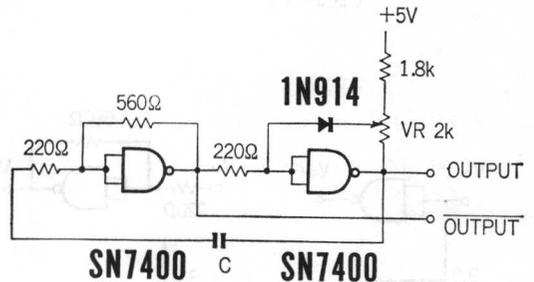
なお、このような制御を必要としないときは、CONTROL 端子を他の入力端子 (ダイオードとコンデンサの接続点) に接続すればよい。

図1-2の非安定マルチバイブレータは、可変抵抗器VRによって、かなり広い範囲にわたって発振周波数を変えることができる。

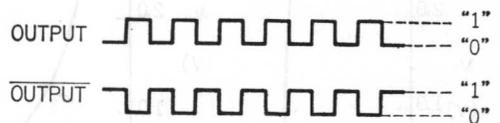
これらの非安定マルチバイブレータの出力は、いずれも、図1-3に示したような波形が得られる。

ii) 水晶制御発振器

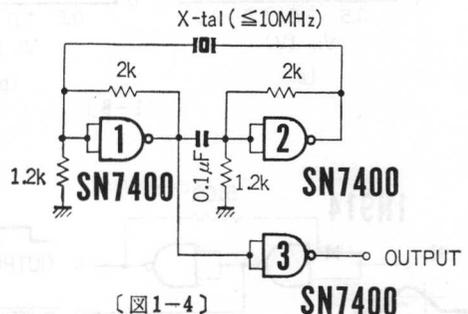
水晶制御による発振器は、温度、電源電圧などの変動に対しても、非常に高い周波数安定度が得られるものである。図1-4~図1-6に、このような水晶制御発振器



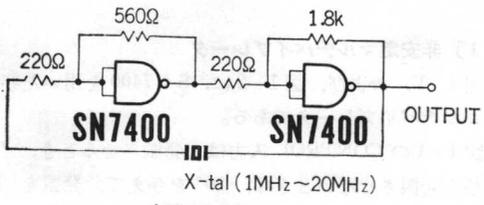
〔図1-2〕



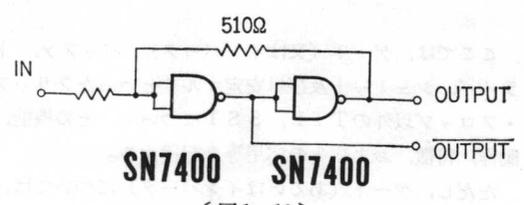
〔図1-3〕



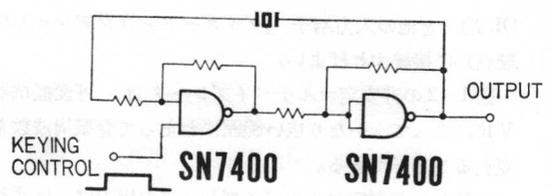
〔図1-4〕



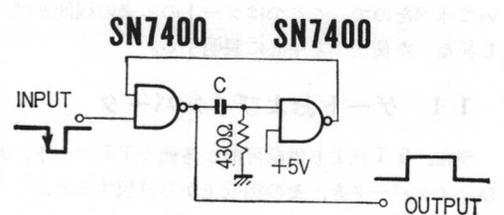
〔図1-5〕



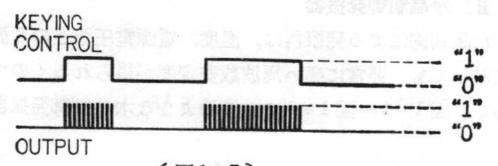
〔図1-10〕



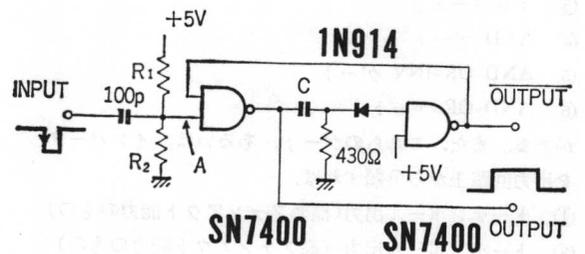
〔図1-6〕



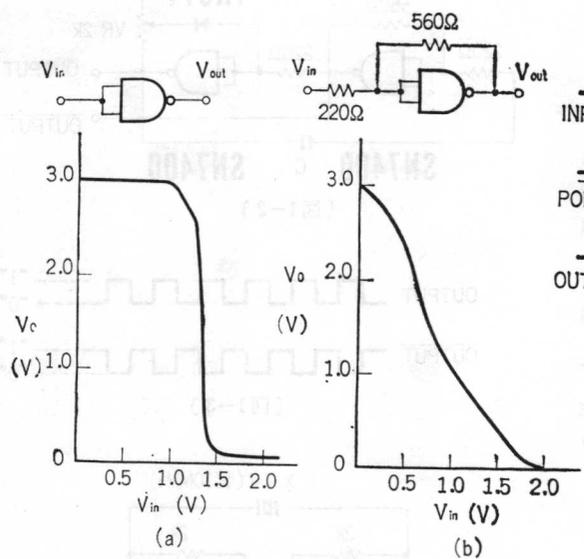
〔図1-11〕



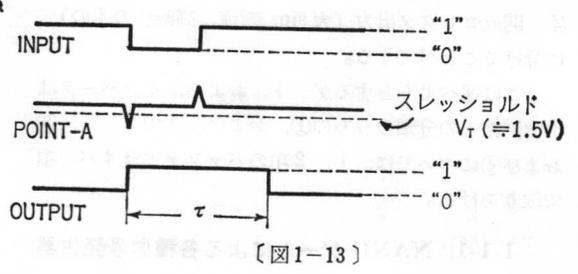
〔図1-7〕



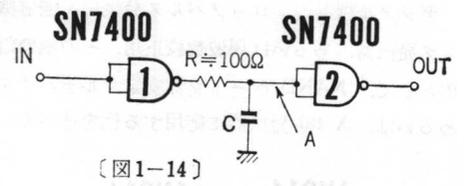
〔図1-12〕



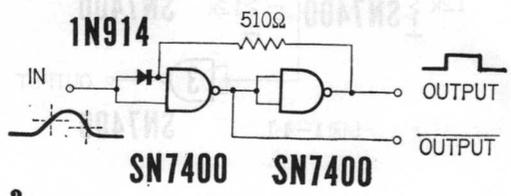
〔図1-8〕



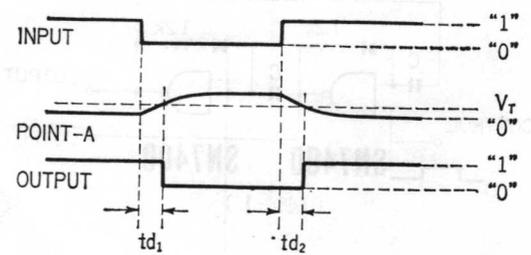
〔図1-13〕



〔図1-14〕



〔図1-9〕



〔図1-15〕

(X-tal 発振器) の回路例を示す。

なお、図1-6は KEYING CONTROL によって、KEYING 中だけ発振させるような回路で、その入出力波形は、図1-7のようになる。

以上のような、非安定マルチバイブレータあるいは X-tal 発振器のうち、いくつかの回路は、図1-8 に示したように、ゲートにフィードバックをかけて、図1-8 (a)のような非線形入出力特性を(b)のように線形に近い形にしているものである。

1-1-2 NAND ゲートによる波形整形回路

i) シュミット トリガ

時間的にゆっくりした波形を急峻な立上がり、立下がりをもった波形にするための回路として、シュミットトリガがある。

SN7413のように、単体の回路でシュミット トリガとなっているものもあるが、ここでは、NANDゲートによる場合の例を述べる。

図1-9および、図1-10に示したように、このシュミットトリガは、ポジティブ フィードバックによって自励発振現象をおさえて、スナップ アクションをおこさせ、ゆるやかな入力に対しても、早い立ち上がり、立下がり出力を得ることができるものである。

図1-9のものは、信号源インピーダンスが 250Ω 、または、それ以下のとき、また、図1-10のシュミットトリガは、それ以上のインピーダンスのときに使用される。

ii) 単安定マルチバイブレータ

単安定マルチ バイブレータも SN74121, SN74122 など、単体でこの機能をもったものが、いろいろ用意されているが、NANDゲートによっても、単安定マルチバイブレータを構成することができる。

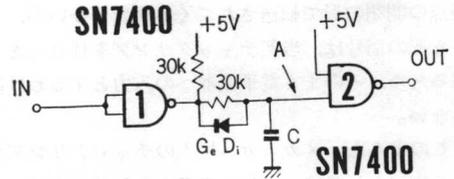
図1-11は、このようなNANDゲートによる最も標準的な単安定マルチの回路例である。また、図1-12はA点のDCレベルを抵抗 R_1 , R_2 によって調整することにより、トリガ感度を変えることができるようにし、さらに2段目のゲートに挿入したダイオードによって、出力パルス巾の温度安定度を向上させるようにしたもので、この回路の動作波形を図1-13に示す。

iii) 信号遅延回路

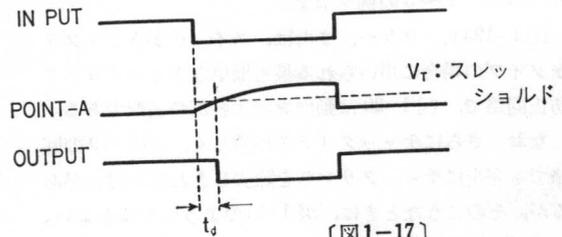
入力パルスを選らせたい場合には、図1-14、図1-16 および、図1-18のように、それぞれ、段間に積分回路を挿入し、この時定数によって遅らせる方法が一般的に行なわれる。

図1-14に示した方法は、最も標準的なもので、その入力波形に対する各部の動作波形が、図1-15に示されている。ここで注意しなければならない点は、

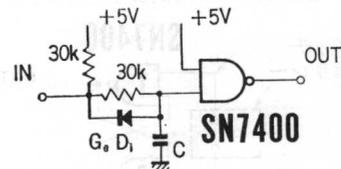
① 図1-15の td_1 と td_2 は、等しくならぬことであ



〔図1-16〕



〔図1-17〕



〔図1-18〕

る。

この理由は、コンデンサCに電荷が充電される時定数と、放電時定数が異なるため、この関係は当然Rの値によっても違ってくる。

② Rの最大値は、せいぜい 200Ω 止まりである。

これは、ゲート「2」の「0」入力時の $I_{in(0)}$ が $1.6mA$ のとき、 $V_{in(0)}=0.4[V]$ を保証するためである。

③ Rを小さくした場合には、Cはあまり大きくできない。

これはゲート「1」出力が「1」から「0」になるとき、または、「0」から「1」に反転するとき、ゲート「1」の出力トランジスタをとおして、Cに充放電電流が流れるが、Cの値が大きいと、長い時間にわたり、大電流が流れるので、出力トランジスタの信頼性を低下させることになるためである。

図1-16は、入力パルスの立下がりだけを遅延させるときに使用される回路である。この回路の動作を説明するためのタイムチャートを図1-17に示す。

なお、段間に挿入したゲルマニウム ダイオードは入力パルスの立上りの遅延を阻止し、同時にゲート「2」の $V_{in(0)}=0.4[V]$ を保証するためのものである。

同様な考え方で、入力パルスの立上がりだけを遅延させる回路を図1-18に示す。

iv) チャタリング防止回路

手動スイッチ、電気機器、工作機器等からのデジタル

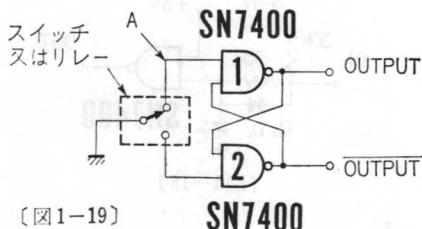
信号は、リレー、あるいは、スイッチなどのメカニカル接点の開閉の形で転送されてくる場合が多いが、このような形の信号は、当然チャタリングを伴ったものであるため、そのまま電子機器への入力とするわけにはいかない。

このような、メカニカル接点のチャタリングを防止する方法としては、いろいろ考えられているが、ここでは、NANDゲートを用いた最もシンプルで確実な方法について、2~3の例を示す。

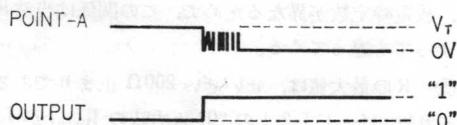
図1-19は、リレー、または、スイッチがトランスファタイプの場合に用いられる最も簡単なチャタリング防止回路で、図1-20は動作を示す各部の波形である。

なお、さらにチャタリングが激しく、図1-19の回路でも完全にチャタリングを除去しきれない場合があるが、そのようなときは、図1-21のようにするとよい。

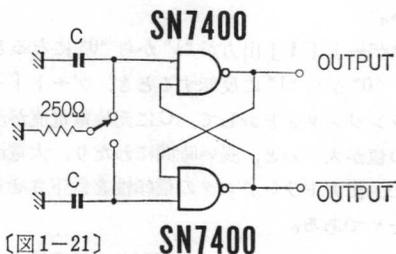
250Ω とCによる時定数は、リレー、または、スイッチのON、または、OFF時間よりきめるとよい。



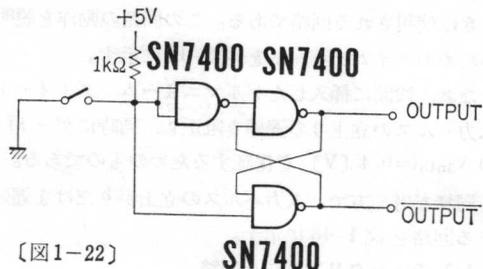
〔図1-19〕



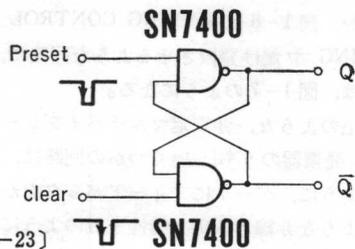
〔図1-20〕



〔図1-21〕



〔図1-22〕



〔図1-23〕

スイッチ、または、リレーの接点が単なるON、OFFの場合には、図1-22に示したように、インバータを1段挿入する。この場合にも、チャタリングが激しいときは、図1-21に示したように、CRによるフィルタを挿入してやることにより、さらに確実にチャタリングを防止することができる。

1-1-3 NANDゲートによる

フリップ・フロップ回路

TIでは、SN7470、SN7472、SN7473、SN7474、SN7476など種々のタイプのTTLフリップ・フロップを用意しているが、使用品種の制限、実装上の問題、あるいは、システム上の制約などの理由で、これらのTTLフリップ・フロップの代わりに、NANDあるいはNORなどのゲートで構成したフリップ・フロップを使用しなければならないことがある。

このような場合のために、ここでは、NANDゲートを用いたフリップ・フロップの構成例を示す。

i) 直接R-Sフリップ・フロップ

直接R-Sフリップ・フロップは、1ビットの簡単なレジスタ、あるいは、前にものべたように、チャタリング防止回路として等の用途があり、デジタル回路にはよく使用される回路である。

図1-23は、このような直接R-Sフリップ・フロップを2入力NANDゲートで構成した例で、目的、ある V_{th} は用途によって、このようなR-Sフリップ・フロップでも十分な場合には、一般のTTLフリップ・フロップを使用するよりかなり安価である。表1-1はこの直接R-Sフリップ・フロップの真理値表である。

入 力		出 力	
Preset	clear	Q	\bar{Q}
0	0	1	1
1	0	0	1
0	1	1	0
1	1	Q_n	\bar{Q}_n

NANDゲートによる
直接R-SF/F真理値

〈表1-1〉

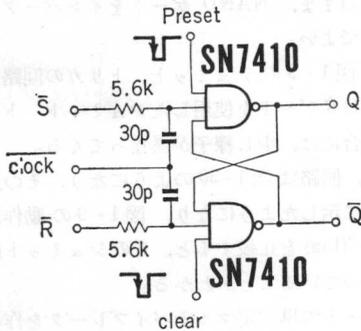
	t_n	t_{n+1}
\bar{S}	R	Q
0	0	不定
1	0	0
0	1	1
1	1	Q_n

t_n : クロック印加前

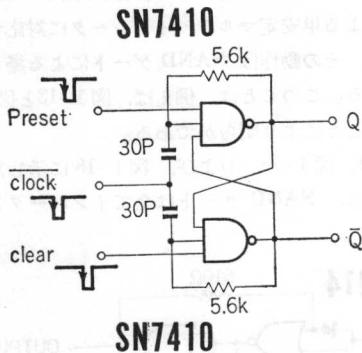
t_{n+1} : クロック印加後

(Preset, clear="1"とする)

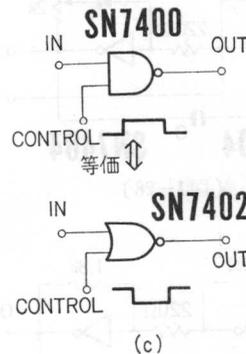
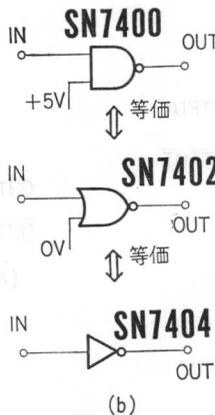
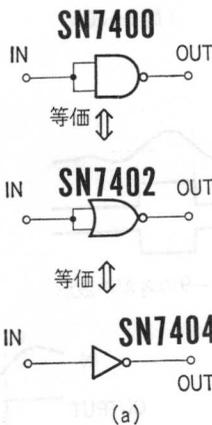
〔表1-2〕R-S-T F/Fの真理値表



〔図1-24〕NANDゲートによるR-S-T F/F



〔図1-25〕Tタイプ F/F



〔図1-26〕

ii) R-S-T フリップ・フロップ

(プリセット クリヤ入力付)

3入力, NANDゲート2回路と, CRを組み合わせたプリセット・クリヤ入力端子のついたR-S-T フリップ・フロップの回路例, および, 真理値表それぞれ図1-24および表1-2に示す。

このような, R-S-T フリップ・フロップは, フリップ・フロップの標準型とも言えるもので, カウンタ, シフトレジスタ, メモリなど, あらゆる用途に使用できる。

なお, プリセット, および, クリヤ入力を必要としないときは, 3入力NANDゲートを2入力NANDゲートに置きかえても差しつかえない。

iii) Tフリップ・フロップ

(プリセット クリヤ入力付)

図1-25は, 3入力NANDゲートを2回路とCおよびRを使用して, 安価に構成したTタイプ フリップ・フロップの回路例である。

このタイプは, リップル キャリアタイプのカウンタなどによく利用される。クロックパルスによって, トグル動作を行なわせる場合には, プリセット, および, クリヤ入力とも"1"にしておかなければならない。

1-1-4 インバータ, NAND 及び

NOR ゲートの応用

前項までに, NANDゲートを利用して, 信号発生器, 波形整形回路, および, フリップ・フロップ回路などを構成する例を述べたが, インバータ, あるいは, NORゲートを利用して, 全く同様の機能を持った回路を構成することができる。

NANDゲートとインバータ, あるいは, NORゲートは当然ゲートとしての機能が異なるので, 前に述べた諸

回路の NAND ゲートを、そのままインバータあるいは NOR ゲートにおきかえることはできないが、両者の基本的な機能の差を考慮した上であれば、全く同じ機能の回路を実現できる。

図 1-26 は、NAND ゲート、NOR ゲートおよびインバータの相互等価回路で、この相互に等価な回路であれば、NAND ゲート、NOR ゲートあるいはインバータのいずれを使用しても差しつかえない。

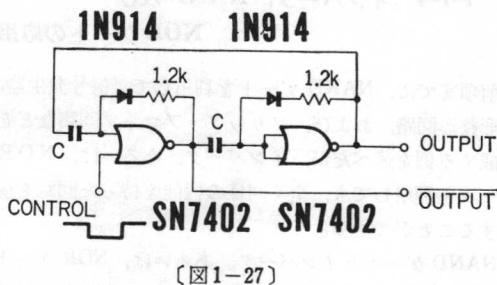
以下、各回路ごとに NOR ゲート、または、インバータを利用する場合の構成と動作の概略を説明する。

i) 信号発生器

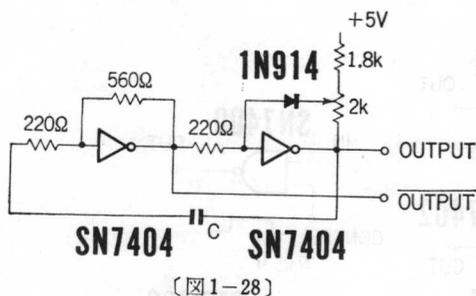
非安定マルチバイブレータ、あるいは、水晶制御発振器の場合には、NAND ゲートは単にインバータとしての動作を行なわせているわけであり、CONTROL 入力付の回路の場合でも同様である。

したがって、NOR ゲートあるいはインバータと同じ回路を実現するには、単に NAND ゲートを NOR ゲート、あるいは、インバータに置きかえるだけでよい（ただし、CONTROL 入力が付加されている回路では、インバータだけで構成することはできない）。

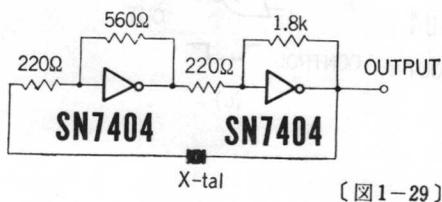
例えば、図 1-27 は図 1-1 と同一の回路を NOR ゲートで構成した例で、CONTROL 入力が“0”のときにこの回路は、非安定マルチバイブレータとして動作する。



〔図 1-27〕



〔図 1-28〕



〔図 1-29〕

図 1-28 は、図 1-2 のマルチバイブレータをインバータで組んだ例で、NAND ゲートからインバータへの置換は、図 1-26 にしたがって機械的に行なわれたにすぎないことがわかる。

同様に、図 1-5 の水晶制御発振器をインバータで作る場合には、図 1-29 のような回路でよいことになる。

ii) 波形整形回路

図 1-10 に示したシュミットトリガをインバータを用いた回路に変更するには、図 1-26 に示した原則にしたがって、そのまま、NAND ゲートをインバータにおきかえるだけでよい。

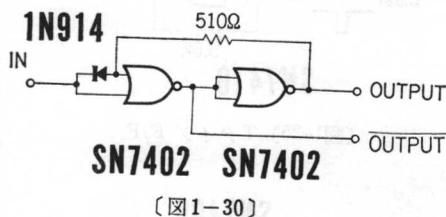
しかし、図 1-9 のシュミットトリガの回路構成をそのまま NOR ゲートを使用したシュミットトリガに変更する場合には、少し様子が異なってくる。

すなわち、回路は図 1-30 のようになり、その動作は図 1-31 (b) に示したようになり、図 1-9 の動作波形を示す。図 1-31 (a) を比較すると、そのシュミット動作は全く逆になっていることがわかる。

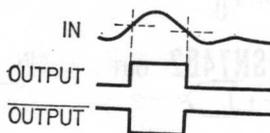
NOR ゲートで単安定マルチバイブレータを作る場合には、図 1-32、および、図 1-33 のような構成になる。

これらは、それぞれ図 1-11、および、図 1-12 の NAND ゲートによる単安定マルチバイブレータに対応する回路であるが、その動作は NAND ゲートによる場合と逆になっている。このことは、例えば、図 1-13 と図 1-34 を比較することにより明らかである。

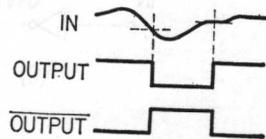
図 1-14、図 1-16、および、図 1-18 に示した信号遅延回路では、NAND ゲートは全てインバータとして動



〔図 1-30〕

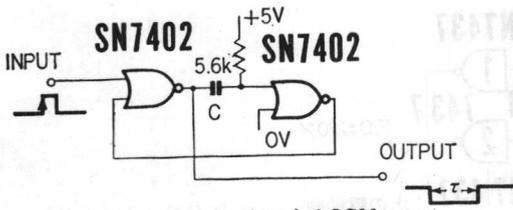


(a) 図 1-9 の各部の波形

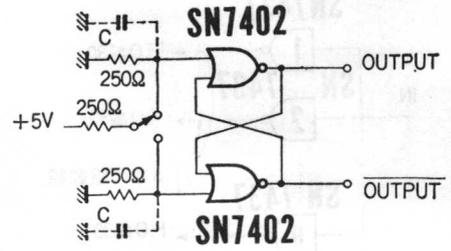


〔図 1-31〕

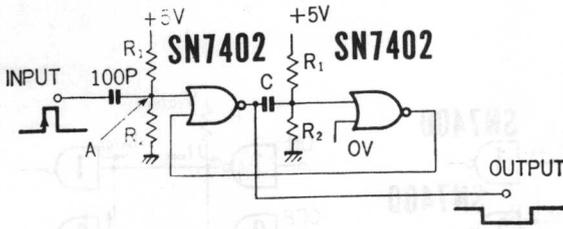
(b) 図 1-30 の各部の波形



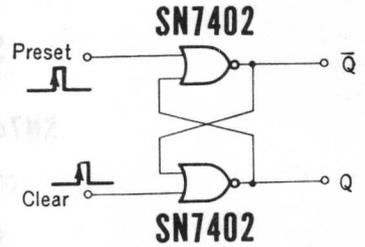
〔図1-32〕 NORゲートによるOSM



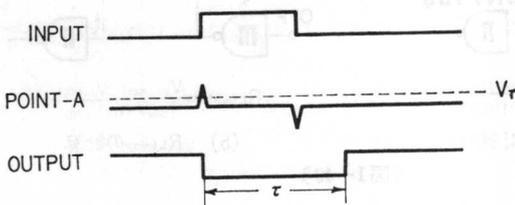
〔図1-35〕



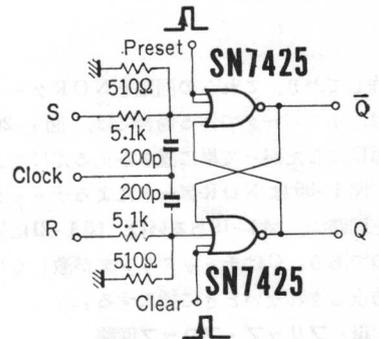
〔図1-33〕 NORゲートによるOSM



〔図1-36〕 NORゲートによる直接R-S F/F



〔図1-34〕 NORゲートによるOSMの動作



〔図1-37〕 NORゲートによるR-S-T F/F

F/Fタイプ	NANDゲートによる場合		NORゲートによる場合	
	回路構成	真理値表	回路構成	真理値表
直接R-S	図1-23	表1-1	図1-36	表1-4
R-S-Tタイプ	図1-24	表1-2	図1-37	表1-5
Tタイプ	図1-25	-	図1-38	-

〈表1-3〉 NANDゲート及びNORゲートによるF/F一覧表

入力		出力	
Preset	clear	Q	Q-bar
0	0	Q _n	Q _n -bar
1	0	1	0
0	1	0	1
1	1	0	0

NORゲートによる 直接R-S F/F真理値表

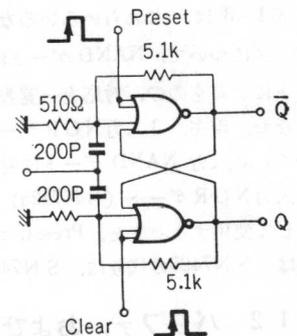
〈表1-4〉

t _n		t _{n+1}
S	R	Q
0	0	Q _n
1	0	1
0	1	0
1	1	不定

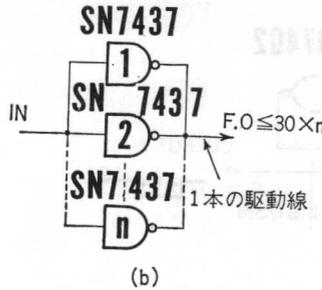
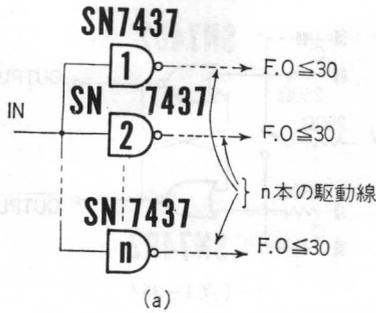
(Preset, clear="0"とする)

NORゲートによる R-S-T F/F真理値表

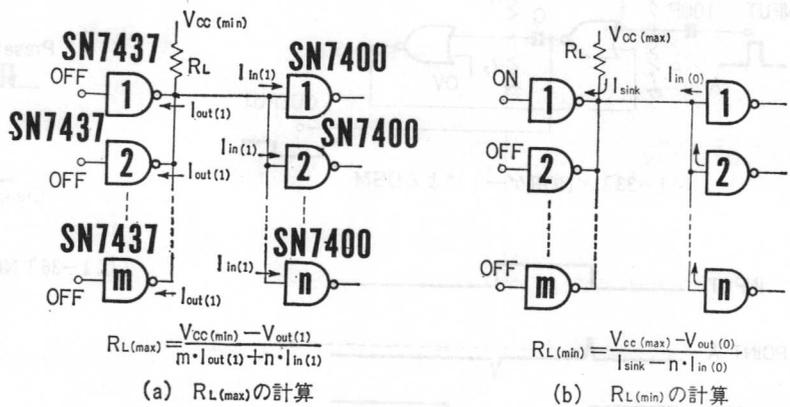
〈表1-5〉



〔図1-38〕 SN7425によるT-F/F



〔図1-39〕



〔図1-40〕

作しており、これらの回路をNORゲート、あるいは、インバータで作る場合には、図1-26に示した原則にしたがって単に置きかえるだけでよい。

図1-35はNORゲートによるチャタリング防止回路で、図1-19あるいは、図1-21に対応するものである。Cはチャタリングが激しくRだけでは防止しきれないときに挿入する。

iii) フリップ・フロップ回路

NANDゲートを使用して、いろいろなタイプのフリップ・フロップが構成できることを前に説明したが、当然NORゲートによっても、同じタイプのフリップ・フロップを作ることができる。

表1-3は、これらいろいろなタイプのフリップ・フロップについて、NANDゲートによるものと、NORゲートによるものの、対応を一覧表にしたものである。

なお、現在、3入力NORゲートが製造されていないので、3入力NANDゲートに対応するものとしては、4入力NORゲート(SN7425)を3入力NORゲートとして使用する。また、Preset, clearを必要としないときは、SN7425の代わりに、SN7402が使用できる。

1-2 バッファ、および、ドライバ

1-1項で説明したように、論理機能的にみれば、一般

TTL 負荷 の数n	$R_{L(max)}$					$R_{L(min)}$
	ワイヤドOR出力の数m					
	5	10	15	20	25	
10	1420Ω	810	567	435	354	152Ω
15	1270	759	540	420	343	202
20	1150	712	517	405	333	303
25	1040	672	—	—	—	606

〔表1-6〕 SN7438のワイヤドORの負荷抵抗値

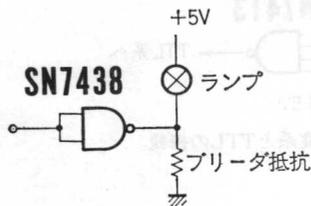
のゲート、あるいは、インバータであるが、出力回路上からみると、一般のゲートと比較して、高耐圧出力、あるいは高ファンアウト能力をもったものをバッファ、あるいは、ドライバと呼んでいる。このようなバッファドライバを分類すると、次のように分けられる。

- ① トーテンポール出力で、高ファンアウト能力のもの。
- ② 開放コレクタ出力で、大シンク電流、標準耐圧。
- ③ 開放コレクタ出力で標準シンク電流高耐圧のもの。

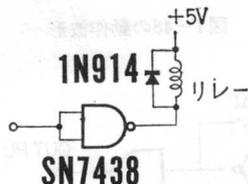
以下、これらの分類にしたがって各デバイスの特徴、および、応用例などについて簡単に説明する。

1-2-1 トーテンポール高ファンアウト出力のバッファ ドライバ

この類に属するものとして、SN54/7437、および、SN54/7440がある。これらのデバイスは、多数のTT



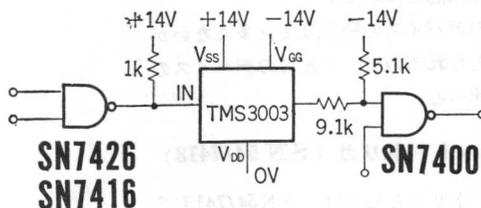
【図1-41】ランプ駆動の例



【図1-42】リレー駆動の例

型名	機能	シンク電流	出力電圧
SN7406	6回路インバータバッファ/ドライバ	16mA @ 0.4V 40mA @ 0.7V	30V
SN7407	6回路バッファ/ドライバ	16mA @ 0.4V 40mA @ 0.7V	30V
SN7416	6回路インバータバッファ/ドライバ	16mA @ 0.4V 40mA @ 0.7V	15V
SN7417	6回路バッファ/ドライバ	16mA @ 0.4V 40mA @ 0.7V	15V
SN7426	4回路2入力インターフェース NAND	16mA @ 0.4V	15V

【表1-7】開放コレクタ標準シンク電流高出力電圧バッファ・ドライバ



【図1-43】

L入力をバラにドライブするために作られたもので、ファンアウト数は $N=30$ である。

したがって、例えば、SN7400のようにファンインが $N=1$ のものを同時に30個まで駆動できる。

また、さらに多くのゲートを駆動したいような場合には、図1-39(a)に示したようにファンインが30個までのドライブラインに分割して、各々をSN54/7437, またはSN54/7440で駆動する。また、このように何本ものラインをどうしても設けられない場合には、同図(b)に示したように、負荷のファンイン数に応じてバッファを平行に接続して負荷をドライブする方法がとられる。

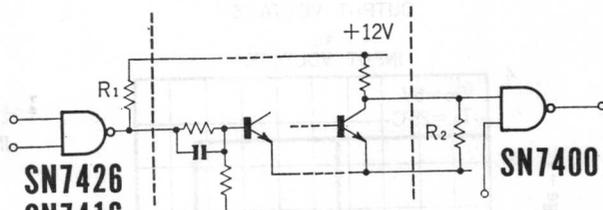
1-2-2 開放コレクタ、大シンク電流、標準出力電圧のバッファドライバ

この分類に入るものとしては、現在SN54/7438だけである。出力が開放コレクタであるので、ワイヤOR接続が可能で、しかもシンク電流が大きいので、SN7401の場合より、さらにワイヤOR接続のできる回路数、および、駆動できるTTL負荷の数を大幅に増すことができる。

図1-40は、SN54/7438のワイヤOR接続の場合の負荷抵抗の求め方を示すもので、表1-6はSN7438について図1-40の各値に次の数値を代入して計算した結果をまとめたものである。

SN7438は、上述のような用途他に、大電流シンク能力を持っているので、低電圧のランプドライバ、あるいは、低電圧リレードライバなどに応用できる。

なお、ランプの場合、点灯開始時の突入電流が、定格



【図1-44】

点灯時の10倍もの電流が流れることを考慮して、図1-41のように、ブリーダを入れて消灯時にもある程度のスタンバイ電流を流し、突入電流を軽減して、IC過負荷動作をさけた方がよい。

1-2-3 開放コレクタ標準シンク電流、高電圧、バッファドライバ

このタイプのバッファドライバは、TTLと他の論理回路、例えば、個別部品トランジスタの論理回路や、MOS論理回路などとの接続、あるいは、高電圧ランプ、リレーなどのドライバとして作られたものである。

この類に属するTTLとしては、現在表1-7に示すようなものがある。なお、SN7406、SN7407、SN7416、SN7417は、出力トランジスタの $V_{CE(sat)}$ を0.7Vまで許せば、40mAまでのシンク能力を有するデバイスであるので、高圧リレー、あるいは、高圧ランプのドライバとしては最適である。

図1-43は、SN7416あるいはSN7426による高レシオのMOSシフトレジスタとの接続例であり、同じく、図1-44は個別部品を使用した論理回路との接続例である。

図1-44において、 R_1 の値は個別部品論理回路の入力

条件、および、SN7416（あるいはSN7426）の出力条件に合わせて、また、 R_2 は同様に個別部品回路の出力特性とSN7400の入力条件によってきめなければならない。

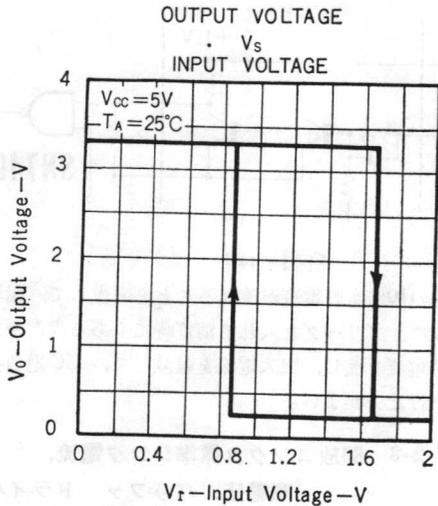
1-3 シュミットおよび単安定 マルチバイブレータ

1-1 項でゲート、あるいは、インバータでシュミットトリガや単安定マルチバイブレータを作ること述べたが、TI社では単体のICのシュミット、および単安定マルチバイブレータを用意している。

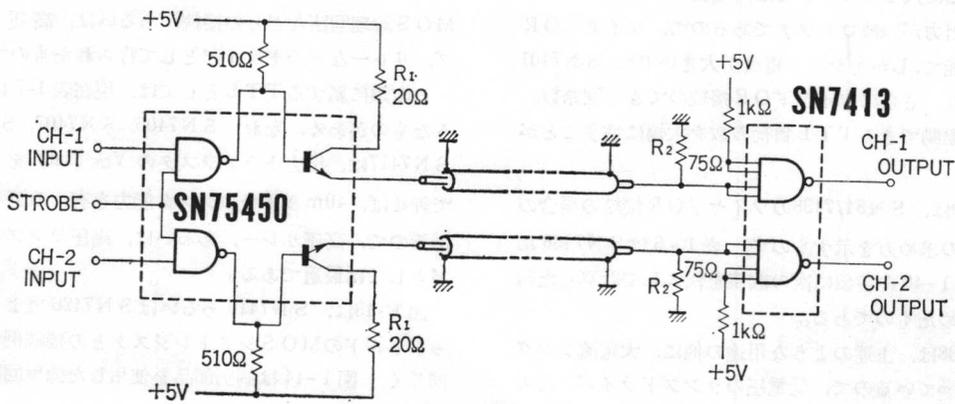
現在では、これらのデバイスの種類はまだ多くないが興味ある使用法が考えられるので、これらのデバイスの応用について簡単に述べる。

1-3-1 シュミット トリガ (SN54/7413)

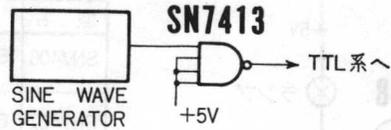
現在、シュミット トリガとしては、SN54/7413(2回路シュミットトリガ)だけが製造されている。このデ



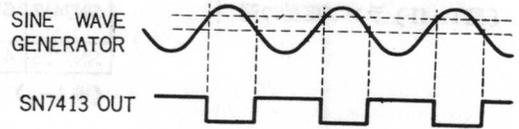
〔図1-45〕 SN54/7413の入出力特性



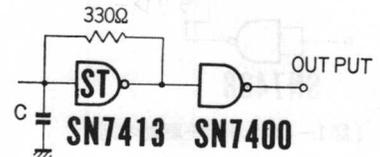
〔図1-51〕



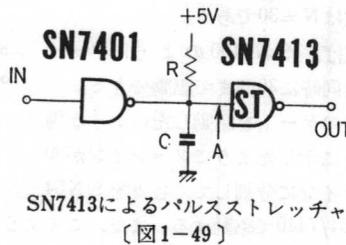
〔図1-46〕 低速度系とTTLの接続



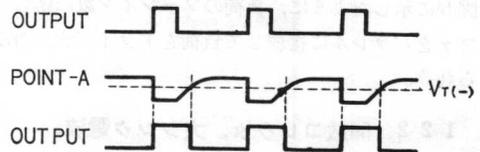
〔図1-47〕 図1-46の動作波形



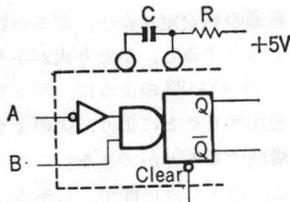
〔図1-48〕 SN7413による非安定マルチ



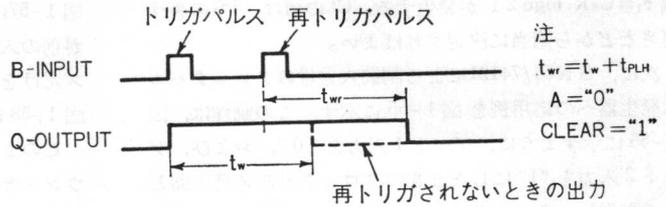
SN7413によるパルスストレッチャ
〔図1-49〕



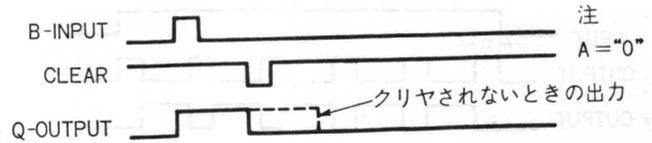
〔図1-50〕 図1-49の各部の波形



〔図1-52〕SN74123の回路図



〔図1-53(a)〕再トリガパルスによる出力の制御



〔図1-53(b)〕クリアパルスによる出力の制御

パイスの入出力特性は、図1-45のようであり、ヒステリシス（またはバックラッシュ）電圧は0.8Vあり、立上がり、および、立下がりのスレッシュド電圧はともに温度補償を行なっているの、高い安定性を示し、したがって、非常にゆつくりした変化の入力電圧によっても、充分トリガすることができ、完全にジッタのない出力が得られる。

図1-46は、低速度信号系とTTL系を接続する例を示し図1-47はその入出力波形を示している。

図1-48は、簡単な非安定マルチバイブレータをSN7413を用いて作る方法を示している。発振周波数は、大体0.1Hz~10MHzでCによって周波数の調整ができる。

図1-49は、開放コレクタ出力のゲート、あるいは、インバータとSN7413を使用したパルスストレッチャでこの回路の各部の動作波形を図1-50に示す。ストレッチ幅は、CおよびRによって調整できる。

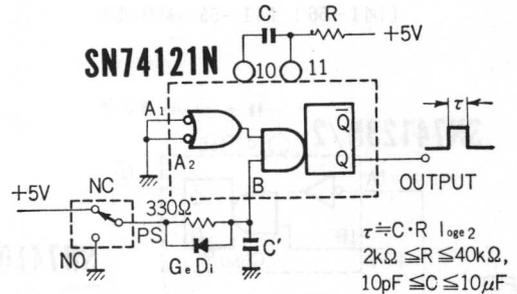
図1-51は、SN7413をラインレシーバとして使用した例で、ラインドライバはSN75450を使用している。図の例では、75Ωの特性インピーダンスの同軸ケーブルを使用する場合について、各定数が示されている。

R₁はラインのレベルを調整するための抵抗であり、R₂はラインの特性インピーダンスに合わせて選定する。

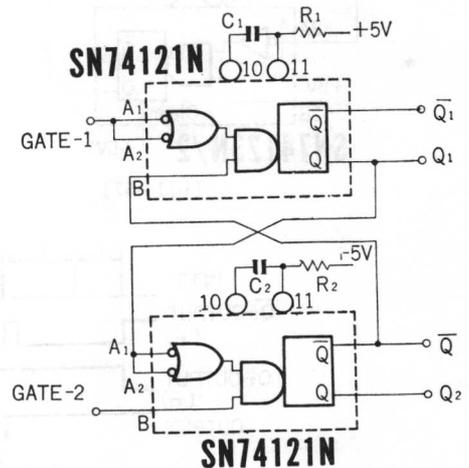
1-3-2 単安定マルチバイブレータ

現在、TI社から出している単安定マルチバイブレータは、表1-8のように3種類がある。このうち、SN54/74122、および、SN54/74123は再トリガ可能な単安定マルチで、図1-52のSN54/74123の回路図、および、図1-53(a)(b)の動作タイムチャートに示されているように、再トリガパルスおよびクリアパルスによって出力を制御することができるため、普通の単安定マルチに比べ、広い範囲にわたって応用できるであろう。

図1-54は、SN54/74121を使って、押ボタンスイッチ



〔図1-54〕



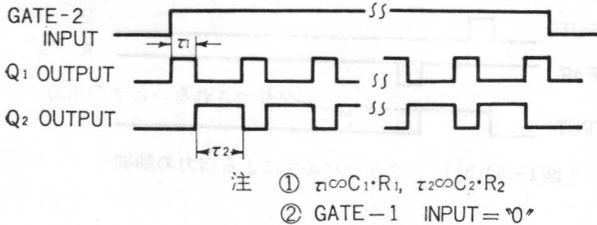
〔図1-55〕SN74121Nによるクロックパルス発生器

チを押すごとに、ある時間幅のパルスが発生させる回路で、簡単な回路構成で、確実かつ安定な動作が期待できる。

すなわち、押ボタンスイッチPSを押した後、レリーズさせたとき、C'の両端の電圧が次第に上昇して、B入力のスレッシュドに達したとき、単発パルス（パルス

幅 $\tau_1 = C \cdot R \log_e 2$) が発生する。C' の値は、PS の押し
 速さなどから適当に決定すればよい。

次に、SN54/74121による制御入力付のクロックパ
 ルス発生器への応用例を図1-55に示す。この動作は、図
 1-56に示すように、ゲート1入力を“0”，および、ゲ
 ート2入力を“1”にしたときにクロックパルス発生器と
 して動作し、クロックパルスのデューティ比は、それぞ
 れ $C_1 R_1$ ，および、 $C_2 R_2$ によって決定される。



〔図1-56〕 図1-55の動作波形

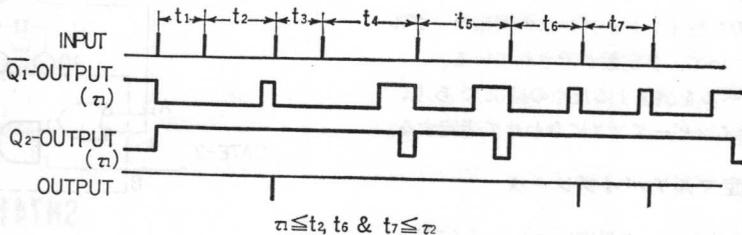
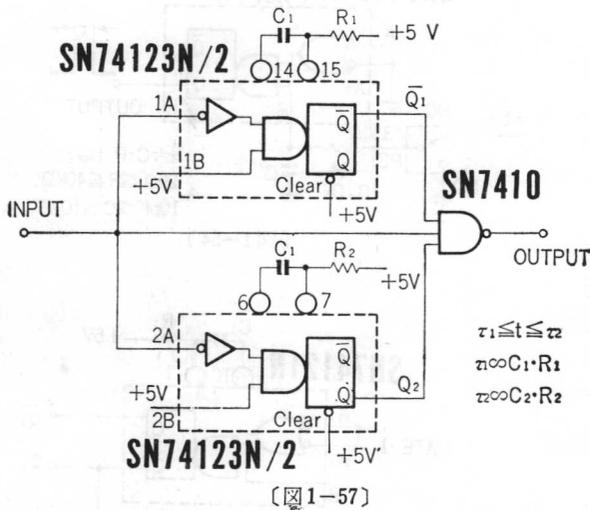


図1-57は、SN74123を使用したタイマで、入力パルス
 が前の入力パルスから $t_1 \leq t \leq t_2$ の時間間隔にくるパ
 ルスだけを抽出する回路で、その動作タイムチャートを
 図1-58に示す。

このような回路を普通の単安定マルチ、あるいは、カ
 ウンタなどで構成しようとする、かなり大がかりな回
 路となってしまうが、SN74123のように、再トリガ可
 能な単安定マルチを使用することにより、図のように非
 常に簡単に構成することができる。

このように、再トリガ可能で、しかも、リセ
 ット入力の附加された単安定マルチは、普通の
 単安定マルチでは簡単に実現できないような機
 能を、簡単な回路で実現できるなど、その他い
 ろいろ興味ある応用例が考えられる。

型名	機能	備考
SN54/74121	単安定マルチバイブレータ	
SN54/74122	再トリガ型単安定マルチバイブレータ	クリア入力付
SN54/74123	再トリガ型2回路単安定マルチバイブレータ	クリア入力付

《表1-8》単安定マルチバイブレーター一覧表

2. フリップ・フロップとその応用

2-1 概要

電子計算機のCPUは、多数のゲート回路と、フリップ・フロップの組合わせでできているといっても過言ではない。

ここで、ゲート回路はAND, OR, NAND, NOR回路に分類され、論理機能上は、さして問題ないが、フリップ・フロップには、いくつかのタイプがあり、いささかめんどろである。

論理ゲート回路が、デジタル回路において時間的順序づけを含まない組み合わせ回路 (combinational logic) に用いられるのに対し、フリップ・フロップ (FF) 回路は、時間関係をも含む順序回路 (Sequential logic) を構成するために本質的に必要とされるものであり、任意の時間情報を記憶する能力を有している。

フリップ・フロップは、入力論理に対する出力論理の変化の仕方が数種類存在し、使用する目的に応じ適当に使分けられている。

したがって、ここでは論理機能上どんなタイプのフリップ・フロップがICで用いられているかを述べる。

2-2 フリップ・フロップの分類

(論理機能上)

2-2-1 RS フリップ・フロップ

(セット・リセット)

最も代表的なフリップ・フロップの形式で、ブロック図と真理値表を表2-1に示す。

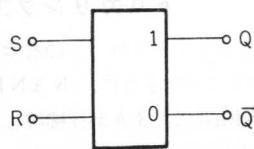
表からもわかるように、R-S フリップ・フロップには、2つの入力端子がある。入力端子S、すなわち、Set 入力に論理“0”レベルの入力信号が入ると、出力端子Qは、論理“1”になり、入力端子R、すなわち、Reset 入力に“0”論理レベルの入力信号が加わると、出力端子 \bar{Q} は、論理“1”になる。

また 入力端子S、Rに論理“0”レベルの入力信号が

(a) 真理値表

t_n		t_{n+1}
R	S	Q
0	0	*
0	1	1
1	0	0
1	1	*

(b) ロジック



*: 不定
 $Q = S + \bar{R}Q_n$ $RS = 0$ 禁止

<表2-1>

加わると両出力端子Q、 \bar{Q} はともに論理“1”になってフリップ・フロップ回路は動作しないので、R-S フリップ・フロップではこのような入力条件にならないように入力を選定しなければならない。

2-2-2 T フリップ・フロップ

これは、トリガ (Trigger) あるいは、トグル (Toggle) フリップ・フロップと呼ばれるもので、カウンタ回路などに使用されるもので、表2-2に真理値表とロジックを示す。

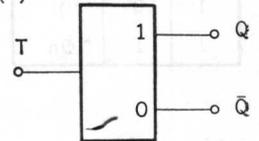
真理値表からもわかるように、トリガ入力信号の存在により、このフリップ・フロップは前の状態を反転する。

すなわち、1つの入力端子Tをもっており、入力端子Tに論理“1”から“0”に移るクロックパルス信号が加わ

(a) 真理値表

t_n	t_{n+1}
T	Q
0	Q_n
1	\bar{Q}_n

(b) ロジック



$$Q = \bar{T}Q_n + T\bar{Q}_n$$

<表2-2>

ると出力は反転する。

したがって、入力パルスが2個入るたびに出力端子Q、 \bar{Q} は、もとの状態にもどり、バイナリ動作をする。

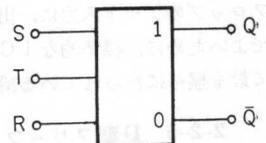
2-2-3 R-S-T フリップ・フロップ

R-S-T フリップ・フロップは、RS フリップ・フロップとTフリップ・フロップを組合わせたもので、その真理値表とロジックを表2-3に示す。

(a) 真理値表

t_n			t_{n+1}
R	S	T	Q
0	0	0	Q_n
0	0	1	\bar{Q}_n
0	1	0	1
0	1	1	X
1	0	0	0
1	0	1	X
1	1	0	X
1	1	1	X

(b) ロジック



$$Q = S + T\bar{Q} + \bar{R}\bar{S}Q$$

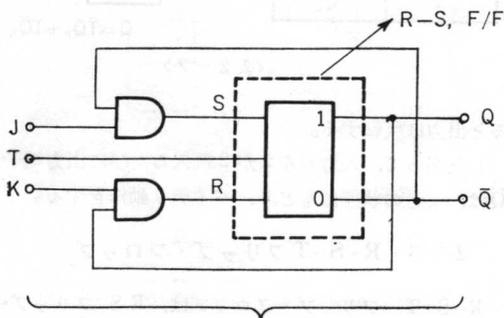
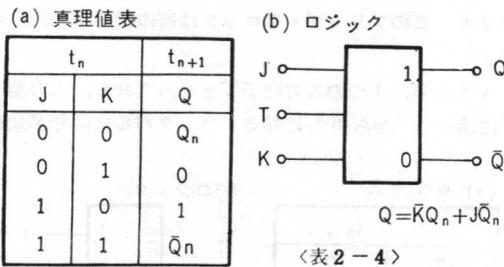
禁止、 $RS + ST + RT = 0$

<表2-3>

R-S-T フリップ・フロップは入力端子Tに論理“1”レベルから“0”レベルに変化する入力信号（ネガティブゴーイングパルス）によって、出力Qの状態を制御する。

2-2-4 J-Kフリップ・フロップ

J-K フリップ・フロップは、2入力の記憶素子であるが、R-Sフリップ・フロップと異なり、表2-4のように、入力端子 J-K がともに論理“1”レベルのときにも出力が一義的に定まるので、応用範囲も広く、いままでに記した以外のすべてのフリップ・フロップ回路を、このJ-K フリップ・フロップを用いて容易に構成することができる。



〔図 2-1〕 R-S F/FのJ-K F/Fとしての拡張

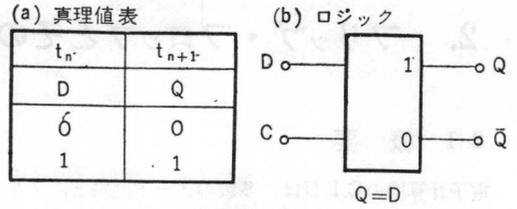
また、回路的にも、図2-1のようにR-S フリップフロップのゲート入力に、出力からの帰還をかけるだけでよいために、標準的なIC用フリップ・フロップとして最も盛んに作られている論理形式である。

2-2-5 D型フリップ・フロップ

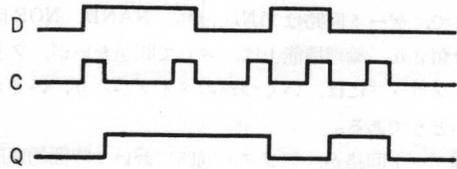
D型フリップ・フロップは、1つの入力を持ち、内部状態が常に1ビットタイム前の内部状態になる回路である。1ビット タイムの遅延回路という意味で Delay (D)フリップ・フロップと呼ばれる。

その真理値表とブロックダイアグラムを表2-5に示す。

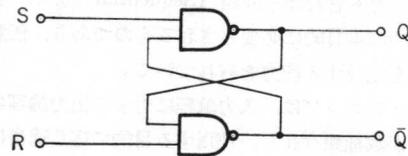
言い換えれば、入力の情報そのものを、クロックパル



<表 2-5>



〔図 2-2〕 D型F/Fのタイムチャート



〔図 2-3〕 F/Fの基本型

スでF/Fにたくわえる機能をもっており、 $D^n=Q^{n+1}$ の関係が成立する。この型のフリップ・フロップは、論理演算結果をたくわえるレジスタとしてよく用いられる。

このフリップ・フロップのタイミングチャートを、図2-2に示す。これよりわかるように、クロックパルスがきたとき、 $D="1"$ であれば、次のクロックまで出力端子Qは論理“1”となり、このことからクロックパルスの1パルス分遅れて、出力Qにはデータ入力端子Dと同様な波形がでる。

D入力の変化がクロックと同期しない場合は、出力端子Qの波形は、Dの波形と一致しないが、Dの変化により、クロックパルスがはるかに早い場合は同様となる。

また、 \bar{Q} とDを結ぶと、C入力に対してバイナリカウンタとなり、計数回路や分周回路に使用できる。

2-3 フリップ・フロップの種類およびトリガリング方式

フリップ・フロップの基本形は、原則としてすべて図2-3に示すように、NAND、または、NOR回路を2個相互にたすきかけ接続して得られるもので、入力のトリガ回路の構成方法により、種々の回路形式が考案されている。

2-3-1 2フェーズ方式（フリップ・フロップ）

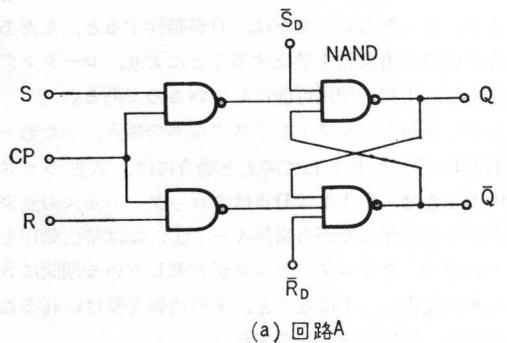
IC用F/Fとして、最初に開発された回路形式で、図

2-4に示されるように、最も簡単な形のR-S、F/Fである。

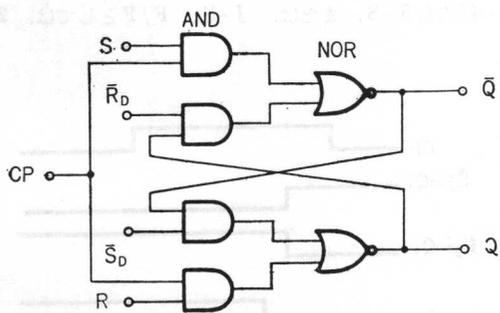
図中の \bar{S}_D 、 \bar{R}_D 端子は、クロックパルスと無関係に直接フリップ・フロップをSetまたはResetする機能をもっている。このフリップ・フロップはきわめて簡単であるが、このままでは、1相(1種類)のクロック・パルスで使用することができない。

すなわち、図2-5(a)に示すような直結シフトレジスタ接続において、図中の論理状態にあるとき、クロックパルスの到来により、1ビットの右シフト、すなわち、 Q_1 は論理“0”から“1”へ、 Q_2 は論理“1”から“0”に変化すべきであるが、図中(b)の波形からわかるように Q_2 には、いったん“0”になるが、クロックが存在している期間中に入力の $S_2(=Q_1)$ が“1”に変化するため、点線に示すように再び“1”にもどってしまう。

すなわち、クロックパルスのパルス幅がフリップ・フロップの遅延時間より充分長く存在するために、前々段の内容が一足とびに Q_2 にセットされてしまい、いわ



(a) 回路A



(b) 回路B

〔図2-4〕2相方式によるフリップフロップ

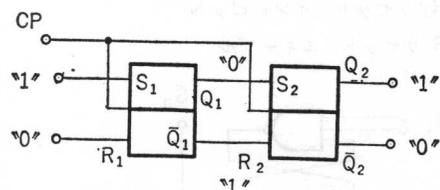
ゆるレーシング (Racing) を起こすことになる。

レーシングをさけるには、クロックのパルス幅をF/Fの遅延時間より狭くすればよいが、クロックのパルス幅は、図2-14(a)において、たすきがけ部の応答時間、すなわち、NAND回路2段分を維持している必要がありまた、フリップ・フロップのSからQまでの遅延時間はやはりNAND2段分であるから、パルス幅は通常フリップ・フロップの遅延時間より狭くすることはできない。

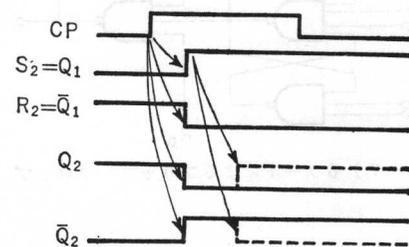
したがって、1種類のクロックで使用するためには、 Q_1 と S_2 の間に遅延回路を挿入し、クロックパルスが消えてから Q_1 の変化が S_2 に伝わるようにしてやればよい。

しかし、一般に、IC回路システムにふさわしい安価で小型の遅延回路が容易に得られないために、通常は、図2-6に示すように2相のクロックパルスを使用することが多い。

すなわち、a相とb相のクロックで動作するF/Fを交互に接続してやれば、F/Fの遅延時間がいかに小さくても、次段のフリップ・フロップには、同相のクロックパルスが加わっていないため、前述のようなレーシングが起きる心配はない。

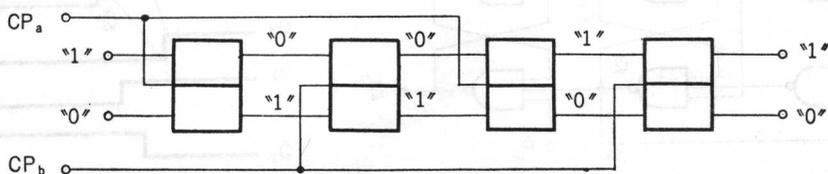


(a) 回路



(b) 各部の波形

〔図2-5〕F/Fのレーシング



〔図2-6〕2相クロック系

したがって、図2-4のF/Fは一般に2相クロック系で使用されることが通例であり、そのために、クロック系が複雑になる欠点を持っている。

また、図2-6からわかるように、F/F 2個で1相の場合のF/F 1個の役割をしており、そのために、1相のF/Fに比してF/Fの数が2倍必要となる場合が多いので次項以降種々の改良が試みられている。

なお、本項はクロックを用いた同期式のフリップ・フロップを主体として述べたが、非同期、あるいは、レーシングが原理的に問題とならないような特殊条件下においては、回路が単純であるから現在この形のF/Fは広く使用されている。

2-3-2 6ゲートによるフリップ・フロップ

フリップ・フロップを1相のクロックパルスで使用できるように、最初に考案された回路が図2-7の6ゲートを相互にたすきがけに接続した回路方式である。

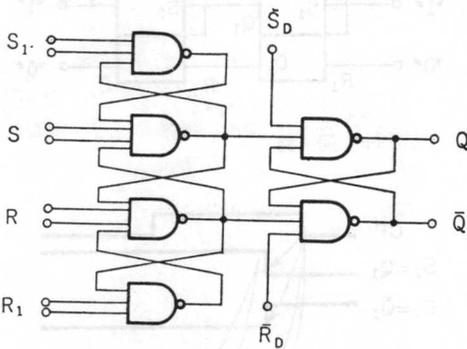
同図において、S (R) はフリップ・フロップを論理“1”(“0”)にセットすべき入力端子で、 S_1 (R_1) はS (R)

S_1 : セット インヒビット

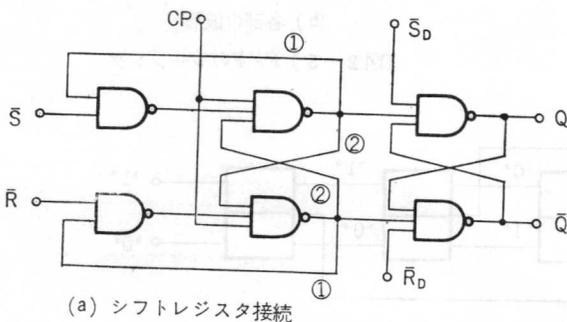
S: セット エネープル

R_1 : リセット インヒビット

R: リセット エネープル



(図2-7) 6ゲートによるフリップ フロップ



(a) シフトレジスタ接続

(図2-8) シフトレジスタの1相化

の入力を禁止するインヒビット入力端子である。

いま、この回路が図2-5のようなシフトレジスタ回路でレーシングを起さず、1相のクロックパルスで動作することを確かめてみよう。

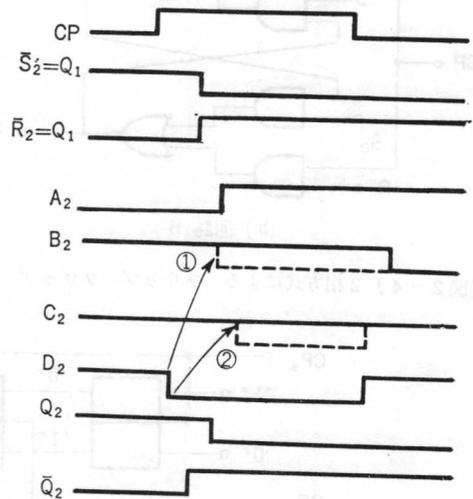
図2-7を図2-8(a)のように書きなおすと、ループ①および、②を除いては、図2-8の回路は、図2-4(a)の2相型フリップ・フロップと原理的には全く同一のものとなるため、ループ①、②の効果を考えればよい。

図2-5(a)のような論理結線におけるフリップ・フロップの各部の波形は、図2-8(b)ようになるが、同図より D_2 からのトリガパルスによって、フリップ・フロップが反転した後、クロックパルスが存在している期間 D_2 は、“0”にクランプされているから、ループ①により \bar{R} 入力情報の変化を受けつけず、また、ループ②によって \bar{S} 入力情報の変化をも受けつけないので、(b)図において点線のように誤った情報を発生し、レーシングを起すことがない。

すなわち、クロックパルスが来たときの入力の状態により、いったんC、または、Dが動作すると、ただちにその後の入力変化を禁止することにより、レーシングを防止し、1相で使用可能にしているのである。

しかしながら、シフトレジスタ以外の場合、すなわち一般のR-S、F/Fとして考えた場合には、入力 $S=R=0$ のときは、CまたはD点はクロックパルスの到来により0に変化しながら当然ループ①、②は禁止動作をしないので、クロックパルスが到来している期間にSまたはRが変化し、1になると、その情報を受け入れることになり、結局レーシングを起す。

一般的なR-S、または、J-K、F/Fとしては、2



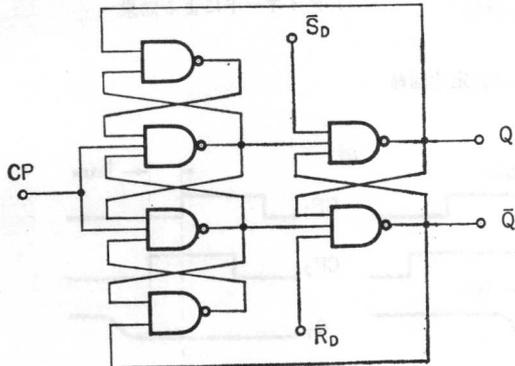
(b) 各部の波形

相のクロック パルスで使用しないとレーシングを起す。

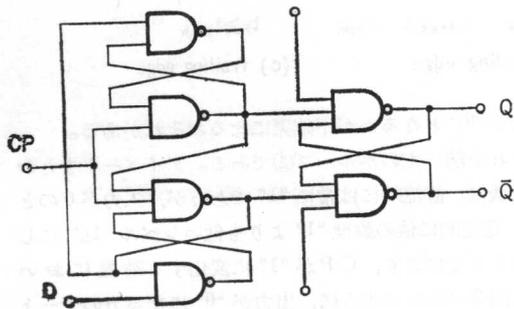
1相で使用できる例としては、シフトレジスタの他、図2-9のようなカウンタや、図2-10のようなD型F/Fなどがある。いずれも、基本ゲートの組み合わせだけで作られるので、ICとしては容易に製作し得る利点もっている。

2-3-3 C, Rおよびダイオードを使用したトリガ方式

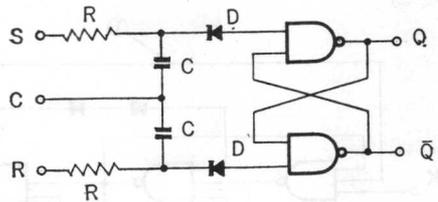
前記の方法と同時期に考案された1相化への努力は、個別半導体による1相フリップ・フロップとして、最も



〔図2-9〕カウンタ接続



〔図2-10〕D型F/F



〔図2-11〕CRDトリガ方式によるF/F

普及していたC, R, Dを用いたトリガ方式をそのままIC化することであった。

この方法にも、クロックの微分を用いてトリガする方式をACトリガ方式といい、クロックの直流レベルでトリガするDCトリガ方式の2とおりある。

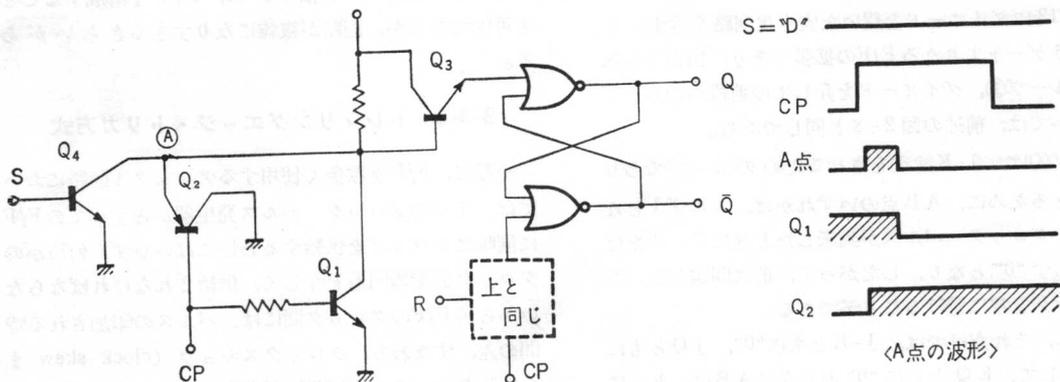
このACトリガ方式は、トランジスタの数が少なくすむので、個別部品のF/F回路としては、広く使用されているが、1相で安定に動作させるためには、RCのタイムコンスタント、クロックパルスの振幅、トランジスタの蓄積時間(t_b)などの関係を厳密におさえる必要があること、比較的大きな容量を必要とすることなどのために、IC化しにくい欠点があり、その上、CR放電時間を必要とすることにより、早いきりかえしのF/Fが作れないなど、ICの場合にはあまり良い回路方式とは言えない。回路図を図2-11に示す。

2-3-4 リーディングエッジ・トリガ方式

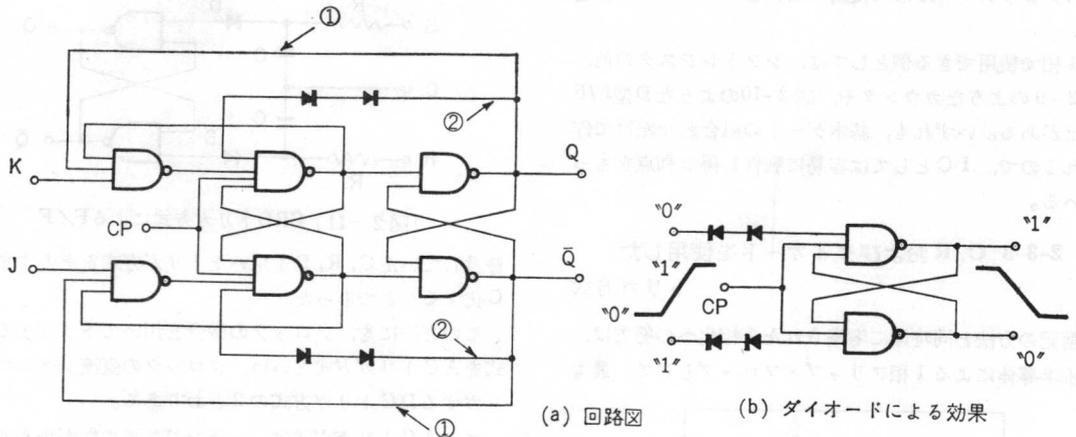
今までの回路は主として、単純なゲートの組合せ、または、ディスクリートによる回路からの延長であったが種々の欠点を有していたために、半導体素子を増した、いわゆるICの特徴を生かした1相で動作するJ-K F/F開発への努力がなされるようになった。

その1つは、従来どおりのクロックパルスの前縁でトリガする leading-edge trigger 方式によるものである。

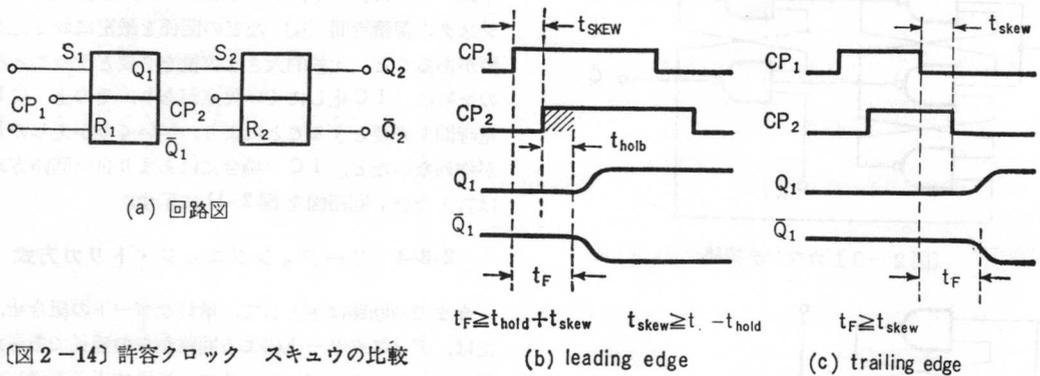
これは、CRDトリガ方式の拡張であって、コンデンサを用いなくて微分回路を形成したものである。



〔図2-12〕回路図



〔図2-13〕 ダイオードを用いた安定化回路



〔図2-14〕 許容クロック スキューの比較

図2-12にトランジスタによる微分パルスの発生回路を示す。入力Sが“1”のときは、A点は Q_4 がオンであるからCPに関係ないが、Sが“0”となり Q_4 がオフとなると、CPの到来により、まず、 Q_2 がオフとなり、A点は \oplus 電位となり、 Q_3 がオンとなってF/Fをセットする。

一方、 Q_1 が遅れてオンとなるために、A点はF/Fをトリガするのに必要な期間だけ \oplus パルスを発生し、等価的にCPの微分波形を得ることができる。

図2-13にダイオードを用いた安定化回路を示す。これは、6ゲートよりなるF/Fの拡張であり、出力から入力へのループ①、ダイオードを介しての前段へのループ②を除いては、前述の図2-8と同じである。

ループ①は、J-K論理をさせるためのループでありこれがあるために、AB点のいずれかは、必ず1となるから、クロックパルスが到来したときにC、またはDが必ず“0”となり、したがって、前に問題となったレーシングを常に避けることができる。

しかし、それだけでは、J-Kともに“0”、JQともに“0”、そして、KQともに“0”のときにABは、ともに“1”となり、CPが到来したときにC、または、Dのい

ずれが“0”となるかが不確実になるおそれがある。

それを防いだのがループ②である。ダイオードをとった後は、直流的には常に“1”であるが、入力が0のとき、電圧的に他の論理“1”よりも低いレベル“ 1_L ”にしておくことにより、CPが“1”に変化する過程において、図2-13(b)のように、出力が“0”になる方のゲートを一義的に定めることができる。

このようにして、1相のJ-K、F/Fを構成することも可能であるが、回路が複雑になりすぎるきらいがある。

2-3-5 トレイリングエッジ・トリガ方式

一般に、F/Fを数多く使用するデジタル回路においては、1つのクロックパルス発生器からすべてのF/Fに同時にクロックを供給するわけにはいかず、何段かのクロック分配増幅器を介して、供給されなければならないから各F/Fのクロック間には、パルスの印加される時間の差、すなわち、クロックスキュー (clock skew または、クロックの位相差) が存在する。

さらに、リーディングエッジ トリガ方式の場合は、

クロック パルスと入力情報のANDでF/Fをトリガするのであるから、入力情報は必要な期間ホールドしている必要がある。

したがって、レーシングを起さない条件としては、図2-14のように許容クロック スキューは(F/Fの遅延時間—ホールド時間)以下でなければならない。

一般にこの値はあまり大きく取れないため、F/F数の多い場合に、クロックの分配系統がきわめて困難になることがある。

一方、クロック パルスの後縁で動作をはじめるトレイリングエッジ、トリガ方式は、クロック パルスが1のときの入力情報で、出力の変化を定めるので、(c)図からわかるように、ホールド時間を考える必要がない。

したがって、許容クロック スキューの値を大きく取ることができるので、電子計算機をはじめ、大量にデジタル回路を使用するシステムを中心に、このトレイリング エッジ トリガ方式の開発が促進された。

この方式にも、いろいろのトリガ方式が考案されているが、現在、最も一般的に普及しているのが次に述べるマスタ スレイブ方式のF/Fである。この方式の基本形を図2-15に示す。

図からもわかるように、CPが1のときに入力の情報がマスタのF/Fにセットされ、CPが“0”にもどるときに入力の変化がマスタ F/F に伝わるのを禁止すると同時に、マスタ F/F の内容がスレイブ F/F にシフトすることにより、結果として F/F の出力は、クロックの立下りで変化することになるのである。

このF/Fは、結局、図2-6における2個の2相のF/Fを1つにまとめたものと等価と考えてよいが、クロックの種類が1種類でよいこと、素子数をふやしてもICのコストには、あまりひびかないこと、各素子に対する許容偏差が大きく安定なF/Fが容易に得られること、トレイリングエッジ トリガ方式であることなどのために、現在、最も広く製作、使用されているF/Fの回路形式であり、J-K論理も図2-1から容易に得られる。

2-4 各デバイスの動作 および

取扱い方法

ここでは、現在T I社がすでに生産しているSSI製品で、代表的なデバイスについて話をすすめてみたい。次表にこれらのデバイスを示す。

型 名	機 能
SN54/7470	J-K, フリップ・フロップ
SN54/7472	J-K, マスタスレーブ フリップ・フロップ
SN54/7473	デュアル, J-K, マスタスレーブ フリップ・フロップ
SN54/74107	デュアル, J-K, マスタスレーブ フリップ・フロップ
SN54/7476	デュアル, マスタスレーブ フリップ・フロップ (プリセットおよびクリア端子つき)
SN54/7474	デュアル, D型 エッジ トリガ フリップ・フロップ

2-4-1 SN54/7470(ポジティブ・エッジ トリガJ-Kフリップ・フロップ)

<概 要>

これは、モノリシックICでエッジトリガ J-K, フリップ・フロップでJ-Kゲート入力端子、フリップフロップの記憶内容を直接セット (prest) または、直接リセット (clear) できる端子と、コンプリメンタリ出力端子Q, \bar{Q} をもっている。

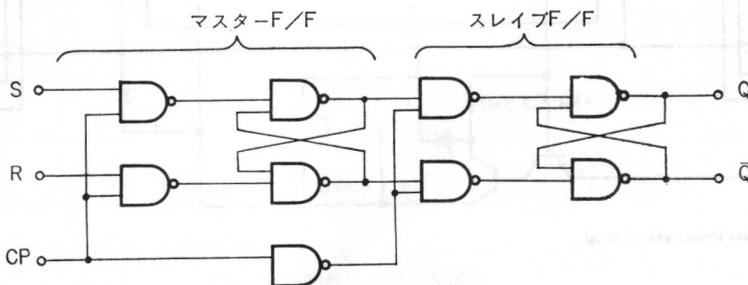
このフリップ・フロップは、クロック パルスのポジティブ エッジによって入力情報を記憶し、出力端子Q \bar{Q} から諸要の出力信号を取り出すことができる。

表2-6に真理値表、図2-16にブロック図、図2-17に回路図を示す。

<動作説明>

入力端子J-Kおよびクロック入力端子を用いて、J-K フリップ・フロップとして動作する。

この場合、セット入力端子(P)とリセット入力端子(C)は、ともに論理“1”レベルにしておく必要がある。



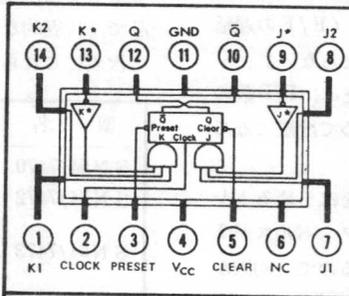
〔図2-15〕マスタ スレイブ方式

TRUTH TABLE		
t_n	J	t_{n+1}
	K	Q
0	0	\bar{Q}_n
0	1	0
1	0	1
1	1	\bar{Q}_n

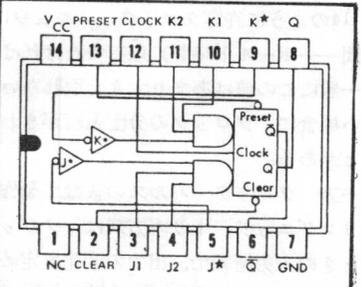
- NOTES: 1. $J = J1 \cdot J2 \cdot \bar{J}^*$
 2. $K = K1 \cdot K2 \cdot K^*$
 3. t_n = Bit time before clock pulse.
 4. t_{n+1} = Bit time after clock pulse.
 5. If inputs J^* or K^* are not used they must be grounded.
 6. NC - No Internal Connection

〔表 2-6〕 真理値表

S FLAT PACKAGE
(TOP VIEW)

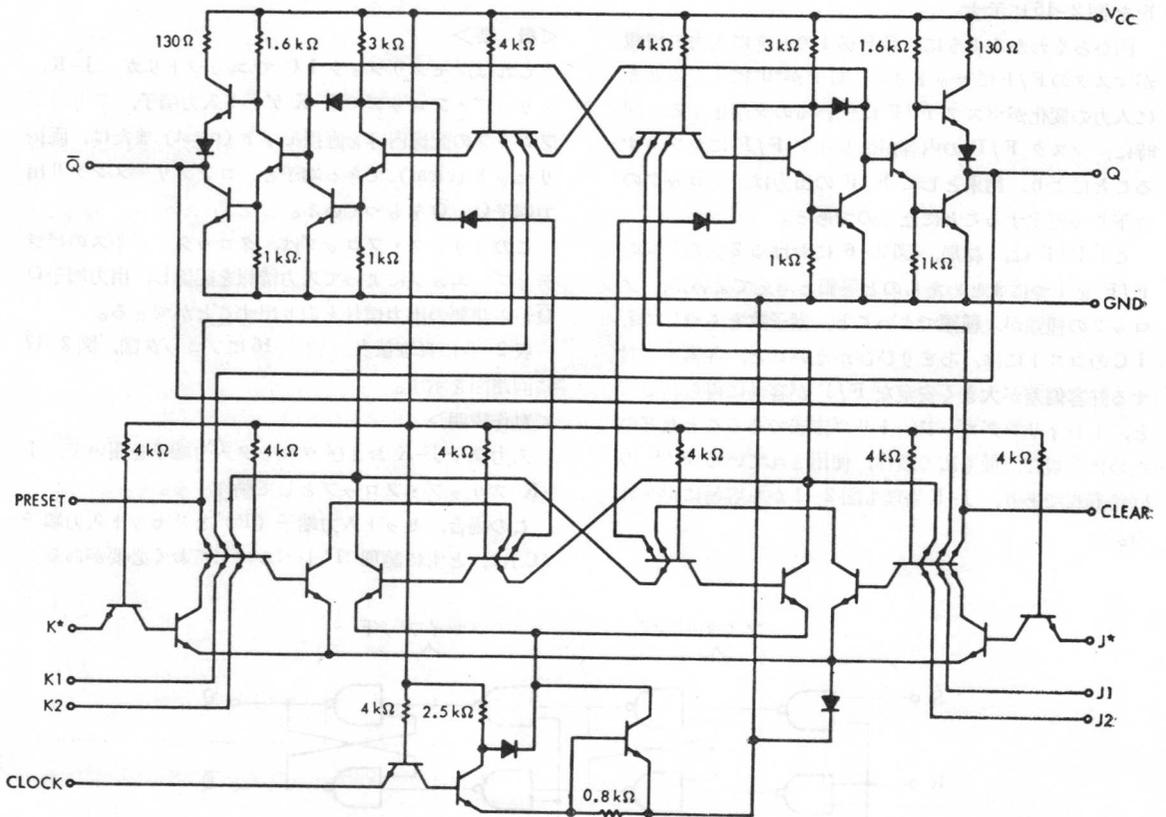


JORN DUAL-IN-LINE PACKAGE
(TOP VIEW)



positive logic: Low input to preset sets Q to logical 1
 Low input to clear sets Q to logical 0
 Preset or clear function can occur only when clock input is low.

〔図 2-16〕 ブロック図

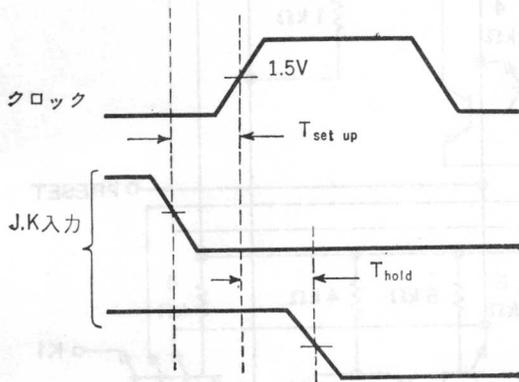


NOTE: Component values shown are nominal.

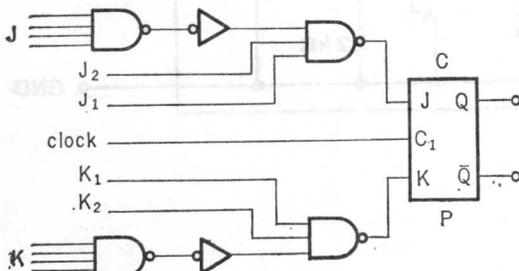
〔図 2-17〕 回路図

このフリップ・フロップはクロックパルスが論理“0”から“1”に変化する時（ポジティブエッジ）の入力端子(J), (K)の入力状態により動作し、クロックパルスが、スレッシュホールド電圧以上になると、新たなJ-K入力の記憶は行なわれなくなる。入力端子(J*), (K*)は使用しない場合は、接地ラインに接続しておかなければならない。

図2-18に動作波形を示す。これは、 $J_1 J_2 J^*$ 端子と $K_1 K_2 K^*$ 端子に供給する入力信号とクロックパルス



〔図2-18〕動作波形



〔図2-19〕

TRUTH TABLE		
t_n		t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

- NOTES:
1. $J = J_1 \cdot J_2 \cdot J_3$
 2. $K = K_1 \cdot K_2 \cdot K_3$
 3. t_n = Bit time before clock pulse.
 4. t_{n+1} = Bit time after clock pulse.
 5. NC = No Internal Connection.

〈表2-7〉 真理値表

との関係を示している。

クロックパルスの立上り波形が1.5Vラインを切る時間を原点として、少なくとも T_{setup} より以前に、そして、 T_{hold} 以後まで J-K 入力端子の入力信号を保っておけば確実に動作する。

このフリップ・フロップの J^* , K^* 入力端子を用いて図2-19のように J, K 入力数を増加することができる。

また、このフリップ・フロップは、セット(P), リセット(C)端子を持っているので、他の入力端子とは無関係に情報を記憶させることができる。

セット(P), リセット(C)入力端子は、常時、論理“1”レベルに保持し、このフリップ・フロップに論理“1”を記憶させたい場合は、このセット(P)入力端子を論理“0”レベルにすれば可能で、また、論理“0”を記憶させたい場合は、リセット(C)入力端子に論理“0”を供給することにより可能で、出力端子Q, \bar{Q} から諸要の出力信号を取り出すことができる。

2-4-2 SN54/7472

(J-K マスタ スレーブ フリップ・フロップ)

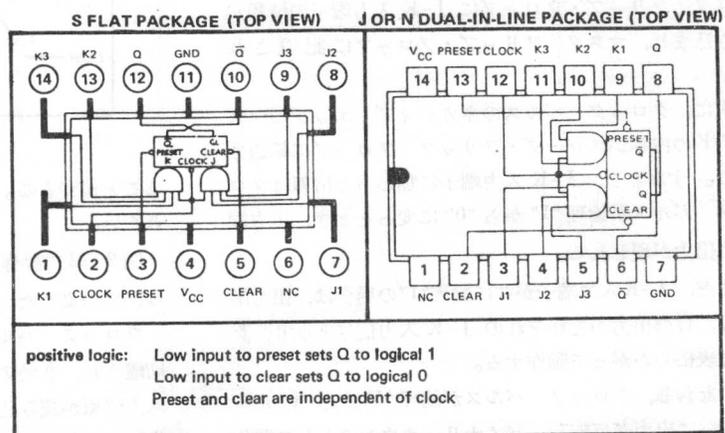
〈概要〉

このフリップ・フロップは、マスタ スレーブ方式を採用した代表的な J-K, マスタ スレーブ フリップフロップで、マスタ フリップ・フロップとスレーブ フリップ・フロップ回路とマスタとスレーブの結合部から成立っている。

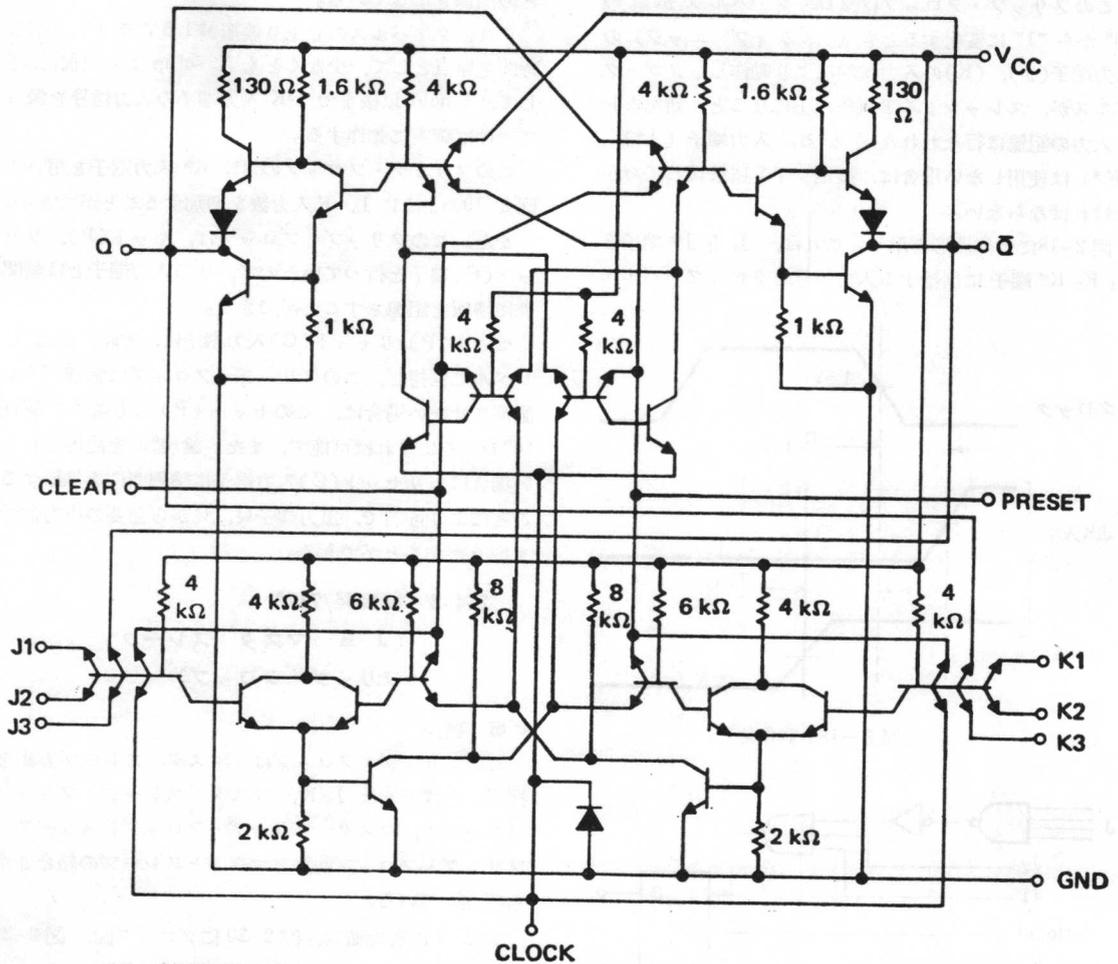
表2-7に真理値表、図2-20にブロック図、図2-21に回路図を示す。

〈動作説明〉

真理値表にしたがって、J-K入力端子を制御し、クロック入力端子にクロックパルスを加えることにより、このフリップ・フロップ回路は、J-K F/Fとしての



〔図2-20〕ブロック図



〔2-21図〕回路図

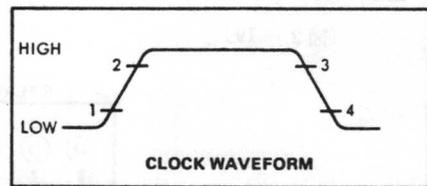
動作をする。

たとえば、J入力端子に論理“1”，K入力端子に論理“0”を加え、クロック入力端子が論理“0”から“1”になるとマスタ フリップ・フロップに J-K 入力端子の情報が読み込まれ、マスタ フリップ・フロップに記憶される。

次に、クロックパルスのネガティブエッジでマスタ F/F の内容がスレーブ・フリップ・フロップに転送される。すなわち、J-K 入力端子に加わった情報はクロックパルスが論理“1”から“0”になったとき、出力端子に出力が現われる。

また、J-K 入力端子が共に論理“1”の場合は、出力端子 Q、 \bar{Q} の出力がそれぞれの J-K 入力信号となり、真理値表にしたがって動作する。

すなわち、クロックパルスが論理“1”から“0”に変るときに出力が反転し、バイナリカウンタとして動作する。また、セット入力端子(P)とリセット入力端子を使用すると、R-S フリップ・フロップとして動作させ



〔図2-22〕動作波形

ることができる。SN54/7470 の動作説明の項を参照されたい。

図2-22に動作波形を示す。このフリップ・フロップは、次のようなシーケンスにしたがって動作する。

クロックパルスの①ではマスタ部とスレーブ部は、切離され、②でアンドゲート入力回路からマスター部へ入力情報が読み込まれ③でANDゲート入力回路は、動作しなくなり、④でマスターフリップ・フロップの内容がスレーブフリップ・フロップへ転送される。

2-4-3 NS54/7473/74107

(デュアル, J-Kマスタ スレーブ フリップ・フロップ)

<概要>

このフリップ・フロップは、マスタ スレーブ方式を採用した代表的なJ-K マスタ スレーブ フリップフロップで、SN54/7472と異にするところは、プリセット端子が無いこと、J-K 入力端子の数と1つのパッケージの中に2組のフリップ・フロップが収容されて

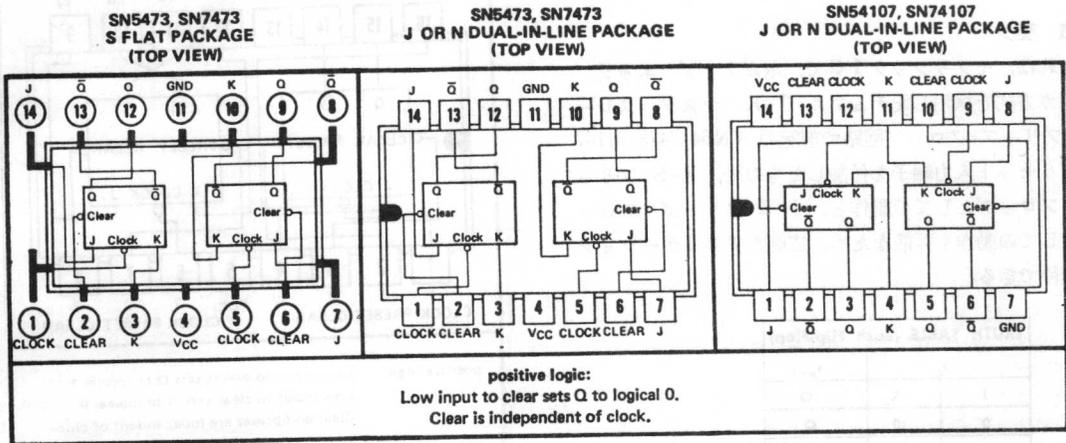
いることが違うだけで、その他の規格や、回路動作は、SN54/7472と全く同一である。

表2-8に真理値表、図2-23にブロック図、図2-24に回路図を示す。

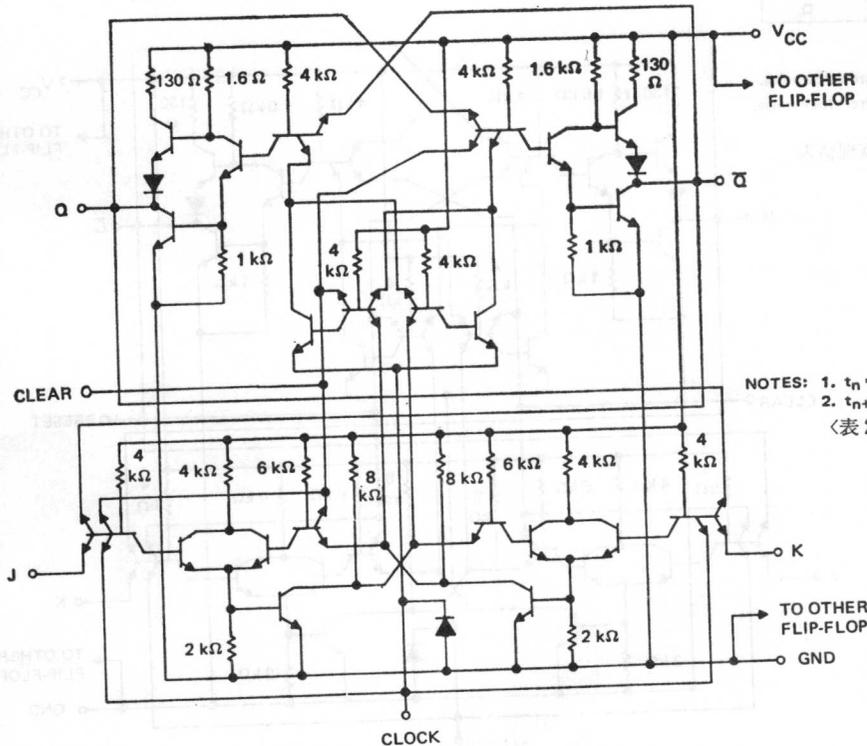
<動作説明>

リセット端子(C)は、常時論理“1”レベルで、入力端子J-Kとクロック入力端子を用いてJ-Kフリップ・フロップとして動作させることができる。

また、リセット端子(C)を使用するときは、他の入力端子に無関係に、フリップ・フロップをリセットすること



〔図2-23〕ブロック図



J	K	t_n	t_{n+1}
0	Q	Q_n	0
0	1	0	0
1	0	1	1
1	1	1	\bar{Q}_n

NOTES: 1. t_n = Bit time before clock pulse.
2. t_{n+1} = Bit time after-clock pulse.

<表2-8> 真理値表

〔図2-24〕回路図

とができる。

たとえば、リセット端子(C)に論理“0”の入力信号を供給すると、記憶されている内容いかにかわらず、新たに論理“0”を記憶させることができ、出力端子Qから論理“0”の信号を取り出すことができる。

その他の規格や動作は、前記のフリップ・フロップと全く同じである。 (SN54/7472)

2-4-4 SN54/7476

(デュアル、J-Kマスタ・スレーブ
フリップ・フロップ)

<概要>

これは、モノリシックICで、ネガティブエッジトリガ方式を採用したデュアル J-K マスタ スレーブ フリップ・フロップ回路で前記の SN54/7473/74107 にプリセット入力端子を付加したもので、R-S フリップ・フロップとしての動作と、J-K フリップ・フロップとしての動作も可能なため、広範なアプリケーションが期待できる。

t_n		t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

NOTES: 1. t_n = Bit time before clock pulse.
2. t_{n+1} = Bit time after clock pulse.

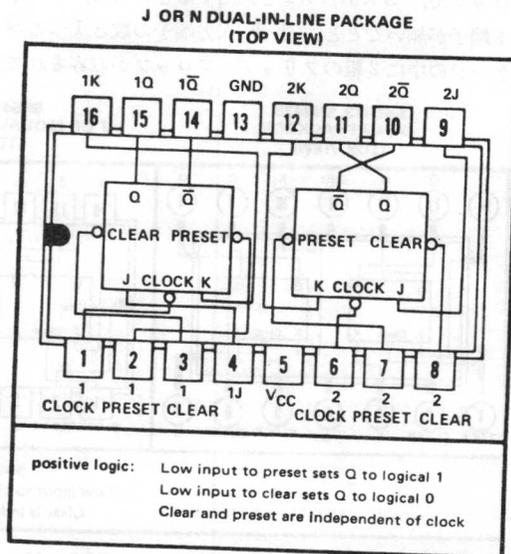
<表 2-9> 真理値表

表 2-9 に真理値表, 図 2-25 にブロック図, 図 2-26 に回路図と 図 2-27 に動作波形を示す。

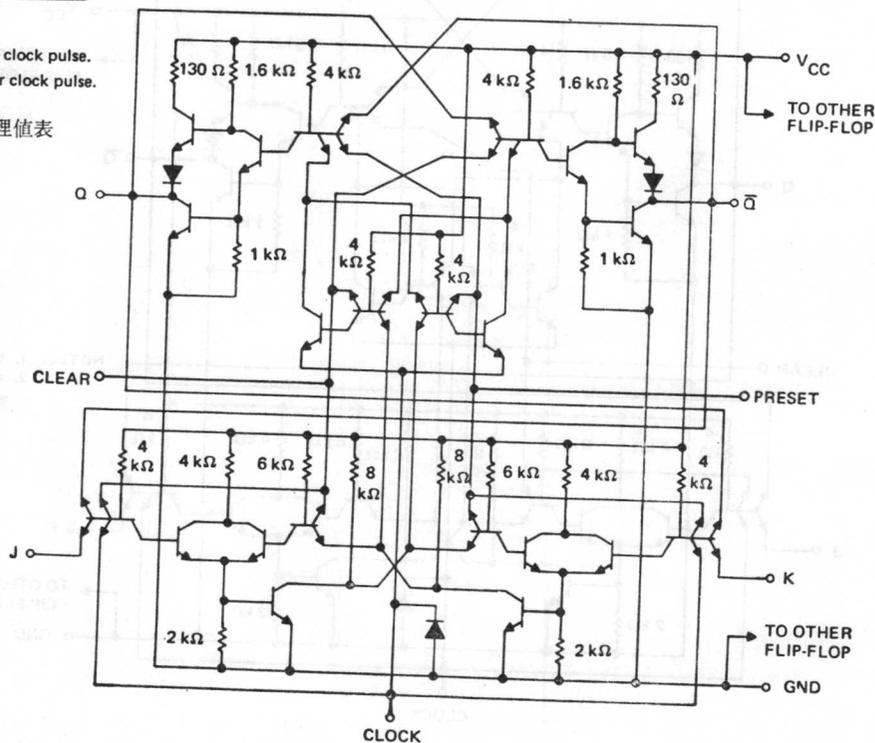
<動作説明>

このフリップ・フロップは、次のようなシーケンスにしたがって動作する。

クロック パルス波形の①でマスタ部とスレーブ部は切離され、②でANDゲート入力回路からマスタ部へ入



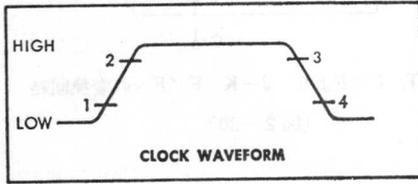
(図 2-25) ブロック図



(図 2-26) 回路図

力情報が読み込まれ、③でANDゲート入力回路は動作しなくなり、④でマスタ フリップ・フロップの内容がスレーブ フリップ・フロップ回路へ転送される。

そして、出力端子Q、 \bar{Q} から諸要の出力信号を取り出すことができる。



〔図 2-27〕 動作波形

2-4-5 SN54/7474

(デュアル、D型エッジ トリガ
フリップ・フロップ)

<概要>

これは、モノリシック ICでポジティブ エッジ トリガ方式を採用したデュアルD型 フリップ・フロップ回路で、直接セット(P)、リセット(C)端子とコンプリメンタリ出力端子Q、 \bar{Q} を持っている。

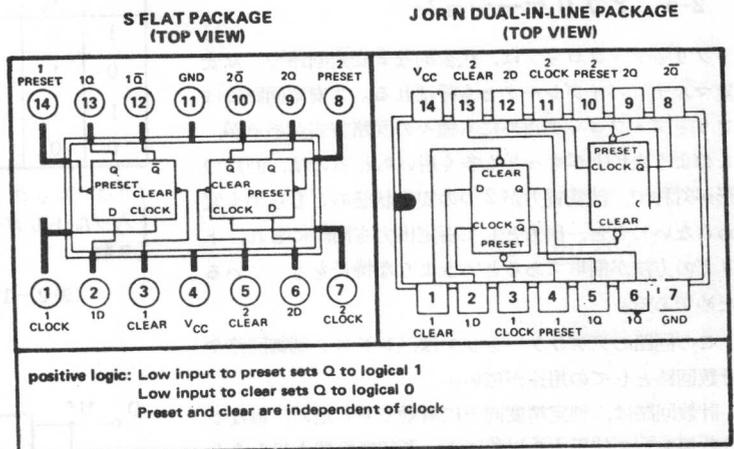
入力情報は、クロックパルスのポジティブ エッジで読み込まれ、出力端子Q、 \bar{Q} から諸要の信号を取り出す

TRUTH TABLE (Each Flip-Flop)

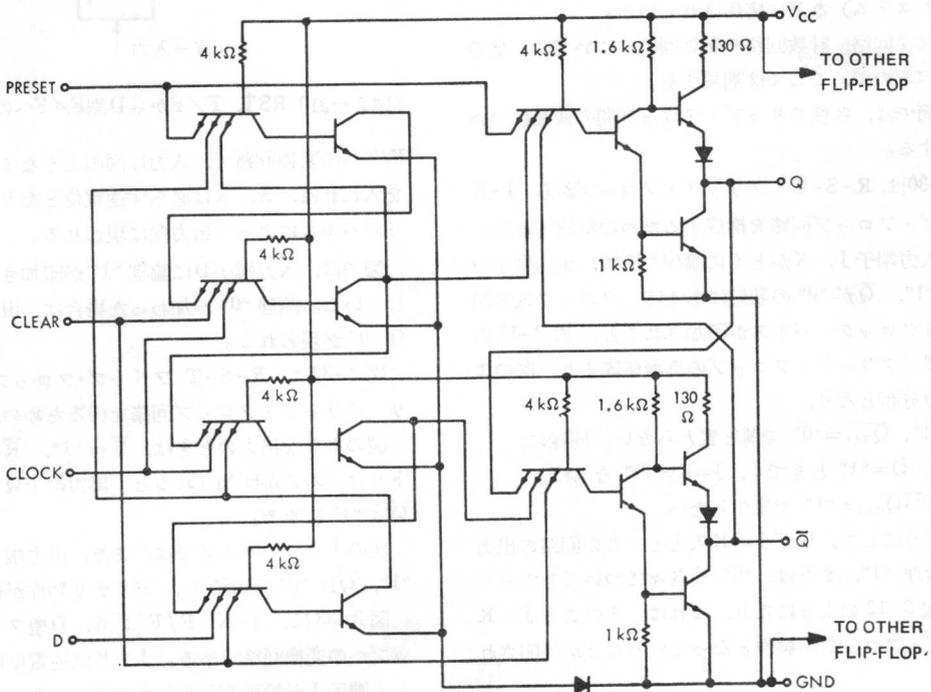
t_n	t_{n+1}	
INPUT	OUTPUT	OUTPUT
D	Q	\bar{Q}
0	0	1
1	1	0

NOTES: 1. t_n = bit time before clock pulse.
2. t_{n+1} = bit time after clock pulse.

<表 2-10> 真理値表



〔図 2-28〕 ブロック図



〔図 2-29〕 回路図

ことができる。

これは、ポジティブパルスのトランジション時には直接関係なく、クロックパルスの電圧レベルに関係する。すなわち、クロック入力スレッシュホールドレベルを通過すると、Data入力端子(D)はとじる。

このフリップ・フロップはSN54/7470とクロック動作は全く同一で、両デバイス共、中速度のフリップ・フロップ回路として最適である。入力ゲート回路を必要としないアプリケーションとして、システムの消費電力とパッケージの数を少なくすることができる。

表2-10に真理値表、図2-28にブロック図、図2-29に回路図を示す。

2-5 アプリケーション

フリップ・フロップは、代表的な2安定回路で、双安定マルチバイブレータとも呼ばれる。2安定回路にはフリップ・フロップ以外にも種々の回路方式があるが、このようなF/Fがもっとも多く用いられるのは、回路の形が対称で、消費電力が2つの安定状態のどちらでも変わらないことと、出力として否定出力も同時にとれ、トリガの方法が簡単であるというような特長をもっているためである。

この回路のアプリケーションは、レジスタ制御回路や計数回路としての用途が広い。

計数回路は、判定精度向上に有効であるため、単なる計数用として使用する以外にも、各種変換器を組み合わせさせて広範囲の測定装置、および、制御装置(工作機械数値制御システム)などに応用されている。

レジスタ回路、計数回路や制御回路については、他の章で述べるので、ここでは割愛する。

この節では、各種フリップ・フロップ間の変換について説明する。

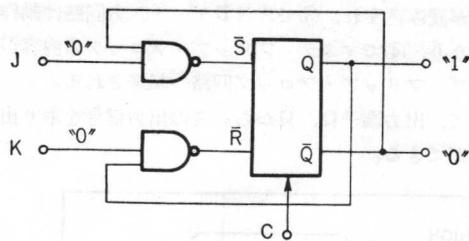
図2-30は、R-S-T フリップ・フロップから J-K フリップ・フロップ回路を構成するための結線である。

今、入力端子J、Kがともに論理“0”で、出力端子Qが論理“1”、 \bar{Q} が“0”の状態にある時、クロック入力端子Cよりクロックパルスが印加されると、表2-11のR-S-T フリップ・フロップの真理値表より、図のような電位分布となり、

$Q_{n+1} = "1"$ 、 $\bar{Q}_{n+1} = "0"$ で前と変わらない。同様に、 $Q_n = "0"$ 、 $\bar{Q}_n = "1"$ ときでも、 $J=K="0"$ ならば、 $Q_{n+1} = "0"$ 、 $\bar{Q}_{n+1} = "1"$ で変化しない。

このようにして、以下J-K入力と、この回路の出力をQが論理“1”、または、“0”の各々についてあたってゆけば表2-12のようになり、これは、そのままJ-K フリップ・フロップの動作となっていることが証明される。

図2-31は、R-S-T フリップ・フロップからD型



RST, F/Fより J-K F/Fへの変換回路

(図2-30)

RS, F/Fの真理値表

	\bar{R}_n	Q_{n+1}
1	0	0
0	1	1
1	1	Q_n
0	0	*

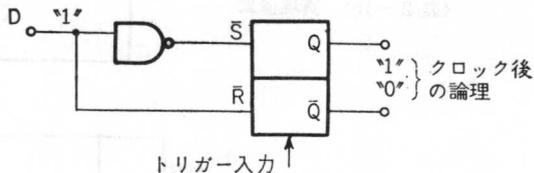
(nはクロック入力に入ったトリガパルス数)

<表2-11>

J-K F/Fの証明

J_n	K_n	Q_n	Q_{n+1}
0	0	$\begin{matrix} 1 \\ 0 \end{matrix}$	$\begin{matrix} 1 \\ 0 \end{matrix}$ } Q_n
1	0	$\begin{matrix} 1 \\ 0 \end{matrix}$	$\begin{matrix} 1 \\ 1 \end{matrix}$ } 1
0	1	$\begin{matrix} 1 \\ 0 \end{matrix}$	$\begin{matrix} 0 \\ 0 \end{matrix}$ } 0
1	1	$\begin{matrix} 1 \\ 0 \end{matrix}$	$\begin{matrix} 0 \\ 1 \end{matrix}$ } \bar{Q}_n

<表2-12>



(図2-31) RST, F/FからD型F/Fへの変換回路

F/Fへの変換回路で、入りに図のようなインバータ回路を入れれば、 \bar{S} 、 \bar{R} は必ず逆電位となり、これは、トリガパルスによって出力側に現われる。

図では、入力端子Dに論理“1”が印加された場合を示している。論理“0”が加わった場合は、出力端子Qに論理“0”が現われる。

図2-32は、R-S-T フリップ・フロップより、バイナリ フリップ・フロップ回路を得るための結線である。

図のような出力のときは、 $\bar{S} = "1"$ 、 $\bar{R} = "0"$ だからトリガパルスが印加されると、出力端子Qは論理“0”、 \bar{Q} は“1”になる。

次のトリガパルスでは、また、出力端子Qは、論理“1”、 \bar{Q} は“0”と反転し、バイナリ動作が続行できる。

図2-33は、J-K F/Fより、D型フリップ・フロップへの変換回路である。JとKは逆電位になるから入力端子Jが論理“1”なら次のクロックパルスが、印加されると、出力端子Qは、論理“1”に出力端子Jが、

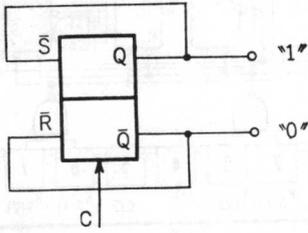
論理 "0" ならば、出力端子Qは論理 "0" になる。

図 2-34は、J-K F/Fよりバイナリ フリップ・フロップ回路への変換回路で、この場合クロックパルス以外の入力はない。

入力端子J, Kは共に論理 "1" だからクロックパルスの到来ごとに出力は反転する。

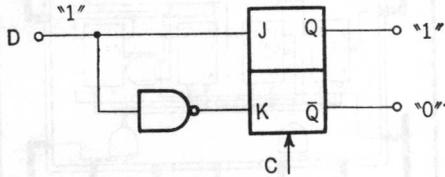
図 2-35は、D型フリップ・フロップから、バイナリ F/F回路を得るための結線方法である。

出力端子Q, \bar{Q} は常に逆であるから、この回路構成では、次のクロックパルスが印加されると、出力端子 \bar{Q}_n が Q_{n+1} となるため反転する。

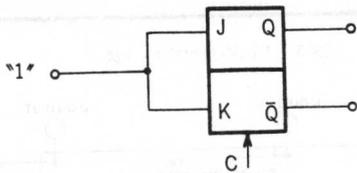


RST, F/FからバイナリF/Fへの変換回路

(図 2-32)

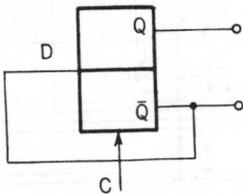


(図 2-33) J-K, F/F D型F/Fへの変換回路



J-K, F/FよりバイナリF/Fへの変換回路

(図 2-34)



D型F/FよりバイナリF/Fへの変換回路

(図 2-35)

3. カウンタ

3-1 MSIカウンタの種類と動作

3-1-1 SN54/7490 高速度10進カウンタ

この高速度10進カウンタは、モノリシックICで、4組のマスタースレーブ、フリップ・フロップから構成され2グループに分かれていて、1組は2進1桁のカウンタで、他の1組は5進カウンタで、1つのパッケージの中に収納されている。

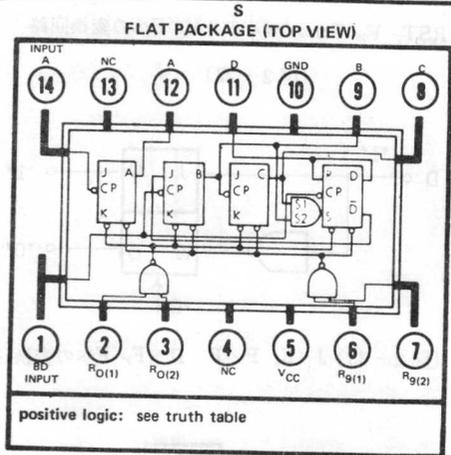
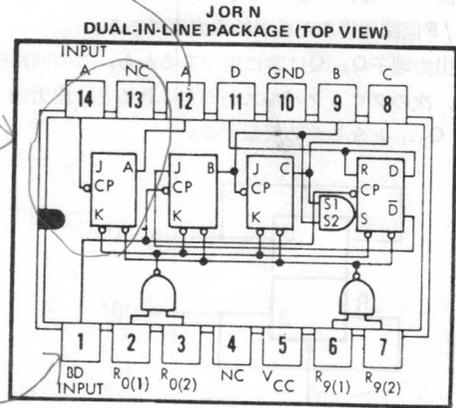
また、2種類のリセット端子があり、1つはカウンタの出力状態を論理“0”に、他の1つは2進10進(BCD)の9にするために使用される。すなわち、これらのリセット入力端子 $R_{0(1)}$ 、 $R_{0(2)}$ 、あるいは、 $R_{9(1)}$ 、 $R_{9(2)}$ に論理“1”をセットすることにより可能である。

フリップ・フロップ④の出力端子は、他の回路と内部接続されていないので、このカウンタは次に示すように

いろいろなモードで使用できる。

① 10進カウンタ(BCD)として使用

フリップ・フロップ④の出力端子Aと5進カウンタの



TRUTH TABLES

BCD COUNT SEQUENCE

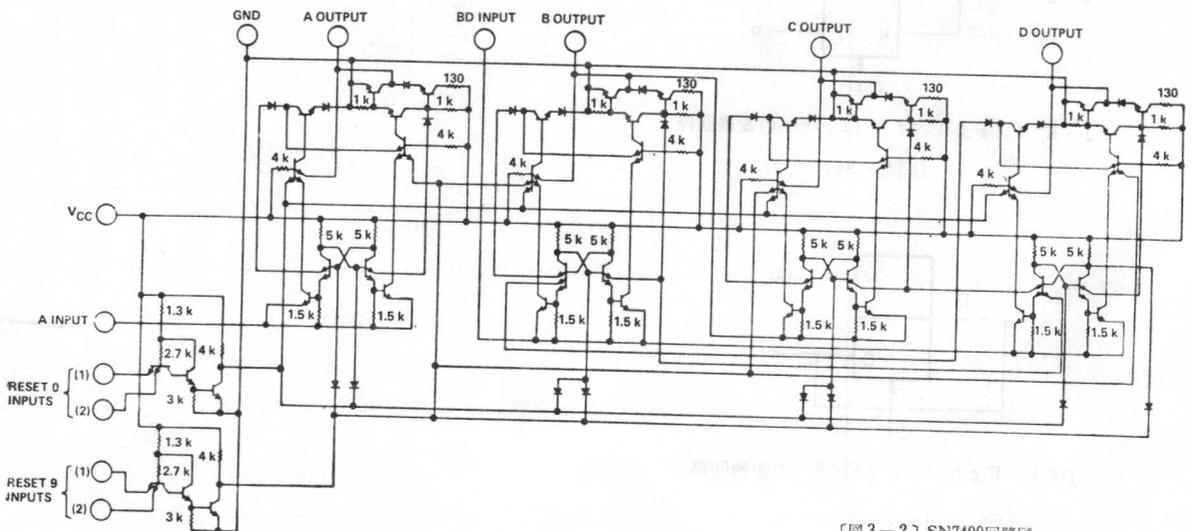
COUNT	OUTPUT			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

RESET/COUNT

RESET INPUTS				OUTPUT
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	
1	1	0	X	0 0 0 0
1	1	X	0	0 0 0 0
X	X	1	1	1 0 0 1
X	0	X	0	COUNT
0	X	0	X	COUNT
0	X	X	0	COUNT
X	0	0	X	COUNT

<表3-1>真理値表

〔図3-1〕SN7490ブロック図



〔図3-2〕SN7490回路図

入力端子BDとを外部接続し、クロック入力端子Aに諸要の入力信号を加えると、このカウンタは真理値表にしたがって動作する。このとき、リセット入力端子は両方共論理“0”に設定する。

② デューティサイクル50%の

出力波形を有する10進カウンタ

フレクシオンセサイザや、他の応用回路でしばしば $1/10$ の出力でデューティ50%の方形波を取り出したい場合がある。

このような時は、このカウンタを次のような方法で使用すれば良い。まず、5進カウンタの出力端子Dと2進カウンタの入力端子Aを接続し、5進カウンタのクロック入力端子に、諸要の入力信号を加えることにより、分割比 $1/10$ でデューティサイクル50%の方形波を2進カウンタの出力端子Aから取り出すことができる。

③ 2進カウンタ、5進カウンタとして使用する場合

2進計数器に対してF/F ④、5進計数器に対してフリップ・フロップ⑥、⑦、⑧を使用し、2進カウンタの場合は、入力端子A、5進カウンタの場合は、入力端子BDに諸要のクロックパルスを加えることにより、これらのカウンタは動作する。

このモードにおいて、2組のカウンタは独立に動作させることができるが、リセットは同時に行なわれる。表3-1に真理値表、図3-1にブロック図、図3-2に回路図を示す。

3-1-2 SN54/7492 12進カウンタ

これは、モノリシックICで4つのマスター・スレーブ・フリップ・フロップから構成されており、1つのパッケージの中に2進計数回路と、6進計数器の2グループのカウンタが内蔵されている。また、直接カウンタをリセットできるリセット端子 $R_{0(1)}$ 、 $R_{0(2)}$ を有し、論理“1”を加えると4つのフリップ・フロップはリセットされ、論理“0”になる。

フリップ・フロップAの出力端子は次段のフリップ・フロップの入力に内部で結合されていないので、このカウンタは、次に述べるように2つの独立したモードで動作させることができる。

④ 12進計数器として使用する場合、2進カウンタの出力端子Aと、6進計数器の入力端子BCを外部で接続し、クロック入力端子Aに諸要のパルスを加えることにより、このカウンタは真理値表にしたがって動作する。この2進、6進、12進の出力は、それぞれ出力端子A、C、Dから取り出すことができる。

⑤ 6進カウンタとして使用する場合は、入力端子BCに諸要のクロック・パルスを加えることにより、このモードで3進、6進の出力はそれぞれ出力端子C、Dから取り出すことができる。リセットは4Bitフリップ・フロップを同時に行なう。ブロック図を 図3-3、真理値表を表3-2、回路図を 図3-4に示す。

3-1-3 SN54/7493 4ビット2進カウンタ

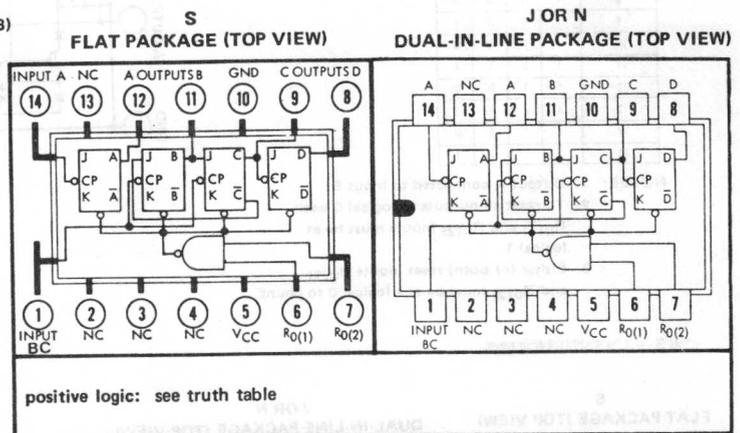
モノリシックICで、4ビットの2進カウンタは、4つのマスタ・スレーブF/Fで、1つのパッケージの中に

TRUTH TABLE (See Notes 1, 2, and 3)

COUNT	OUTPUT			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	1	0	0	0
7	1	0	0	1
8	1	0	1	0
9	1	0	1	1
10	1	1	0	0
11	1	1	0	1

- NOTES: 1. Output A connected to input B
 2. To reset all outputs to logical 0 both $R_{0(1)}$ and $R_{0(2)}$ Inputs must be at logical 1.
 3. Either (or both) reset inputs $R_{0(1)}$ and $R_{0(2)}$ must be at a logical 0 to count.

<表3-2>SN7492真理値表



NC—No Internal Connection

〔図3-3〕SN7492ブロック図

2進カウンタと、8進カウンタの2組のカウンタが内蔵されている。

また、直接カウンタをリセットできるリセット端子 $R_{0(1)}$, $R_{0(2)}$ を有し、論理“1”を加えると、これらのカウンタは同時にリセットされ、出力は論理“0”になる。

このカウンタも2進部と、8進部は内部接続されていないので、いろいろなモードで使用することができる。

① 4ビットのリプル・カウンタとして使用する場合は、2進カウンタの出力端子Aと、8進カウンタの入力端子Bを外接続し、入力端子Aに諸要のクロック・パルスを加えると、真理値表にしたがって動作する。

2進、4進、8進、16進の出力は、それぞれの出力端子A, B, C, Dから取り出すことができる。

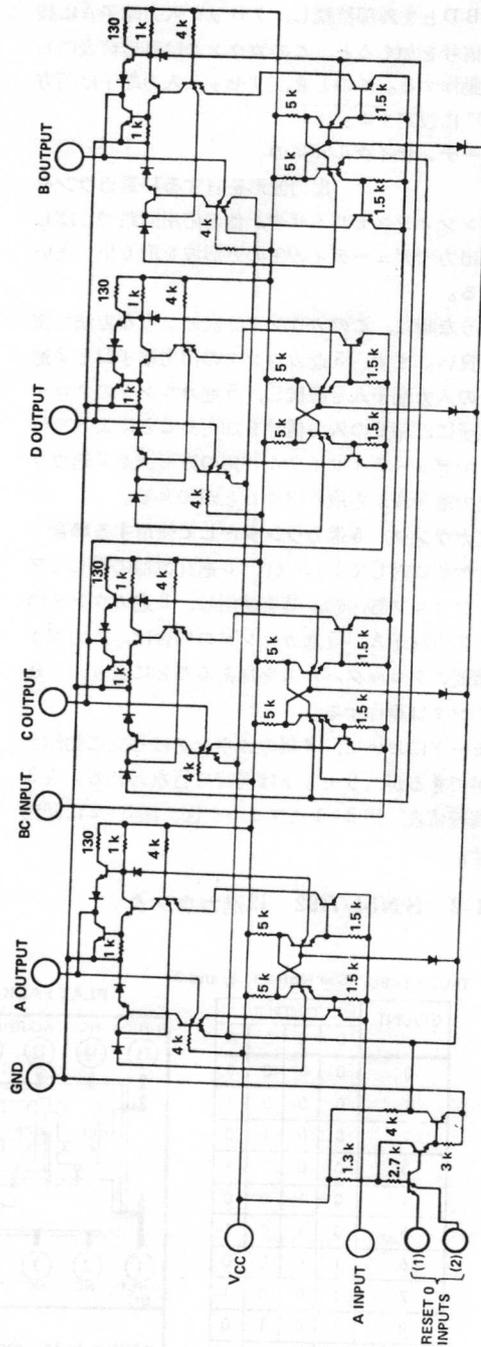
② 3ビットのリプル・カウンタとして使用する場合は、8進カウンタの入力端子Bにクロック・パルスを加えることにより可能で、 $1/2$, $1/4$, $1/8$ の出力は、出力端子B, C, Dから取り出すことができる。ブロック図を図3-5、真理値表を表3-3に、回路図を図3-6に示す。

TRUTH TABLE (See Notes 1, 2, and 3)

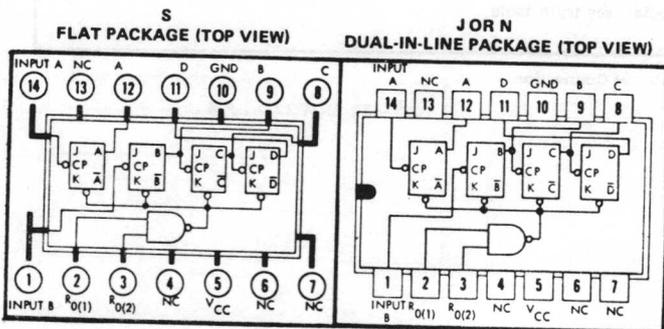
COUNT	OUTPUT			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

- NOTES: 1. Output A connected to Input B
 2. To reset all outputs to logical 0 both $R_{0(1)}$ and $R_{0(2)}$ inputs must be at logical 1.
 3. Either (or both) reset inputs $R_{0(1)}$ and $R_{0(2)}$ must be at a logical 0 to count.

<表3-3> SN7493真理値表



【図3-4】 SN7493回路図



【図3-5】 SN7493ブロック図

3-1-4 SN54/7497

同期式6ビット、バイナリ、 レートマルチプライヤ

このカウンタは、完全同期式6ビット、バイナリ、レート、マルチプライヤで54/74 TTL回路を使用したMSIで、計数速度は27 MHzまで保証されており、クロック、リセット、エネーブル入力回路はバッファ・ゲートを通してカウンタを制御する。

ストロブ入力端子は、レート入力回路/AND—OR—INVERT ゲートを制御（エネーブル/禁止）する。出力ゲート回路は、カスケード方式のカウンタを構成する場合、あるいは、クロック・パルスのバッファ・ゲートとして使用する。

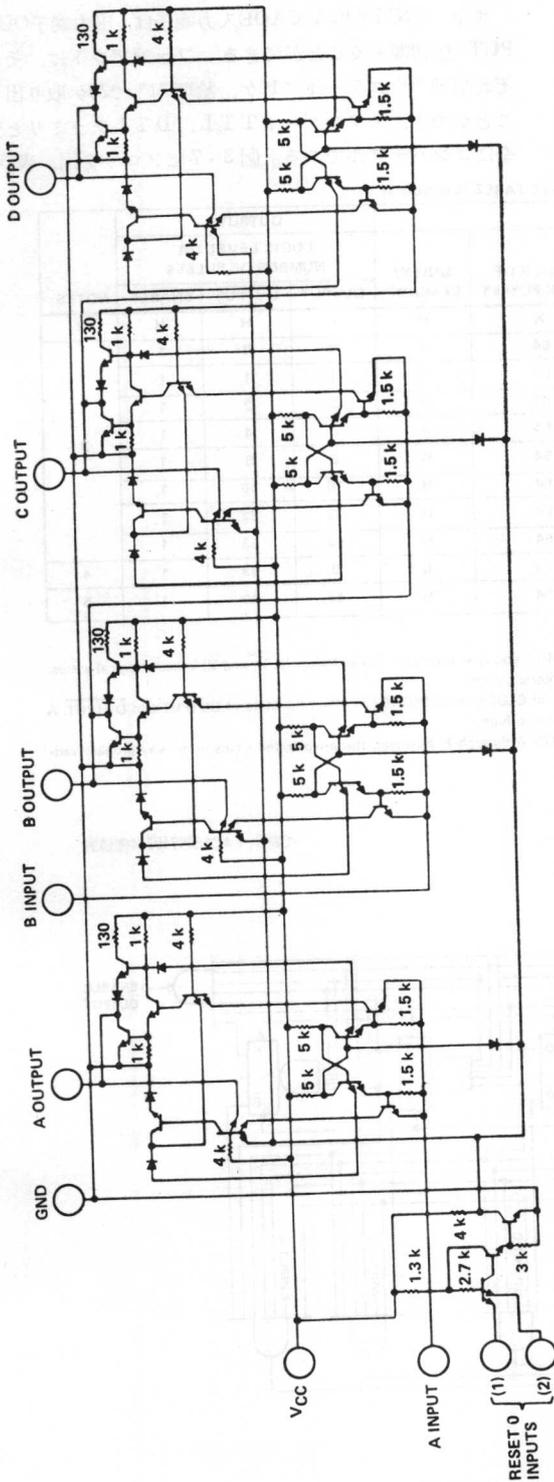
リップル・カウンタは、フリップ・フロップの直列接続段数によって出力の入力クロック・パルスに対する遅れが変わり、各フリップ・フロップ出力から直接デコードしようとすると、デコード・スパイクが出る、あるいは、動作周波数をあまり高くできないなどの欠点を持っていた。これに対し、同期式カウンタは使用するフリップ・フロップの段数に関係なく、全てのフリップ・フロップが入力クロックに対して同時に動作するように回路が構成されているので、リップル・カウンタの欠点を除去できる。この計数回路の入力周波数と、出力周波数の関係は次式のようになる。

$$F_{out} = \frac{F_{in} \cdot M}{64}$$

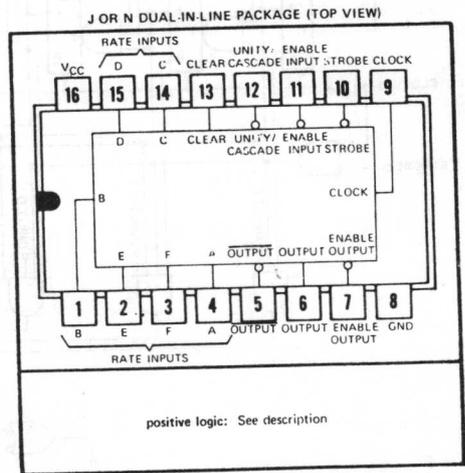
$$\therefore M = A \cdot 2^0 + B \cdot 2^1 + C \cdot 2^2 + D \cdot 2^3 + E \cdot 2^4 + F \cdot 2^5$$

A, B, C, D, E, Fはプログラム入力である。

レート入力端子 (A, B, C, D, E, F) が論理“0”の時出力端子 OUTPUT は論理“1”で、また、レート入



〔図3-6〕SN7493回路図



positive logic: See description

〔図3-7〕ブロック図

力端子 (A, B, C, D, E, F) が論理“1”の時出力周波数は $F_{out}=63/64$ である。

このカウンタを従続接続する場合、エネーブル出力端子を、次段のエネーブル入力端子と、ストロブ入力端子へ接続すれば良い。また、各ステージの出力端子 \overline{OUTPUT} は、他のステージの UNITY/CASCADE 入力端子接続する。ストロブ入力端子に論理“0”を加えると、出力 \overline{OUTPUT} は論理“1”になる。この状態で入

力端子をクロック入力端子へ接続することにより、出力端子からインバータされたクロック・パルスを取り出すことができる。

また、UNITY/CASCADE入力端子は、出力端子 \overline{OUTPUT} を制御することができる。ファンアウトは、それぞれ論理“0”ステートで10ヶ、論理“1”で20ヶ取り出すことができ、スタンダード TTL, DTLファミリと完全にコンパチブルである。図3-7にブロック図、表3-

STATE AND/OR RATE TABLE (See Note 1)

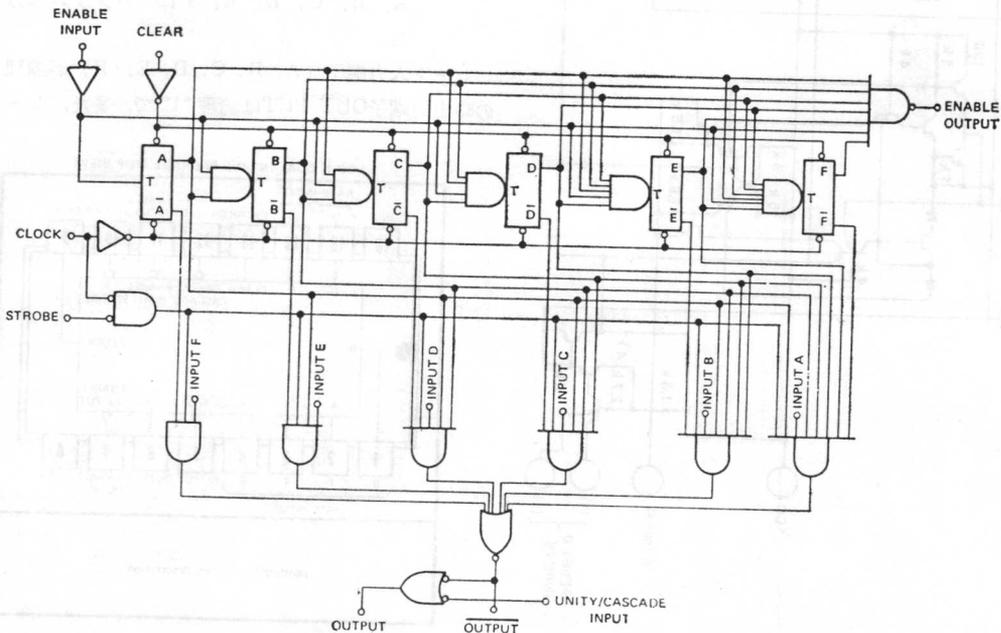
CLEAR	ENABLE	STROBE	INPUTS						NUMBER OF CLOCK PULSES	UNITY/CASCADE	OUTPUTS			NOTES
			BINARY RATE								LOGIC LEVEL OR NUMBER OF PULSES			
			A	B	C	D	E	F			OUTPUT	\overline{OUTPUT}	ENABLE	
H	X	H	X	X	X	X	X	X	H	L	H	H	2	
L	L	L	L	L	L	L	L	L	64	H	0	0	1	3
L	L	L	H	L	L	L	L	L	64	H	1	1	1	
L	L	L	L	H	L	L	L	L	64	H	2	2	1	
L	L	L	L	L	H	L	L	L	64	H	4	4	1	
L	L	L	L	L	L	H	L	L	64	H	8	8	1	
L	L	L	L	L	L	L	H	L	64	H	16	16	1	
L	L	L	L	L	L	L	L	H	64	H	32	32	1	
L	L	L	H	H	H	H	H	H	64	H	63	63	1	
L	L	L	H	H	H	H	H	H	64	L	0	63	1	4
L	L	L	L	L	L	L	H	L	64	H	40	40	1	5

NOTES:

1. L = low voltage (logical 0), H = high voltage (logical 1), and X = irrelevant. These letters (L, H, and X) indicate logical states. All remaining entries (except note references) are numeric counts.
2. Simplified illustration of the clear function. The states of CLOCK and STROBE can affect the state of OUTPUT and \overline{OUTPUT} . A low (L) at UNITY/CASCADE will cause OUTPUT to remain high.
3. Each rate illustrated assumes constant value at INPUTS A through F; however, these illustrated cases in no way prohibit variable rate inputs.
4. UNITY/CASCADE used to inhibit OUTPUT.

$$5. f_{out} = \frac{f_{in} (M)}{64} = \frac{f_{in} (8+32)}{64} = \frac{40}{64} = 0.625 \text{ of } f_{in}$$

<表3-4> SN7497 真理値表



【図3-8】 ファンクション図

4に真理値表, 図3-8にファンクション図を示す。

3-1-5 SN54/74160 SN54/74161

同期式カウンタ

これらのカウンタは, 同期式カウンタで直接リセットできる端子 Clear や, 内部ルック・アヘッド方式による高速カウントができ, 最大入力カウント周波数30 MHzまで動作する。SN54/74160は, 10進カウンタでSN54/74161は4ビットの2進計数回路である。

いずれも, データのプリセットがクロック同期で行なえるようになってきている。したがって, これらのMSIカウンタを用いて任意のカウントサイクルを持った同期式カウンタを作ることができる。

シンクロナス動作では, 全フリップ・フロップは, クロックに同期して, 出力状態は変化する。従って, 非同期式カウンタ(リップル・カウンタ)で生じるスパイクを完全に除去する。

クロック入力部のバッファゲートは, 4ケのJ-Kマスター, スレーブ, フリップ・フロップをトリガする。

また, これらのカウンタは, プログラミング可能で任意の状態にプリセットできる。すなわち, プリセットしたいデータをデータ入力端子A, B, C, Dにセットしロード入力端子に論理“0”を加えると, カウンタは動作しなくなり, 次のクロック・パルスに同期して, このカウンタにデータはプリセットされ, 出力端子から諸要のデータを取り出すことができる。

クリア機能は非同期式で, この入力端子 Clear に論理“0”を入力すると, 全フリップ・フロップの出力はクロックの状態には無関係に論理“0”になる。また, ルックアヘッド方式により, nビットのシンクロナスカウン

タを構成する場合, 付加回路を使用しないで簡単に構成できる。

ルックアヘッド方式の場合には, クロックパルスは全カウンタに与え, カウントエネーブル入力端子PまたはTを前段の出力端子Carry Outへ接続すればよい。

また, 全入力回路はダイオードクランプ方式を採用しているので, 伝送線効果を最小限に押えるとともに, システム設計を容易にしている。

計数速度は, 標準値で30 MHzで消費電力は325mWである。図3-9にブロック図を示す。

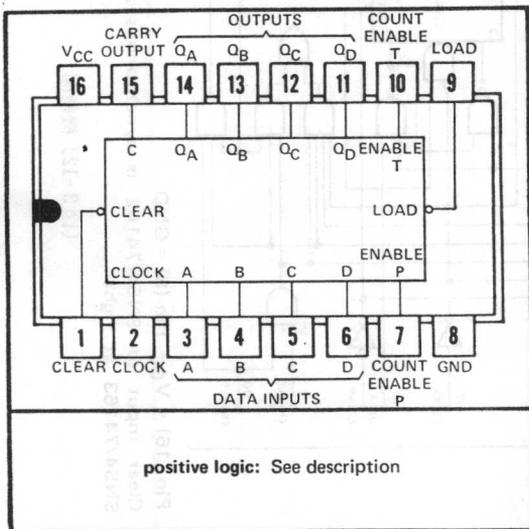
3-1-6 SN54/74162 SN54/74163

同期式カウンタ

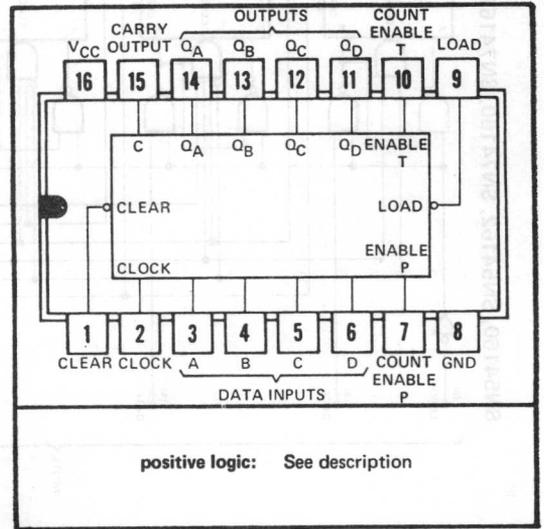
これらのカウンタは, 完全同期式カウンタで同期式クリア端子と, 内部ルックアヘッド方式を採用したプリセットブルカウンタである。

SN54/74162は10進カウンタでSN54/74163は4ビットの2進カウンタである。全フリップ・フロップは, クロック・パルスに同期して出力の状態が変化するので, 非同期式カウンタに見られるスパイク信号を除去できる。このクロック・パルスは入力部にあるバッファゲートをとおして4つのJ-Kマスタースレーブ, フリップ・フロップを励振する。

このカウンタは, プログラム可能でプログラムされた入力信号をセットすることができる。このプリセットは, 同期式でロード入力端子に論理“0”を設定することにより, カウンタは入力回路から切り離され, データ入力端子A, B, C, Dに接続されたデータは, 次のクロック・パルスによって読み込まれ出力端子(QA, QB, QC, QD)から諸要の信号を取り出すことができる。ま

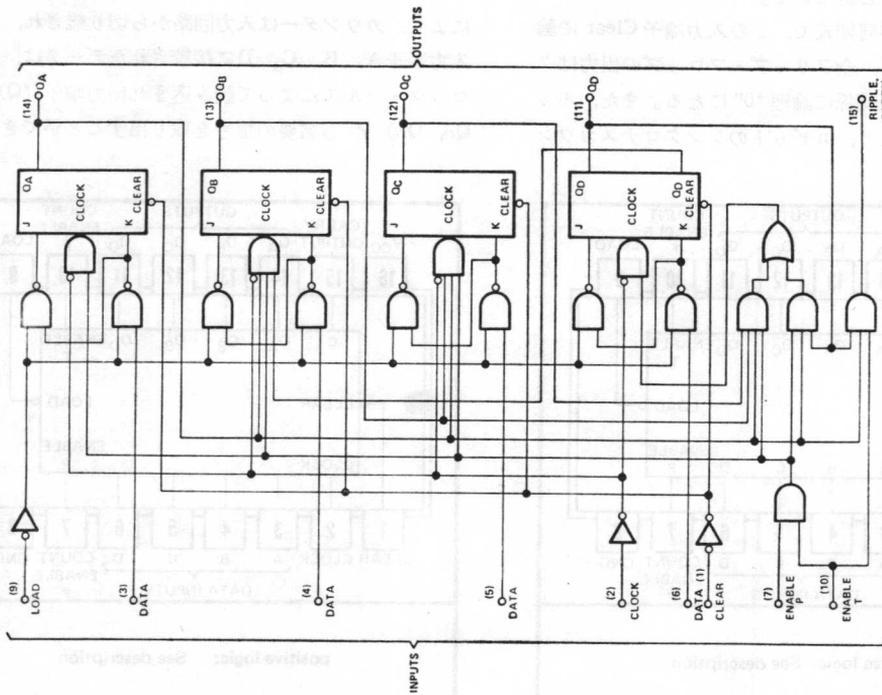


〔図3-9〕SN74160/161ブロック図



〔図3-10〕SN74162/163ブロック図

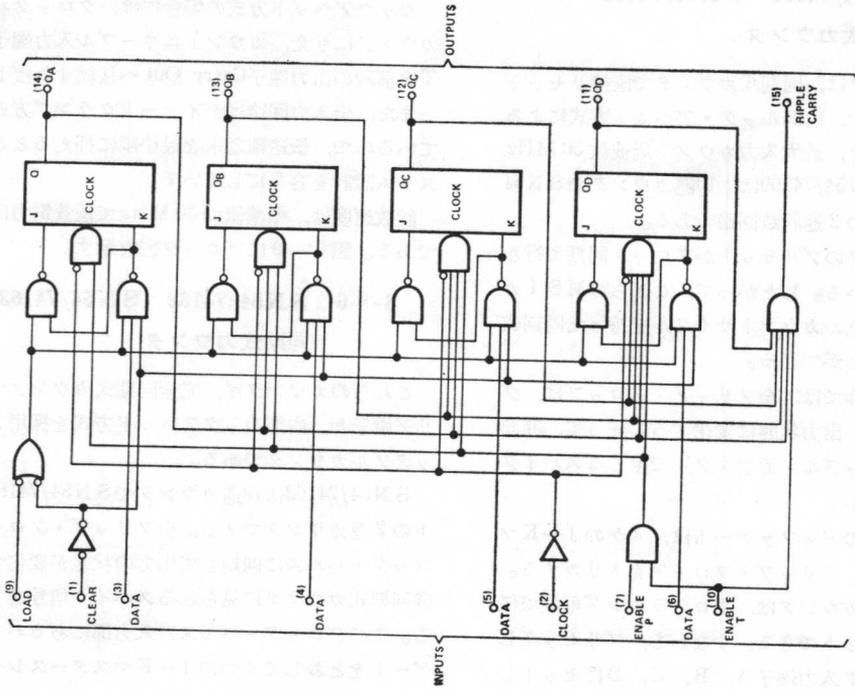
SN54160, SN54162, SN74160, SN74162 (DECADE)



Pin (16) = VCC, Pin (8) = GND
Clear input of SN54/74162 is synchronous as shown for the
SN54/74163 at right

(图 3-12) 機能图

SN54161, SN54163, SN74161, SN74163 (BINARY)



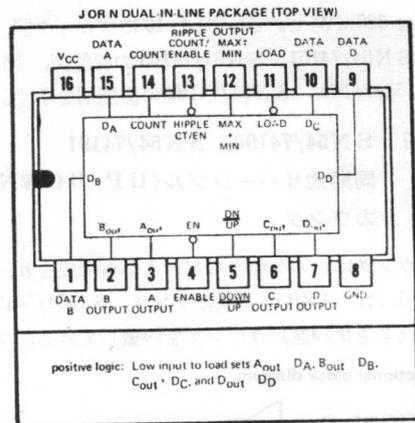
Pin (16) = VCC, Pin (8) = GND
Clear input of SN54/74161 is asynchronous as shown for the
SN54/74160 at left

(图 3-11) 機能图

たクリアの機能も同期式でこの入力端子 Clear に論理“0”を加え、次のクロック・パルスに同期して全フリップ・フロップの出力は論理“0”になる。

nビットの同期式カウンタを構成する場合、外部回路を使用しないでロック・アヘッド回路を構成できる。このモードの場合、2つの COUNT—ENABLE 入力端子 PあるいはTを前段の CARRY OUTへ接続する。このキャリー出力信号はQA フリップ・フロップと等しいパルス巾である。

全ての入力回路は、ダイオードクランプされているため、伝送線に生ずる問題を減少させると同時にシステム設計を楽にする。計数速度も速く、標準値で30 MHz で



〔図3-13〕SN74190ブロック図

TRUTH TABLE

INPUTS t_n				OUTPUTS t_{n+1}												NOTES
COUNT PULSE	DOWN UP	LOAD	ENABLE	DATA INPUT				OUTPUT				RIPPLE CT/EN	MAX + MIN			
				A	B	C	D	A	B	C	D					
X	X	L	X	A_N	B_N	C_N	D_N	A_N	B_N	C_N	D_N	(Note)	(Note)	1, 2		
X	X	L	X	H	L	L	H	H	L	L	H	(Note)	(Note)	3, 4		
0	L	H	L	X	X	X	X	L	L	L	L	H	L			
1	L	H	L	X	X	X	X	H	L	L	L	H	L			
2	L	H	L	X	X	X	X	L	H	L	L	H	L			
3	L	H	L	X	X	X	X	H	H	L	L	H	L			
4	L	H	L	X	X	X	X	L	L	H	L	H	L			
5	L	H	L	X	X	X	X	H	L	H	L	H	L			
6	L	H	L	X	X	X	X	L	H	H	L	H	L			
7	L	H	L	X	X	X	X	H	H	H	L	H	L			
8	L	H	L	X	X	X	X	L	L	L	H	H	L			
9	L	H	L	X	X	X	X	H	L	L	H	H	H	4		
10	L	H	L	X	X	X	X	L	L	L	L	L	L	4, 5		
11	L	H	L	X	X	X	X	H	L	L	L	H	L	6		
↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑			
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓			
18	L	H	L	X	X	X	X	L	L	L	H	H	L	6		
19	L	H	L	X	X	X	X	H	L	L	H	H	H	4, 5		
20	H	H	L	X	X	X	X	L	L	L	H	L	L	6		
↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑			
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓			
27	H	H	L	X	X	X	X	H	L	L	L	H	L	6		
28	H	H	L	X	X	X	X	L	L	L	L	H	H	4		
29	H	H	L	X	X	X	X	H	L	L	H	L	L	4, 5		

- NOTES.
1. X indicates that the input function may be high (H) or low (L).
 2. State of RIPPLE CT EN and MAX + MIN outputs is dependent on state of the DOWN/UP input and A, B, C, D outputs.
 3. State of RIPPLE CT EN output is dependent on state of the COUNT PULSE input.
 4. When the counter reaches maximum or minimum count state the MAX + Min output goes high and the negative portion of the next COUNT PULSE is reproduced at the RIPPLE CT/EN output.
 5. COUNT PULSES 12 through 17 and 21 through 26 are omitted for brevity. Response of A, B, C, and D outputs for COUNT PULSES 10 through 19 is the same as shown for COUNT PULSES 0 through 9 respectively. Response of A, B, C, and D outputs for COUNT PULSES 19 through 28 is the same as shown for COUNT PULSES 8 through 0 respectively.

消費電力は 325mW である。図 3-10 にブロック図、図 3-11 に SN54/74161, SN54/74163 の機能図、図 3-12 に SN54/74160, SN54/74162 の機能図を示す。

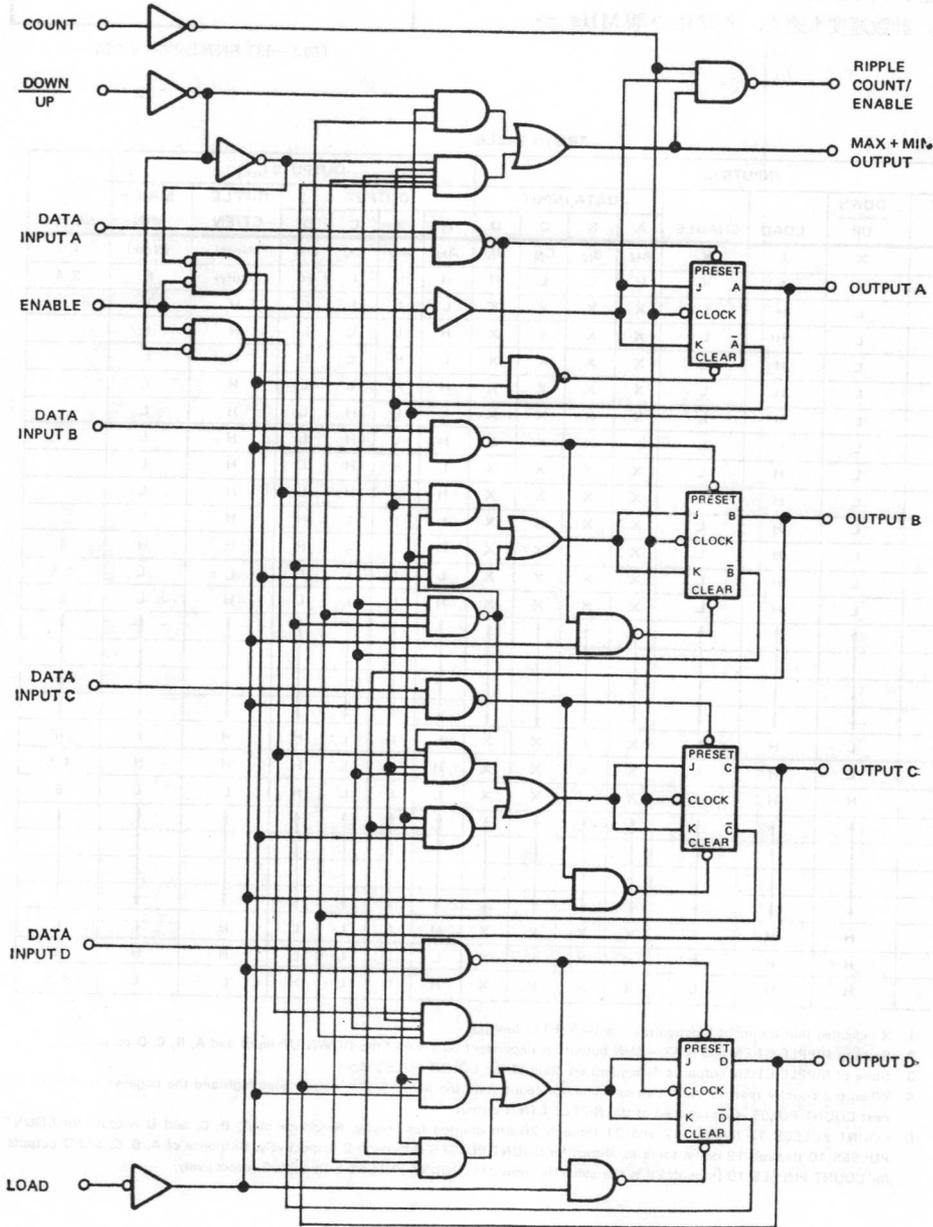
3-1-7 SN54/74190, SN54/74191 同期式リバーシブル(UP/DOWN) カウンタ

このカウンタは、58ヶ相当のゲートから構成され、SN54/74191 は、4 Bit の 2 進カウンタ、SN54/74190 は BCD (2 進化 10 進) カウンタを内蔵している。クロ

ックパルスに完全に同期して動作するので、非同期式の場合、しばしば見られるクロック・スキューは完全に除去される。

このカウンタは、エネーブル入力端子に論理“0”を加え、クロック入力端子 (Count) に論理“0”から“1”に変化する信号を加えると、この 4 ヶのマスタ・スレーブ フリップ・フロップはトリガーされ、出力の状態が反転し、またエネーブル入力に“1”が加えられるとカウンタの動作が禁止される。カウンタの方向 (UP/DOWN) は、制御入力端子 dowu/up の状態によって決定され、

functional block diagram

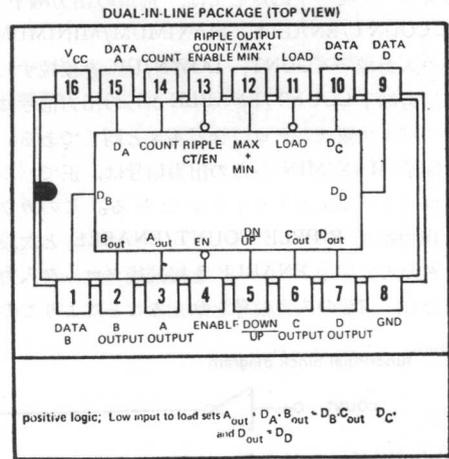


〔図 3-14〕 SN74190 機能図

この端子に論理“0”が加えられると、このカウンタはUPカウンタとして働き、論理“1”の時はDOWNカウンタとして動作する。

また、このカウンタは任意の状態にプリセットできる。セット方法は、次のようにする。データ入力端子INPUT DATA (A, B, C, D) にプリセットしたいデータを加え、ロード入力端子 (load) に論理“0”を加えることによりプリセットすることができる。しかも、クロックパルスの状態に関係なく、データをプリセットすることができる。このことは、モデュローN進カウンタを構成するときに便利である。

入力側のバッファゲートは、ファンイン負荷係数を少なくするために、もうけられている。このカウンタは外部回路を必要としないでカスケードできるように設計されている。



〔図3-15〕 SN74191ブロック図

TRUTH TABLE

COUNT PULSE	INPUTS t_n			DATA INPUT				OUTPUT				OUTPUTS t_{n+1}		NOTES
	DOWN UP	LOAD	ENABLE	A	B	C	D	A	B	C	D	RIPPLE CT/EN	MAX + MIN	
X	X	L	X	A _N	B _N	C _N	D _N	A _N	B _N	C _N	D _N	(Note)	(Note)	1, 2
X	X	L	X	H	H	H	H	H	H	H	H	(Note)	H	3, 4
0	L	H	L	X	X	X	X	L	L	L	L	H	L	
1	L	H	L	X	X	X	X	H	L	L	L	H	L	
2	L	H	L	X	X	X	X	L	H	L	L	H	L	
3	L	H	L	X	X	X	X	H	H	L	L	H	L	
4	L	H	L	X	X	X	X	L	L	H	L	H	L	
5	L	H	L	X	X	X	X	H	L	H	L	H	L	
6	L	H	L	X	X	X	X	L	H	H	L	H	L	
7	L	H	L	X	X	X	X	H	H	H	L	H	L	
8	L	H	L	X	X	X	X	L	L	L	H	H	L	
9	L	H	L	X	X	X	X	H	L	L	H	H	L	
10	L	H	L	X	X	X	X	L	H	L	H	H	L	
11	L	H	L	X	X	X	X	H	H	L	H	H	L	
12	L	H	L	X	X	X	X	L	L	H	H	H	L	
13	L	H	L	X	X	X	X	H	L	H	H	H	L	
14	L	H	L	X	X	X	X	L	H	H	H	H	L	
15	L	H	L	X	X	X	X	H	H	H	H	H	L	4
16	L	H	L	X	X	X	X	L	L	L	L	L	L	4, 5
17	L	H	L	X	X	X	X	H	L	L	L	H	L	5
↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	
30	L	H	L	X	X	X	X	L	H	H	H	H	L	5
31	L	H	L	X	X	X	X	H	H	H	H	H	H	4, 5
32	H	H	L	X	X	X	X	L	H	H	H	L	L	5
↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	
45	H	H	L	X	X	X	X	H	L	L	L	H	L	5
46	H	H	L	X	X	X	X	L	L	L	L	H	H	4
47	H	H	L	X	X	X	X	H	H	H	H	L	L	4, 5

- NOTES: 1. X indicates that the input function may be high (H) or low (L).
 2. State of RIPPLE CT-EN and MAX + MIN outputs is dependent on state of the DOWN UP input and A, B, C, D outputs
 3. State of RIPPLE CT-EN output is dependent on state of the COUNT PULSE input
 4. When the counter reaches maximum or minimum count state the MAX + MIN output goes high and the negative portion of the next COUNT PULSE is reproduced at the RIPPLE CT-EN output.
 5. COUNT PULSES 18 through 29 and 33 through 44 are omitted for brevity. Response of A, B, C, D outputs for COUNT PULSES 18 through 31 is the same as shown for COUNT PULSES 0 through 15 respectively. Response of A, B, C, and D outputs for COUNT PULSES 31 through 47 is the same as shown for COUNT PULSES 15 through 0 respectively

<表3-6> SN74191真理値表

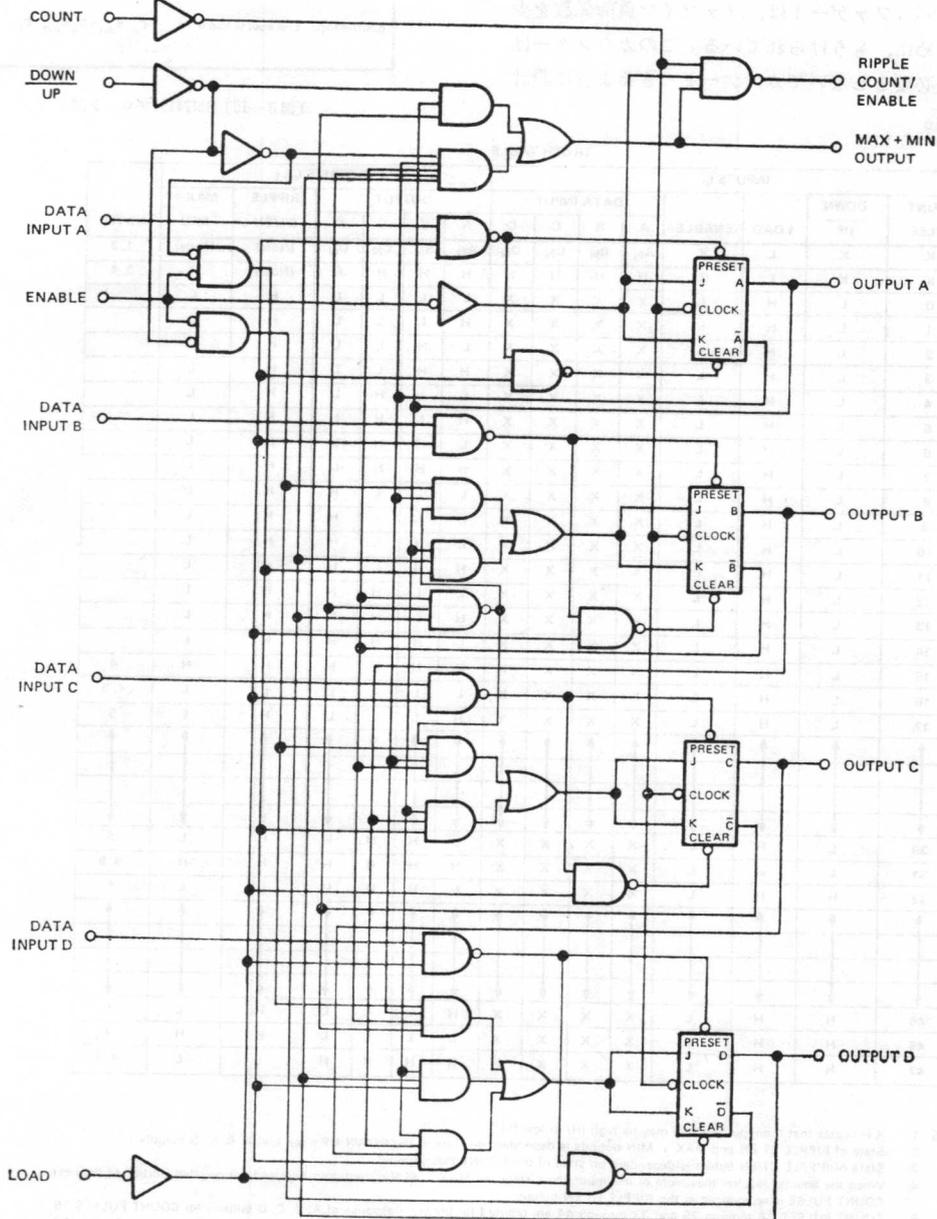
カスケードモードに対しては、前段の出力端子 RIPP-
PLE COUNT/ENABLE, MAXIMUM/MINIMUM と、
次段の入力端子 COUNT, DOWN/UP を接続すればよ
い。出力端子 COUNT/ENABLE からの出力信号は、負
出力でパルス幅は、クロックパルスと同じである。また
出力端子 MAX/MIN からの出力信号は、正でパルス幅
はクロックパルスの1サイクルである。このカウンタ
は、出力端子 RIPP-LE COUNT/ENABLE と次段のカ
ウンタの入力端子 ENABLE を接続後クロック入力端子
を結合し、諸要の入力信号を加えることによりこのカウ

ンタは動作する。

また、パラレルエネーブルを使用するときは、カウン
ト入力端子COUNT INPUTへ接続する。出力端子MAX
/MIN は、高速度カウンタとして動作させるとき使用す
る。

SN54/74190のブロック図を図3-13、機能図を図3-
14に、真理値表を表3-5にに示す。また図3-15、図
3-16及び表3-6にはそれぞれSN54/74191のブロッ
ク図、機能図及び真理値表を示す。

functional block diagram

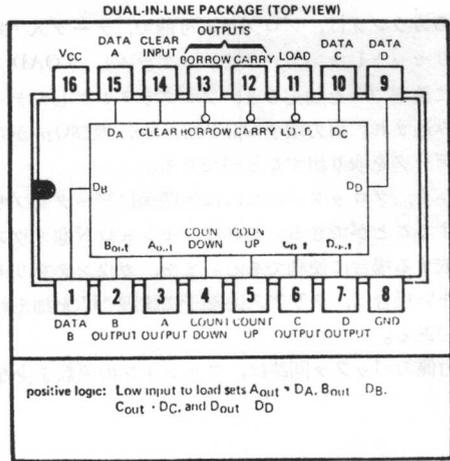


〔図3-16〕SN74191機能図

3-1-8 SN54/74192 SN54/74193
同期式リバーシブル(UP/DOWN)
カウンタ

このカウンタは、J-K トグルフリップ・フロップ4ケ、入力バッファゲート4ケ、NANDゲート10ケが1つのパッケージの中に収容されている。SN54/74192は、10進可逆カウンタで、SN54/74193は、4 Bitの2進可逆カウンタである。

これらのカウンタは、完全同期式を採用しているの
で、非同期式に見られるカウンティングスパイクを除去
できる。これらのカウンタは、入力クロックパルスが論
理“0”が“1”に変わる時、マスタスレーブ、フリップ・
フロップの出力を変化させる。



positive logic: Low input to load sets A_{out}, B_{out}, D_{out}, C_{out}, D_{out}, and D_{out}.

〔図3-17〕SN74192のブロック図

TRUTH TABLE

INPUTS t _n				OUTPUTS t _{n+1}											NOTES
COUNT-UP PULSE	COUNT-DOWN PULSE	LOAD	CLEAR	DATA INPUT				OUTPUT				BORROW	CARRY		
				A	B	C	D	A	B	C	D				
X	X	L	L	A _N	B _N	C _N	D _N	A _N	B _N	C _N	D _N	(Note)	(Note)	1, 2	
X	X	L	L	H	L	L	H	H	L	L	H	(Note)	(Note)	2	
X	X	X	H	X	X	X	X	L	L	L	L	(Note)	(Note)	2	
1	H	H	L	X	X	X	X	H	L	L	L	H	H		
2	H	H	L	X	X	X	X	L	H	L	L	H	H		
3	H	H	L	X	X	X	X	H	H	L	L	H	H		
4	H	H	L	X	X	X	X	L	L	H	L	H	H		
5	H	H	L	X	X	X	X	H	L	H	L	H	H		
6	H	H	L	X	X	X	X	L	H	H	L	H	H		
7	H	H	L	X	X	X	X	H	H	H	L	H	H		
8	H	H	L	X	X	X	X	L	L	L	H	H	H		
9	H	H	L	X	X	X	X	H	L	L	H	H	H		
10	H	H	L	X	X	X	X	L	L	L	L	H	L	3	
11	H	H	L	X	X	X	X	H	L	L	L	H	H	4	
↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑		
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
18	H	H	L	X	X	X	X	L	L	L	H	H	H	4	
19	H	H	L	X	X	X	X	H	L	L	H	H	H	4	
H	0	H	L	X	X	X	X	L	L	L	H	H	H	4	
↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑		
H	7	H	L	X	X	X	X	H	L	L	L	H	H	4	
H	8	H	L	X	X	X	X	L	L	L	L	H	H	4	
H	9	H	L	X	X	X	X	H	L	L	H	L	H	5	

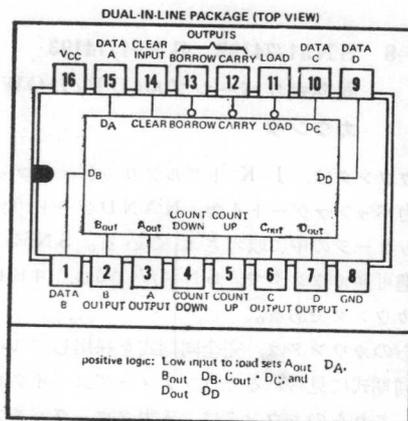
- NOTES: 1. L = low voltage (logical 0); H = high voltage (logical 1); X = irrelevant
 2. State of BORROW and CARRY outputs is dependent on state of DOWN and UP COUNT inputs and the A, B, C, D outputs
 3. When the counter reaches maximum count state the CARRY OUTPUT goes low during the negative portion of the next COUNT UP pulse.
 4. COUNT-UP pulses 12 through 17 and COUNT-DOWN pulses 1 through 6 are omitted for brevity. Response of A, B, C, and D outputs for COUNT-UP pulses 11 through 19 is the same as shown for COUNT UP pulses 1 through 9 respectively. Response of A, B, C, and D outputs for COUNT-DOWN pulses 0 through 9 is the same as shown for COUNT UP pulses 18 through 9 respectively.
 5. When the counter reaches minimum count state the BORROW OUTPUT goes low during the negative portion of the next COUNT-DOWN pulse.

<表3-7>SN74192真理値表

このカウンタは、プログラム可能で、データ入力端子にプリセットしたいデータをプログラムし、LOAD 入力端子に論理“0”を加えると、プログラミングしたデータが読み込まれ、出力端子 Q_A 、 Q_B 、 Q_C 、及び Q_D から諸要のデータを取り出すことができる。

しかも、クロックパルスには無関係にデータをプリセットすることができる。これは、モジュロ N 進カウンタを構成する場合に便利である。また、カウンタをリセットしたい場合は、クリア入力端子に論理“1”を加えれば可能である。

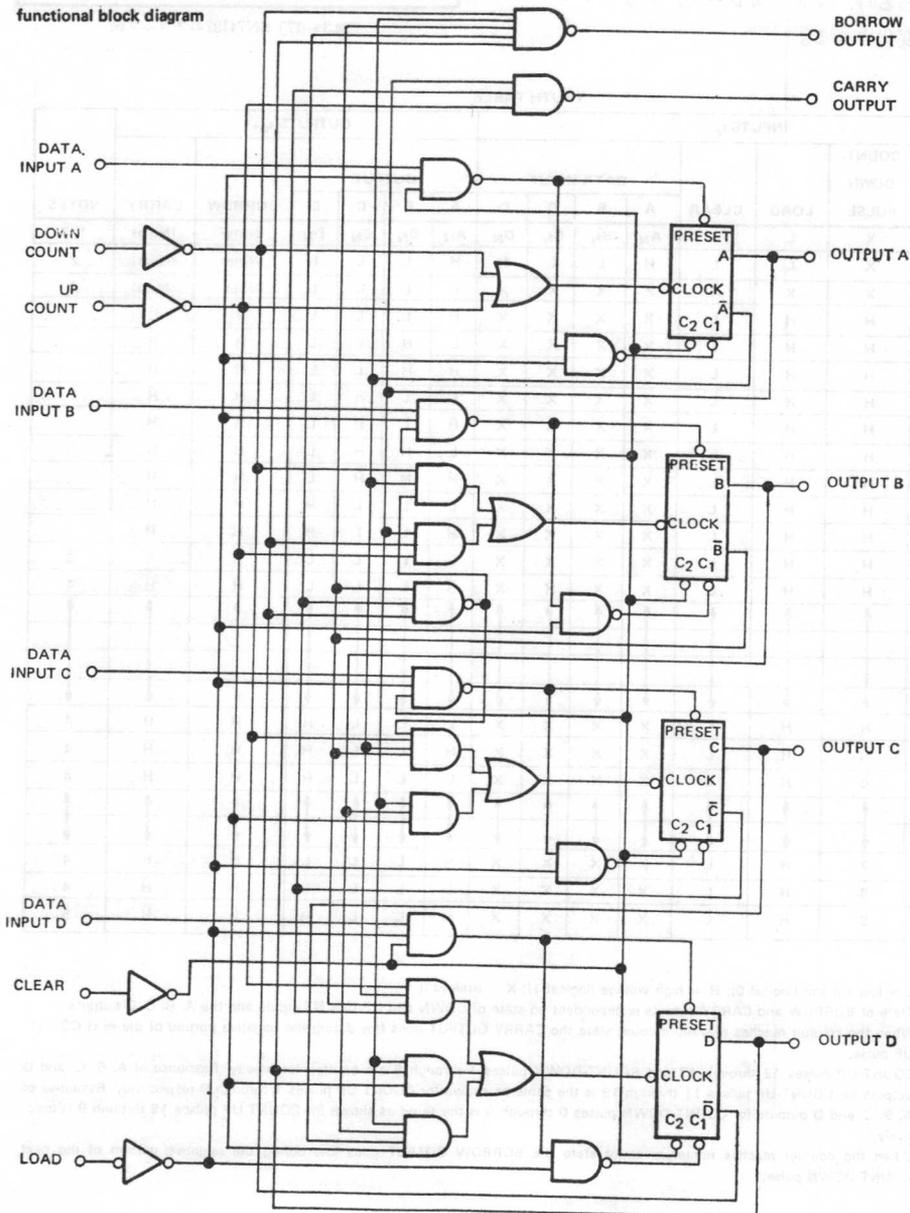
入力側のバッファ回路は、ファンインの係数を少なく



〔図3-19〕

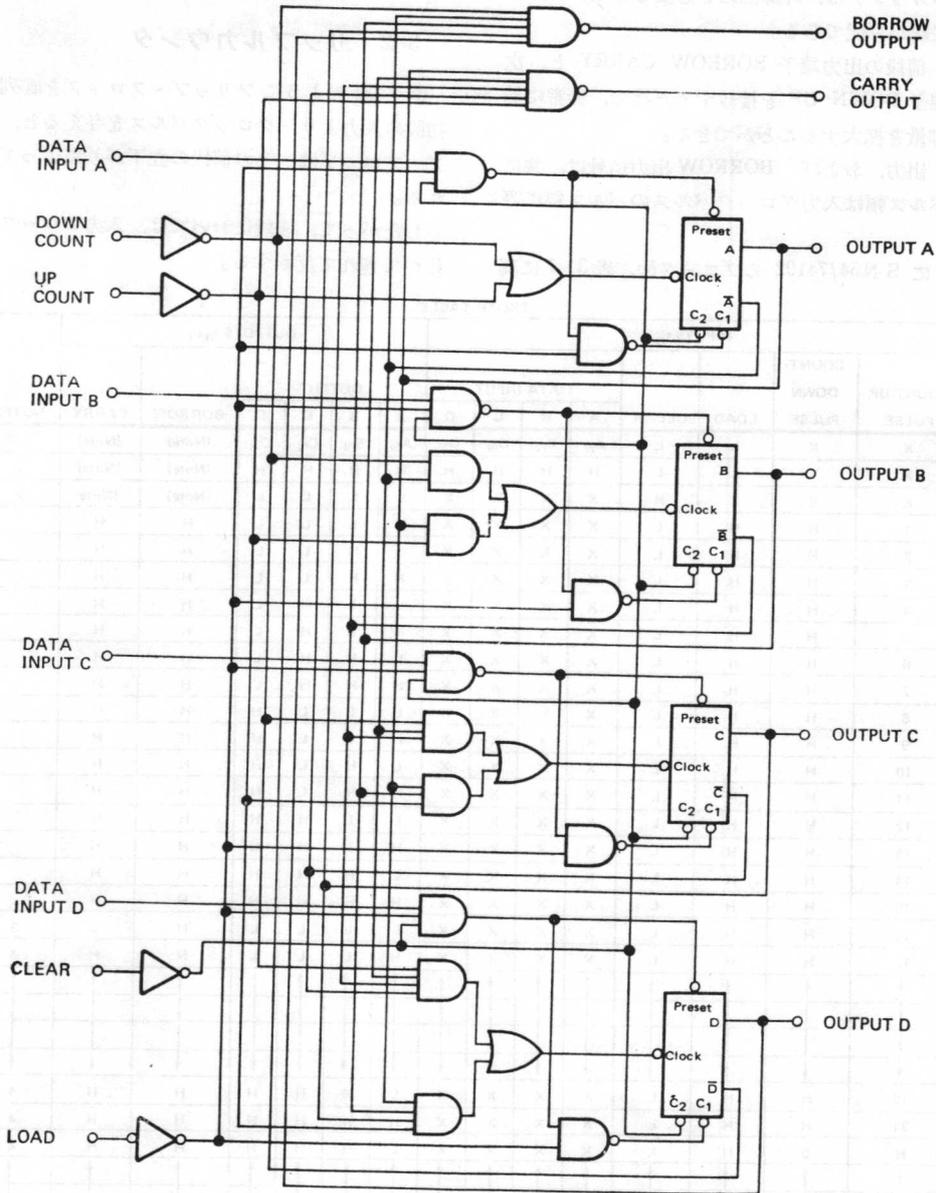
SN74193ブロック図

functional block diagram

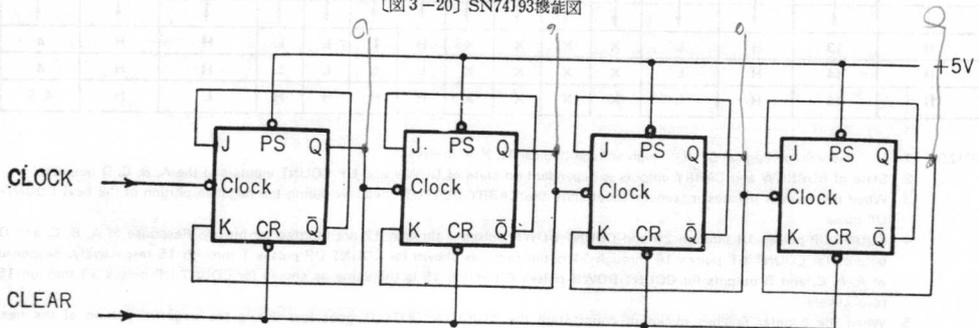


〔図3-18〕SN74192機能図

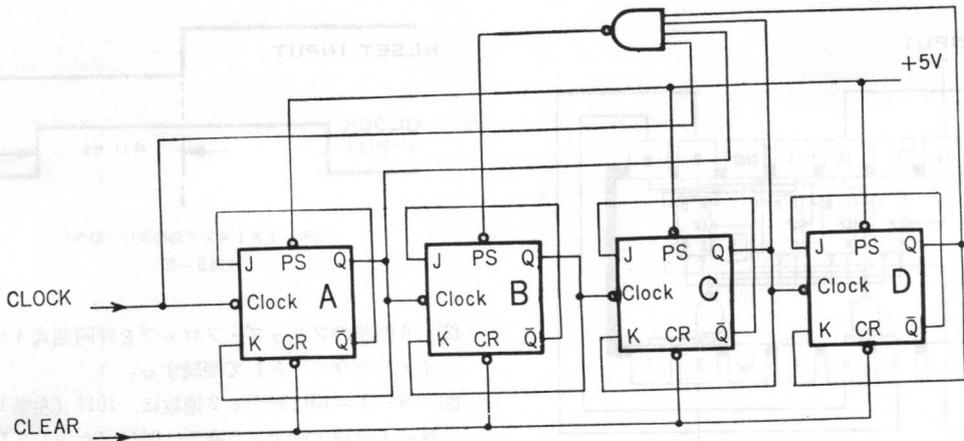
functional block diagram



【図3-20】SN74193機能図



【図3-21】SN7476による4ビット バイナリ リップルカウンタ



〔図3-22〕SN7476による14進リプルカウンタ

このようなタイプのカウンタを、リプル・カウンタ（非同期式カウンタ）と呼んでいる。ここでは、SSI フリップ・フロップを用いる場合、および SN54/7490 92 93 を用いる場合のN進リプル・カウンタについて述べる。

3-2-1 フリップ・フロップによるリプルカウンタ

フリップ・フロップを用いたN進のリプル・カウンタは、簡単な構成であるためよく利用される。Nが偶数か奇数かによって若干構成方法が異なるが、いずれも、次のような手順によってN進のリプル・カウンタが設計できる。

1. N進カウンタの数Nを決めたら必要なフリップ・フロップの回路数を次式にて求める。

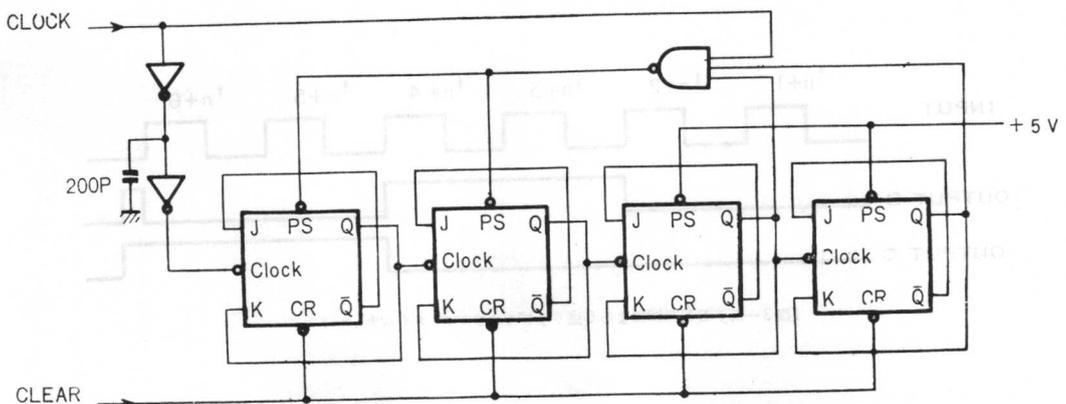
$$16 = \frac{2^{n-1}}{4} \leq N \leq \frac{2^n}{3} = 32$$

$$N = 5$$
2. n回路のフリップ・フロップを2ⁿ進のリプルカウンタとして接続する。すなわち、各段ごとにフリッ

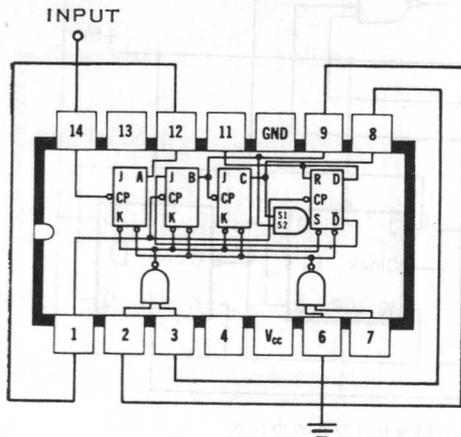
プ・フロップのJ-Q、K-Qの接続を行ない、前段のフリップ・フロップのQと、次段のクロック入力を接続する（図3-22参照）。

3. N-1に対する2進数を求める。
 4. N-1のとき、“1”状態にある全フリップ・フロップのQとNANDゲートの各入力を接続する。同時に、NANDゲートの入力に入力クロックを入れる。ただし、Nが偶数のときは、入力クロックを直接NANDゲートに印加し、奇数のときは、入力クロックを若干遅らせた信号をNANDゲートに与える。
 5. NANDゲート出力を、N-1のとき“0”の状態のフリップ・フロップのプリセット入力に接続する。
- 以上の手順を具体的に説明するために、14進（N=14偶数）および、13進（N=13奇数）のリプル・カウンタを設計してみる。

- (1) N=14に対しては、n=4 N=13に対してもn=4すなわち、いずれも4回路のフリップ・フロップを必要とする。



〔図3-23〕SN7476による13進リプルカウンタ

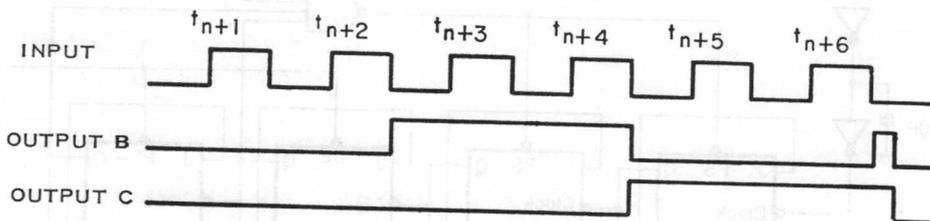


SN7490による6進リプルカウンタ
〔図3-24〕

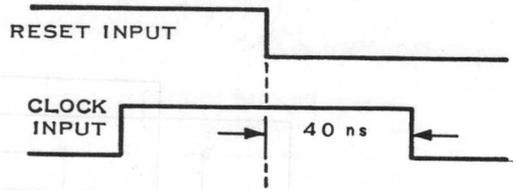
CLOCK PULSE	OUTPUT			
	A	B	C	D
t_n	0	0	0	0
t_{n+1}	1	0	0	0
t_{n+2}	0	1	0	0
t_{n+3}	1	1	0	0
t_{n+4}	0	0	1	0
t_{n+5}	1	0	1	0
t_{n+6}	0/0	1/0	1/0	0/0

SN7490による6進リプルカウンタ
状態図表

<表3-9>



〔図3-25〕SN7490による6進リプルカウンタ タイムチャート

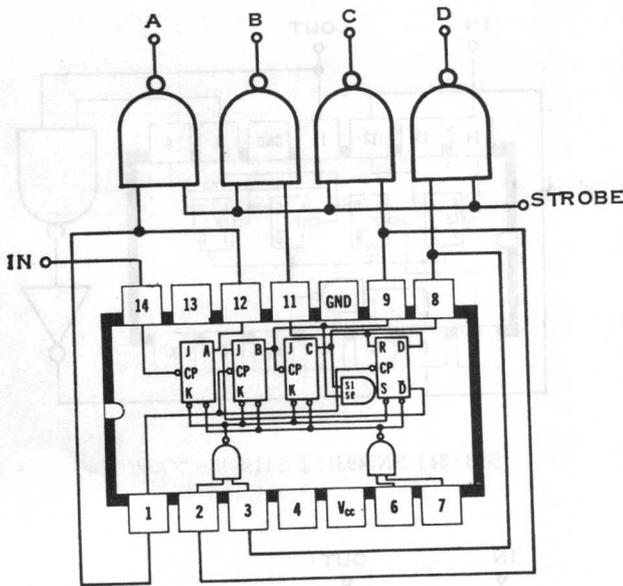


リセットタイミング必要条件 (標準)
〔図3-26〕

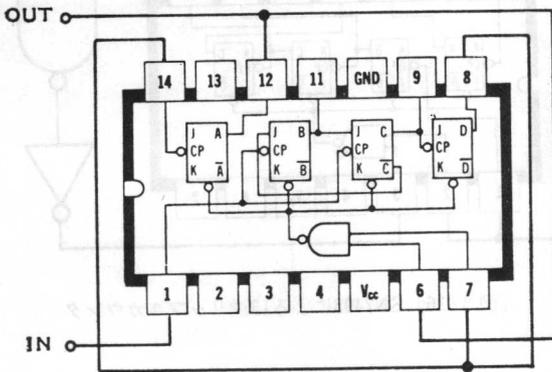
- (2) 4回路のフリップ・フロップを非同期式4ビットバイナリカウンタとして接続する。
- (3) $N-1=13$ に対する2進数は、1011 (左端LSB)
 $N-1=12$ に対する2進数は0011 (左端LSB)
- (4) $N=14$ に対しては、1, 3および4段目のフリップ・フロップのQと4入力NANDゲートの3つの入力を接続し、もう1つのNAND入力に入力クロックパルスを与える。 $N=13$ に対しては、3段目と4段目のフリップ・フロップのQと、3入力のNANDゲートの2つの入力を接続し、入力クロックパルスをインバータ2段通して、NANDゲートの残りの入力に与える。
- (5) $N=14$ の場合には、4入力NANDゲートの出力を2段目のフリップ・フロップのプリセット入力に接続する。

$N=13$ では、3入力NANDゲート出力を初段および2段目のフリップ・フロップのプリセット入力に接続する。

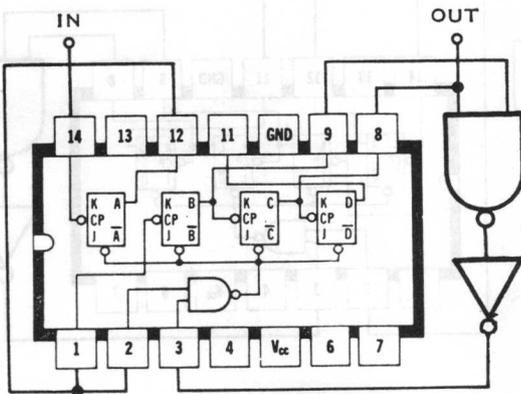
このようにして得られた $N=14$ および $N=13$ の具体的回路を図3-22及び図3-23に示す。図3-23のインバータ2段の間のコンデンサは、遅延を有効にするために挿入されたものである。



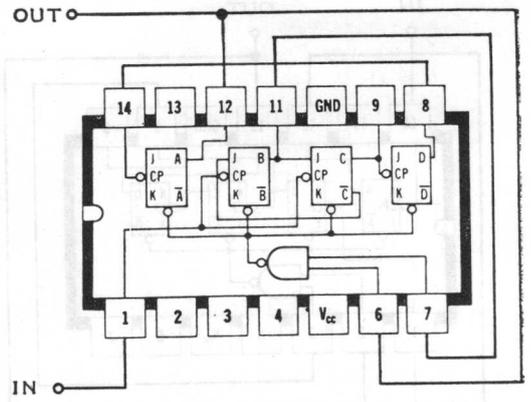
〔図3-27〕 パッファ出力付6進リプルカウンタ



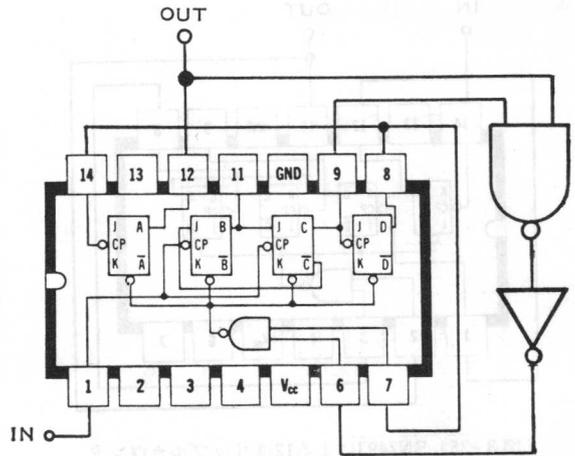
〔図3-29〕 SN7492による9進リプルカウンタ



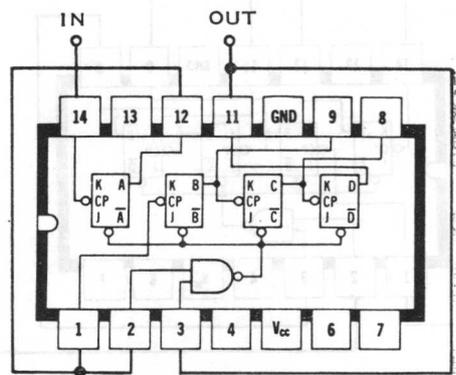
〔図3-31〕 SN7493による7進リプルカウンタ



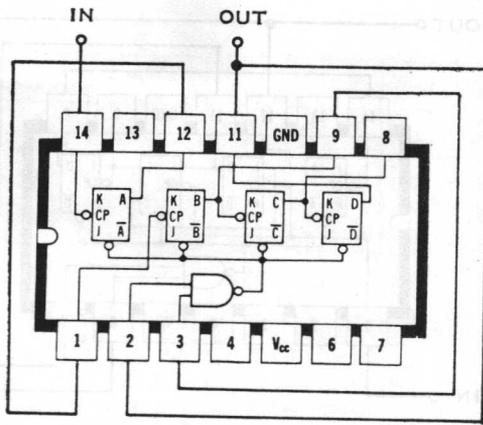
〔図3-28〕 SN7492による7進リプルカウンタ



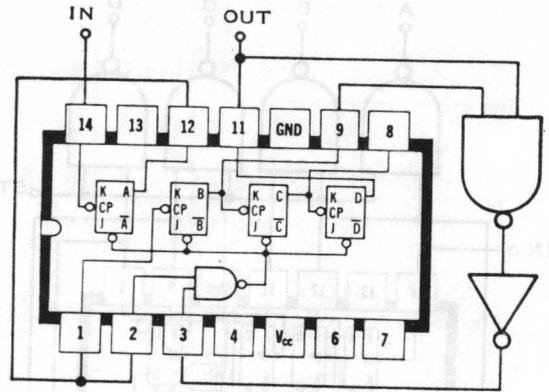
〔図3-30〕 SN7492による11進リプルカウンタ



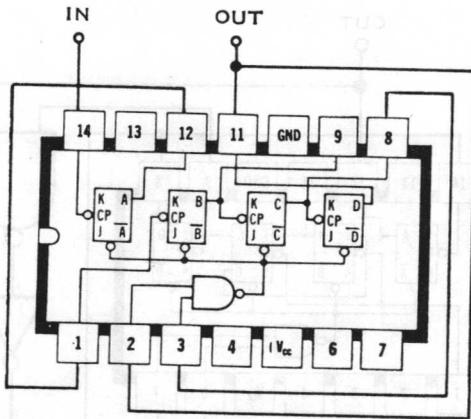
〔図3-32〕 SN7493による9進リプルカウンタ



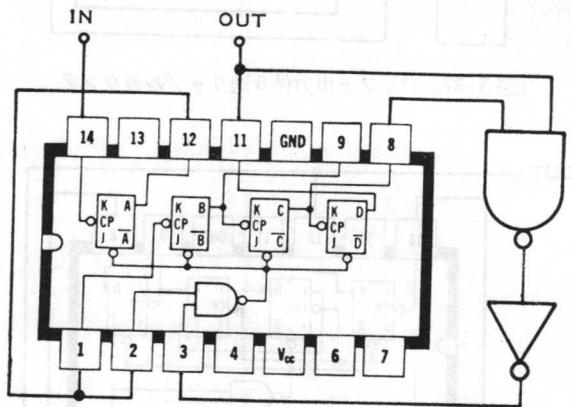
〔図3-33〕 SN7493による10進リプルカウンタ



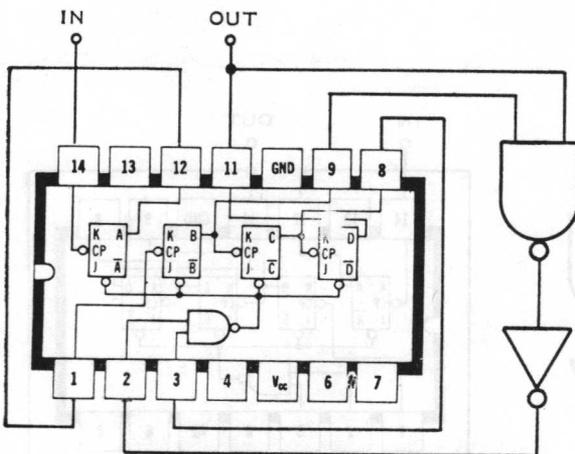
〔図3-34〕 SN7493による11進リプルカウンタ



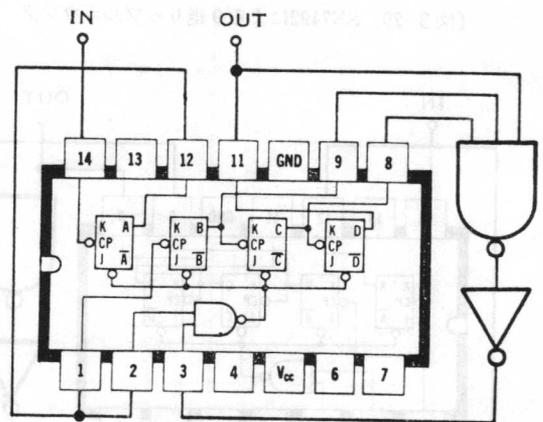
〔図3-35〕 SN7493による12進リプルカウンタ



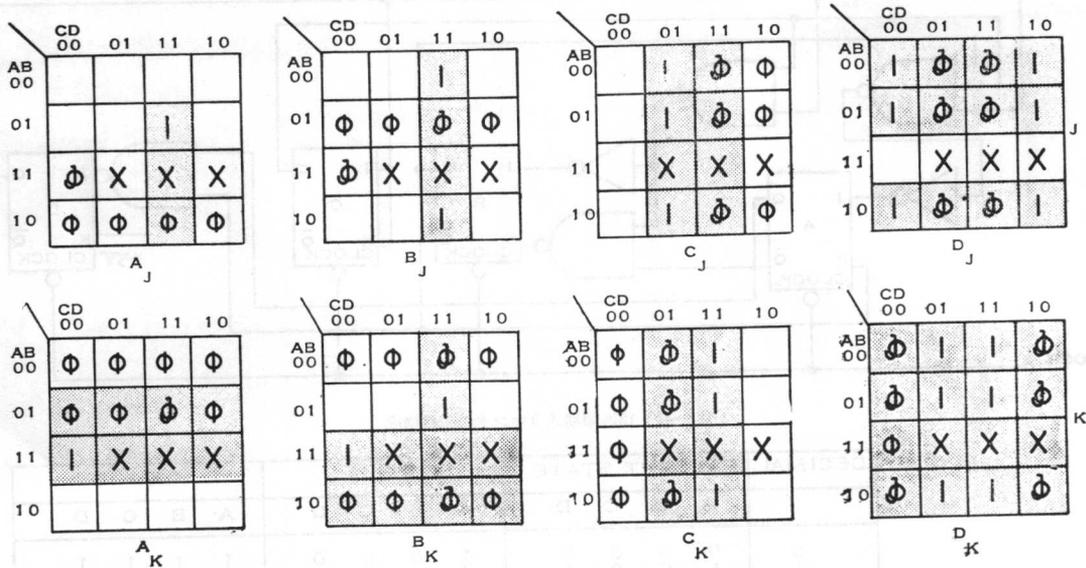
〔図3-36〕 SN7493による13進リプルカウンタ



〔図3-37〕 SN7493による14進リプルカウンタ



〔図3-38〕 SN7493による15進リプルカウンタ



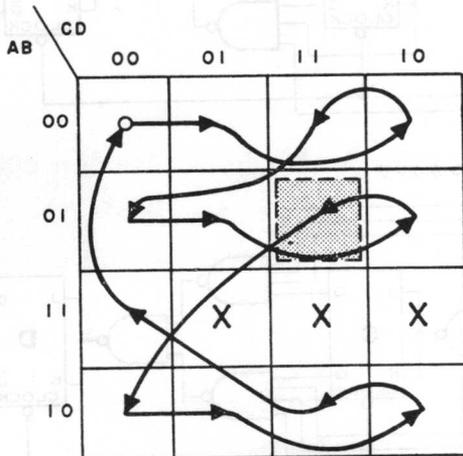
〔図3-40〕13進同期式カウンタのJ-K入力に対するNEXT-STATE図表

3-2-2 SN54/7490, 92および93による

リップルカウンタ

DECIMAL	PRESENT STATE				NEXT STATE			
	A	B	C	D	A	B	C	D
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	1	1	0	1
7	0	1	1	1	1	1	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	1	1	1	0
11	1	0	1	1	1	1	0	0
12	1	1	0	0	0	0	0	0

13進同期式カウンタの状態図表
〈表3-10〉



13進同期式カウンタのトランジション図表
〔図3-39〕

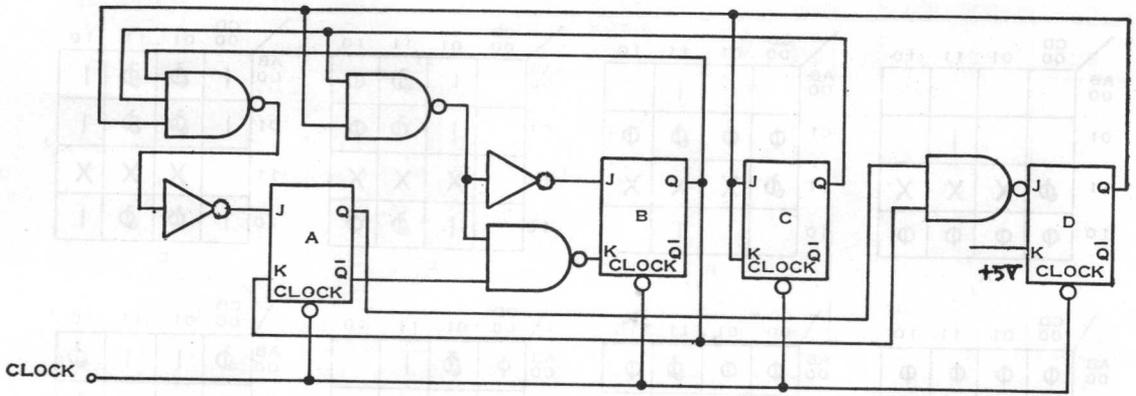
SN54/7490, 92および93は、3-1項に述べたようにMSIのリップルカウンタである。これらを用いて本来のカウンタサイクルから任意のカウンタサイクルを持ったリップルカウンタを作ることができる。すなわちA, B, C, Dフリップ・フロップ出力により、希望のサイクル長に対応したデコード出力を作り、これをクイヤ入力に印加する。

例えばSN54/7490を使用して、6進のリップルカウンタを構成した例が図3-24で、この動作タイムチャートおよび状態図表をそれぞれ図3-25および表3-9に示す。このようなカウンタの最高カウンタ周波数は、図3-26に示したクイヤパルスとクロックパルスの条件から決まる。

また、この6進リップルカウンタのデコード出力が欲しい、あるいは、A, B, C, D各出力から重い負荷を駆動したい場合、または、A, B, C, Dの負荷が一樣でない場合には、図3-26に示したようにバッファゲートを挿入して、このような要求に応ずるようにすればよい。図3-27~図3-38にSN7492およびSN7493を使用したN進(N≤15)リップルカウンタの構成例を示す。これらのカウンタはいずれも、前述の原則にしたがって、カウンタを構成したものである。

3-3 同期式カウンタ

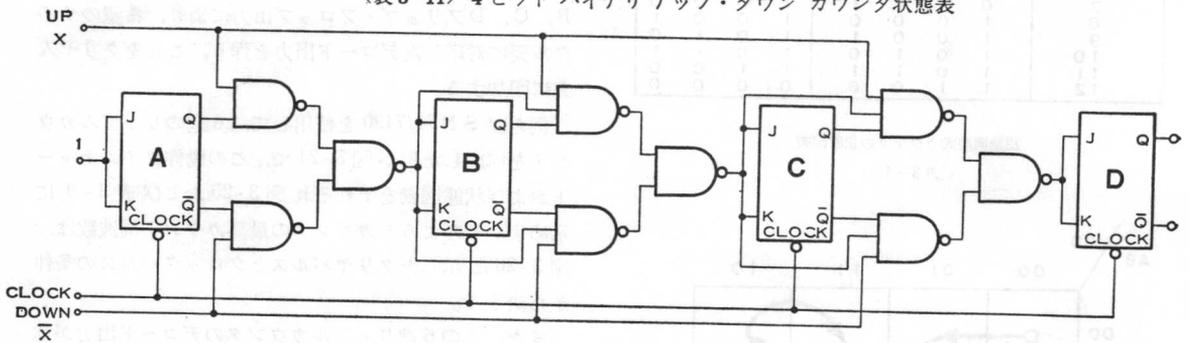
3-2項で説明したリップルカウンタは、フリップ・フロップの直列接続段数によって出力の入力クロックパ



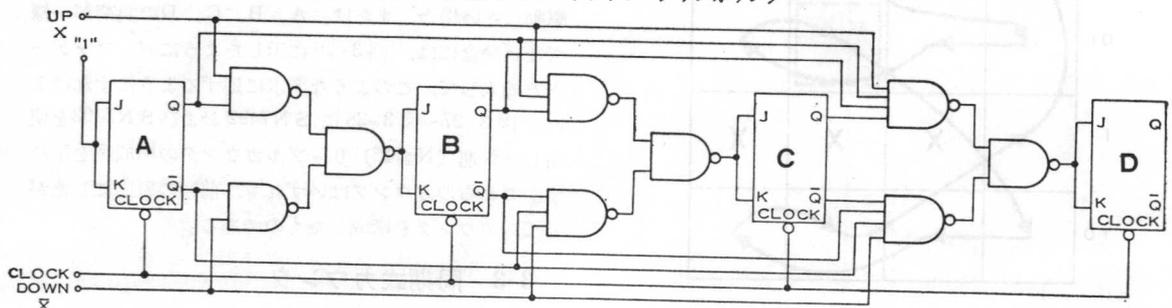
〔図3-41〕13進同期式カウンタの回路構成

DECIMAL	PRESENT STATE				X = 1				X = 0			
	A	B	C	D	A	B	C	D	A	B	C	D
0	0	0	0	0	1	0	0	0	1	1	1	1
1	1	0	0	0	0	1	0	0	0	0	0	0
2	0	1	0	0	1	1	0	0	1	0	0	0
3	1	1	0	0	0	0	1	0	0	0	0	0
4	0	0	1	0	1	0	1	0	1	0	0	0
5	1	0	1	0	0	1	1	0	0	1	0	0
6	0	1	1	0	1	1	0	0	1	0	0	0
7	1	1	1	0	0	0	1	1	1	0	0	0
8	0	1	0	1	1	0	0	0	0	1	1	0
9	1	0	0	1	0	0	0	1	1	1	1	0
10	0	1	1	0	1	1	0	0	0	0	0	1
11	1	1	0	1	0	1	1	1	1	1	1	1
12	0	1	1	1	1	0	1	1	1	0	0	1
13	1	0	0	1	0	1	1	1	1	1	0	1
14	0	1	1	1	1	1	1	1	1	0	1	1
15	1	1	1	1	0	0	0	0	1	0	1	1

〈表3-11〉4ビット バイナリ アップ・ダウン カウンタ状態表



〔図3-42〕シリアル キャリ一型同期式4ビットアップ・ダウンカウンタ

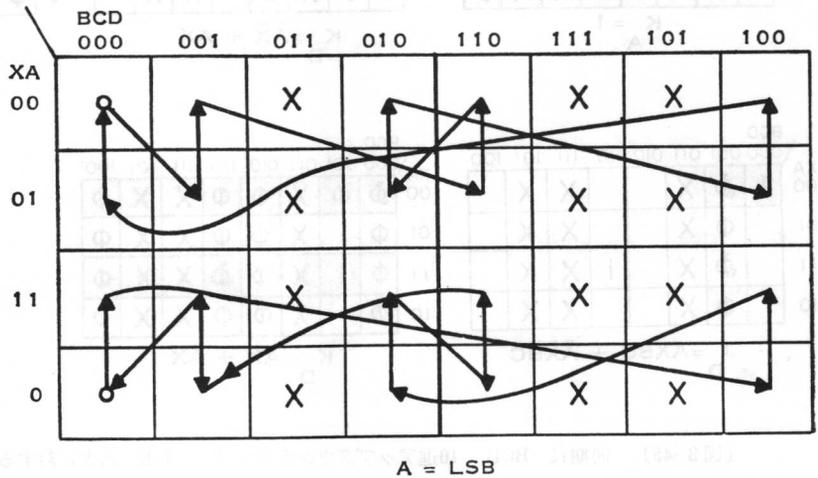


〔図3-43〕. パラレル キャリ一型同期式4ビットアップ・ダウンカウンタ

DEC.	PRESENT STATE				NEXT STATES							
					X = 1				X = 0			
	D	C	B	A	D	C	B	A	D	C	B	A
0	0	0	0	0	0	0	0	1	1	0	0	1
1	0	0	0	1	0	0	1	0	0	0	0	0
2	0	0	1	0	0	0	1	1	0	0	0	1
3	0	0	1	1	0	1	0	0	0	0	1	0
4	0	1	0	0	0	1	0	0	0	0	1	1
5	0	1	0	1	0	1	1	0	0	1	0	0
6	0	1	1	0	0	1	1	1	0	1	0	1
7	0	1	1	1	1	0	0	0	0	1	1	0
8	1	0	0	0	1	0	0	0	1	0	1	1
9	1	0	0	1	0	0	0	0	1	0	0	0

X = 1 (COUNT UP)
X = 0 (COUNT DOWN)

〈表3-12〉同期式BCD10進アップダウンカウンタ状態表



〔図3-44〕同期式BCD10進アップダウンカウンタ トランジション図表

ルスに対する遅れが変わり、各フリップ・フロップ出力から直接デコードしようとする、デコードスパイクが出る、あるいは、動作周波数をあまり高くできないなどの欠点を持っていた。

これに対し、同期式カウンタは使用するフリップ・フロップの段数に関係なく全てのフリップ・フロップが入力クロックに対して同時に動作するように回路が構成されるもので、リップルカウンタの欠点を除去できる。ただし、同期式N進カウンタでは同じN進リップルカウンタに比べて、若干回路構成エレメントが増加する欠点があり、設計手順も面倒になるうらみがある。

3-3-1 フリップ・フロップによる同期式バイナリカウンタ

i) 13進同期式バイナリカウンタ

同期式バイナリカウンタの設計手順を説明するために13進の場合を例にする。

1. 13進であるからフリップ・フロップは4回路必要である。

2. 表3-10に示したように、希望するコードで希望したサイクル長の状態図表を作成する。

3. 図3-39に示したようにカルノー図表に対応したトランジション図表を作る。

4. フリップ・フロップA, B, CおよびDのJK入力各々について、状態図表のNEXT STATEに対応したカルノー図表をトランジション図表の順序にしたがって、図3-40のように合計8箇を作成する。

例えば、カウンタが、0111の状態から、次の1000になるとき、フリップ・フロップAのJ(A_J)には、“1”をK(A_K)は“1”または“0”(Aフリップ・フロップは“0”→“1”の反転であるため、この入力条件はJ-Kフリップ・フロップの真理値表を満足するように決める)を与える。

フリップ・フロップBのJ(B_J)には、“1”または

		BCD							
		000	001	011	010	110	111	101	100
XA	00	1	1	X	1	1	X	X	1
	01	Φ	Φ	X	Φ	Φ	X	X	Φ
	11	Φ	Φ	X	Φ	Φ	X	X	Φ
	10	1	1	X	1	1	X	X	1

INPUT EQUATIONS

$$J = 1$$

$$K = A$$

		BCD							
		000	001	011	010	110	111	101	100
XA	00		1	X	1	Φ	X	X	Φ
	01			X		Φ	X	X	Φ
	11	1		X	1	Φ	X	X	Φ
	10			X		Φ	X	X	Φ

$$J = AX\bar{D} + \bar{A}\bar{X}D + \bar{A}\bar{X}C$$

$$K = B$$

		BCD							
		000	001	011	010	110	111	101	100
XA	00		1	X	Φ	Φ	X	X	
	01			X	Φ	Φ	X	X	
	11			X	Φ	Φ	X	X	1
	10			X	Φ	Φ	X	X	

$$J = \bar{A}\bar{X}D + AXB$$

$$K = C$$

		BCD							
		000	001	011	010	110	111	101	100
XA	00	Φ	Φ	X	Φ	Φ	X	X	Φ
	01	1	1	X	1	1	X	X	1
	11	1	1	X	1	1	X	X	1
	10	Φ	Φ	X	Φ	Φ	X	X	Φ

$$K = 1$$

$$A$$

		BCD							
		000	001	011	010	110	111	101	100
XA	00	Φ	Φ	X	Φ	1	X	X	1
	01	Φ	Φ	X	Φ		X	X	
	11	Φ	Φ	X	Φ	1	X	X	1
	10	Φ	Φ	X	Φ		X	X	

$$K = \bar{A}\bar{X} + AX$$

$$B$$

		BCD							
		000	001	011	010	110	111	101	100
XA	00	Φ	Φ	X	1		X	X	Φ
	01	Φ	Φ	X			X	X	Φ
	11	Φ	Φ	X		1	X	X	Φ
	10	Φ	Φ	X			X	X	Φ

$$K = \bar{A}\bar{X}\bar{B} + AXB$$

$$C$$

		BCD							
		000	001	011	010	110	111	101	100
XA	00	1	Φ	X			X	X	
	01		Φ	X			X	X	
	11		Φ	X		1	X	X	
	10		Φ	X			X	X	

$$J = AXBC + \bar{A}\bar{X}\bar{B}\bar{C}$$

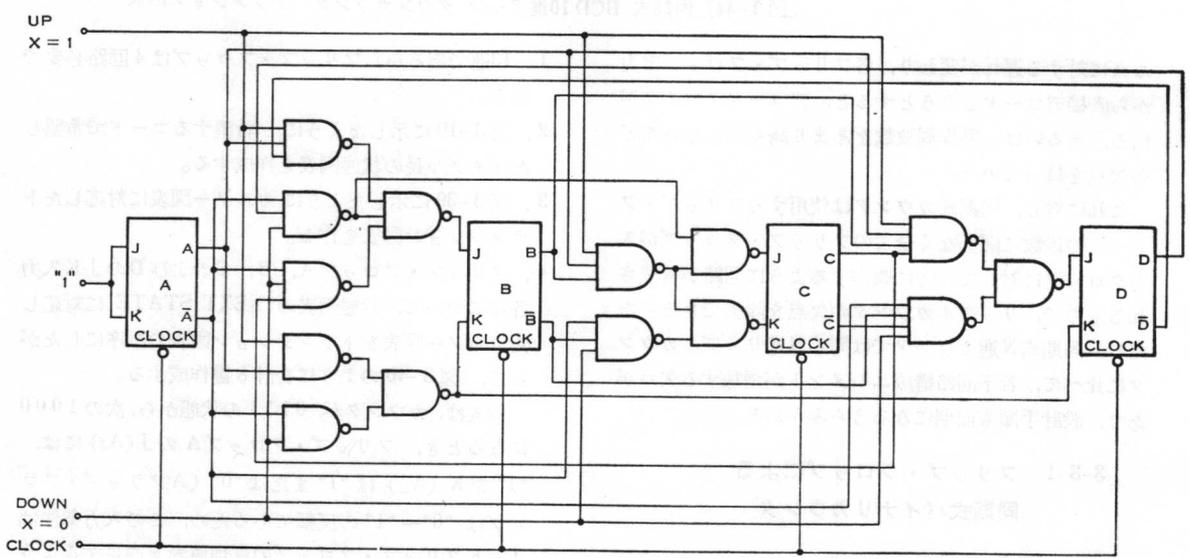
$$D$$

		BCD							
		000	001	011	010	110	111	101	100
XA	00	Φ	Φ	X	Φ	Φ	X	X	Φ
	01	Φ		X	Φ	Φ	X	X	Φ
	11	Φ	1	X	Φ	Φ	X	X	Φ
	10	Φ		X	Φ	Φ	X	X	Φ

$$K = \bar{A}\bar{X} + AX$$

$$D$$

〔図3-45〕 同期式 BCD 10進アップダウンカウンタ J-K 入力に対する NEXT-STATE図表



〔図3-46〕 同期式 BCD 10進アップ ダウンカウンタ回路構成

“0” (Bフリップ・フロップが“1”→“0”の反転のため) K (B_K) は“1”となるように、また C_J は“1”または“0” D_K は“1”を与える。また、例えばカウンタが1100から0000の状態になるときは A_J = “0”または“1”, A_K = “1”, B_J = “0”または“1”, B_K = “1”, C_J = “0”, C_K = “0”または“1” (フリップ・フロップCは変化しないで“0”のままであるからJ-Kフリップ・フロップの真理値表にしたがってJ, K入力には、上述のように入力を与える。) また、フリップ・フロップDも同様に、 D_J = “0”, D_K = “0”または“1”を与える。

ただし、図3-40のカルノー図表中のPRESET STATEからNEXT STATEになるとき、フリップ・フロップの内容が変化しないので、JまたはK入力としては、“1”または“0”のいずれの入力でもよいことを意味している。また、 \bar{J} はフリップ・フロップの内容が変化するのであるが、J, K入力としては“0”または“1”のいずれでもよいことを意味している。

また、XはDECIMALで13, 14, 15の状態を示し、実際には存在しない状態であるので、カルノー図表では、“0”または“1”のいずれでもよいことを意味している。

5. 上のようにして得た8箇のカルノー図表を単純化してA, B, CおよびDフリップ・フロップのJおよびK入力に対する論理演算式が求められる。即ち

$$\begin{aligned} A_J &= B \cdot C \cdot D & A_K &= B \\ B_J &= C \cdot D & B_K &= C \cdot D + A \\ C_J &= D & C_K &= D \\ D_J &= \bar{A} + \bar{B} = \overline{A \cdot B} & D_K &= 1 \end{aligned}$$

6. 5で得られた論理式を回路構成として組む。同時に入力クロックパルスを全フリップ・フロップの入力にバラに与える。

以上のように手順によって設計された13進の同期式バイナリカウンタの回路を図3-41に示す。

- ii) 同期式4ビットバイナリ、アップ・ダウンカウンタ
表3-11は同期式4ビットのバイナリアップ・ダウンカウンタの状態表であって、図3-42および図3-43は、それぞれシリアルキャリー型同期式4ビットバイナリアップ・ダウンカウンタ、および、パラレルキャリー型同期式4ビットバイナリアップ・ダウンカウンタである。
- iii) 同期式10進アップ・ダウンカウンタ
表3-12は、同期式BCDコード10進アップ・ダウンカウンタの状態図表である。また、図3-44はこのトランジション図表であり、図3-45はカルノー図表である。また、図3-46は同期式BCDコード10進アップ・ダウンカウンタの回路構成である。
ここに述べたアップ・ダウンカウンタはいずれも前の

13進同期式バイナリカウンタのところで説明した手順によって設計されたものである。

3-3-2 SN54/74160及び161による同期式カウンタ

SN54/74160およびSN54/74161は、それぞれ同期式10進カウンタおよび同期式4ビットバイナリカウンタで、いずれもデータのプリセットがクロック同期で行なえるようになっている。

したがって、これらのMSIカウンタを用いて任意のカウンタサイクルを持った同期式カウンタを作ることができる。以下に一例として、SN74161を使用した13進のカウンタの設計手順を説明する。

1. $N=13$ とし、 $N-1=12$ に対応した2進数を求める。即ち0011= Q_A, Q_B, Q_C, Q_D (左端LSB)
 2. 求めた2進数の“1”に対応する出力とNANDゲートの各入力を接続する。
 3. NANDゲート出力をLOAD入力で接続する。DATA入力A~Dは“0”を印加する。
 4. 他の制御入力、例えばCOUNT ENABLE P, TおよびCLEARは必要に応じて使用する。
- 以上のような手順で設計された13進の同期式カウンタを図3-47に示す。

3-3-3 SN54/74162及び163による同期式カウンタ

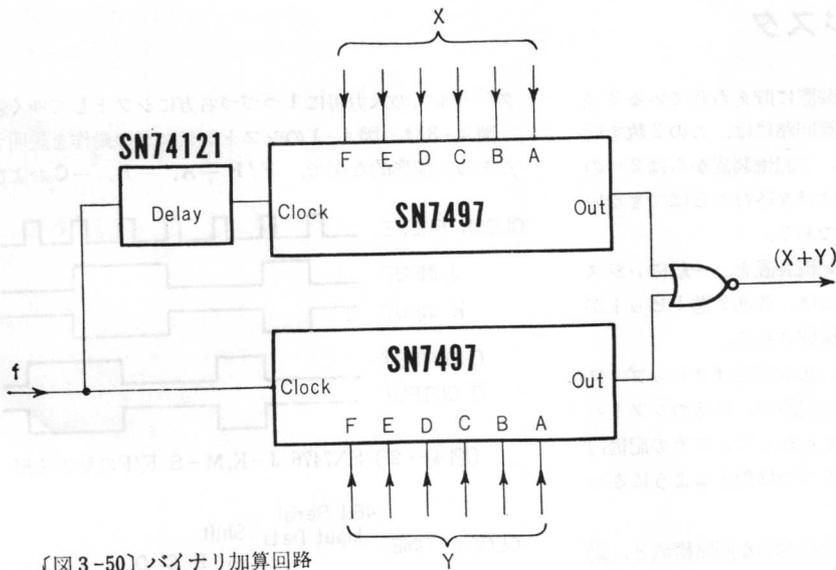
SN54/74162およびSN54/74163は、データのプリセットおよびクリアがクロック同期で行なえる同期式10進および4ビットバイナリカウンタである。これらのカウンタを用いて、任意のサイクル長を持った同期式カウンタを簡単に構成できる。

図3-48は、プリセット可能な同期式13進カウンタの例で3-3-2項と同じ手順によって設計されたものである。ただし、外部よりクリア可能なようにするために、CLEAR入力にNORを接続し、このNORゲートの一方の入力に0011= Q_A, Q_B, Q_C, Q_D なる状態を検出したAND (NANDおよびインバータ)の出力を接続している。

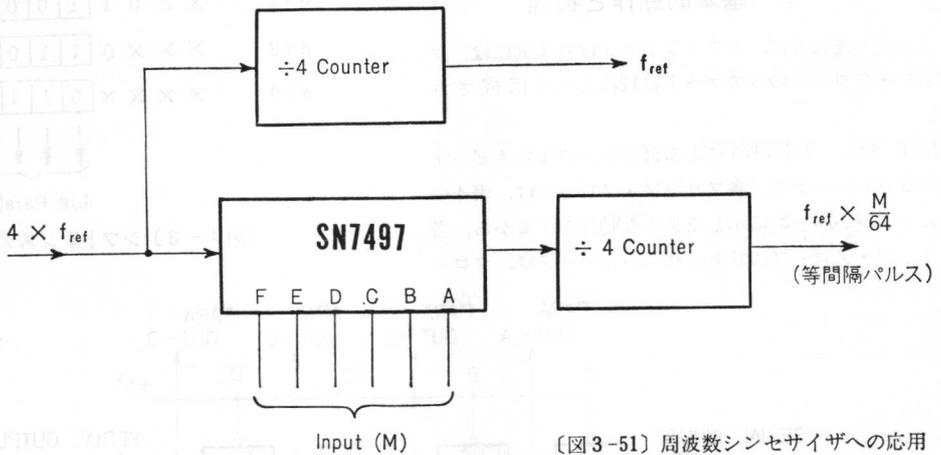
3-3-4 シフトカウンタおよびリングカウンタ

シフトカウンタ、リングカウンタとも同期式カウンタの一種であるが、前述したバイナリタイプのカウンタと異なり、シフトレジスタを使用して、カウンタを構成するものである。

このタイプのカウンタは、バイナリタイプのカウンタと比較して、サイクル長Nを簡単に変えることができコードもしやすいなどの特長をもち、興味のあるカウンタである。なお、シフトカウンタおよびリングカ



【図3-50】バイナリ加算回路



【図3-51】周波数シンセサイザへの応用

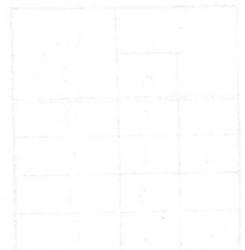
7497で $M/64$ にした後4の整数倍分の1にする方法である。

これによって、パルストレインは等間隔化される。

入力周波数として、 $4 \times n$ 倍の周波数を用いるとき、 n を大きくするほど出力パルストレインはより等間隔になる。

SN7497の応用として、前述した他に次のようなものが考えられる。

- i) 減算回路
- ii) 乗算回路
- iii) 除算回路



4. シフトレジスタ

例えば、計算機等の主記憶装置に貯えられている2つの数の加算を行なうとき、加算回路には、この2数を同時に与えなければならないが、主記憶装置からは2つの数を同時に読み出し、あるいは書き込むことはできないので、一語の記憶装置が必要である。

このような一語の一時的な記憶装置を、一般にレジスタと呼んでおり、ICの場合には、普通2進1ビットがフリップ・フロップ1回路で構成される。

そして、シフトレジスタは、基本的にはフリップ・フロップをカスケードに接続した回路で、外部のシフトパルス（クロックパルス）が与えられるごとにその記憶内容の記憶個所が同時に1ビットずつ移動するようになっているものである。

本項では、シフトレジスタの基本的な回路構成と、動作、種類、および、その応用などについて述べる。

4-1 シフトレジスタの

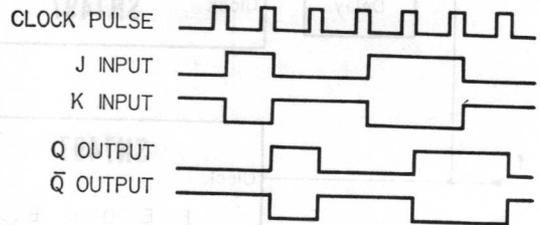
基本的動作と機能

上に述べたように、シフトレジスタは基本的には、フリップ・フロップのカスケード接続によって構成される。

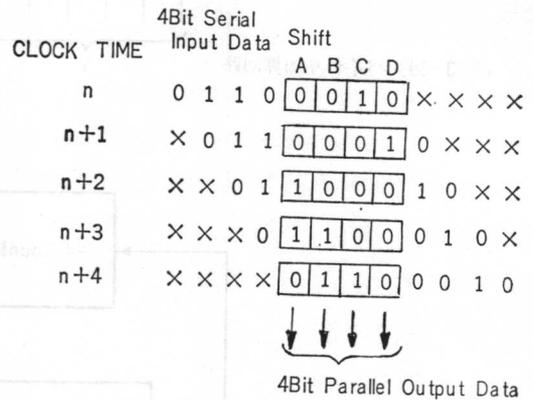
図4-1は、SN7476による最もシンプルな4ビットのシフトレジスタで、各フリップ・フロップは、表4-1、および図4-2に示したような動作をするから、各フリップ・フロップに貯えられているデータは、クロック

パルスの入力毎に1つつ右方にシフトしてゆく。

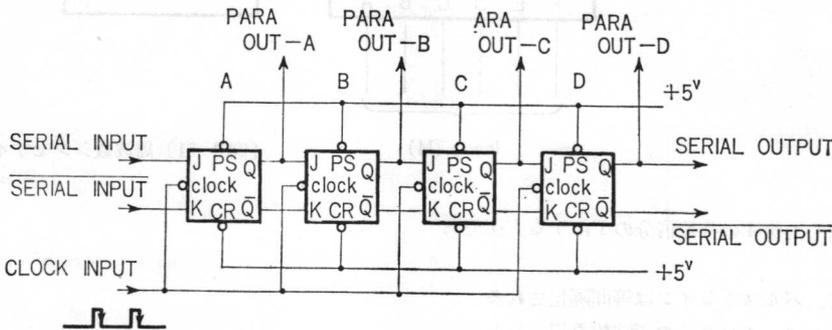
図4-3は、図4-1のシフトレジスタの動作を説明するための模形的な図で、F/F-A、-B、-Cおよび



〔図4-2〕SN7476 J-K, M-S F/Fの動作波形



〔図4-3〕シフトレジスタの動作説明図



〔図4-1〕SN7476によるシフトレジスタ

t_n		t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

〈表4-1〉SN7476 J-K, M-S F/F 真理値表

注

t_n : クロック パルス
印加前の時点

t_{n+1} : クロック パルス
印加後の時点

-DがそれぞれA、B、CおよびDと印したマス目に対応させてある。

図4-1のような接続の場合には、クロックごとにフリップ・フロップの内容は右方向にシフトするので、例えば、 n なる clock time において、図のようなデータが各フリップ・フロップに入っており、さらに後から0110なるデータがシリアルに入力されるとすれば、 $n+1$ 、 $n+2$ 、 $n+3$ および $n+4$ の clock time に

おいては、それぞれ図のような内容のデータが、各フリップ・フロップにたくわえられることになる。

したがって、図4-1のSERIAL INPUTからシリアルに入力したデータは、4クロック後にSERIAL OUTPUTからシリアルに出力される。

また、0110なるシリアル4ビットの入力データをn+1, n+2, n+3およびn+4なるクロックによってシフトさせると、n+4の時点では、A, B, CおよびDの各フリップ・フロップには、図のように、それぞれ0110なるデータが蓄積されるので、図4-1に示したシフトレジスタの平行出力PARA OUT-A, -B, -Cおよび-Dより平行4ビットのデータを取り出すことができる。

以上の説明から判るように、図4-1のようなシフトレジスタは、

- ① 4クロック間隔のデータ遅延
- ② シリアルデータ→平行変換
- ③ 4ビットのデータレジスタ

の基本的な機能を持っていることがわかる。

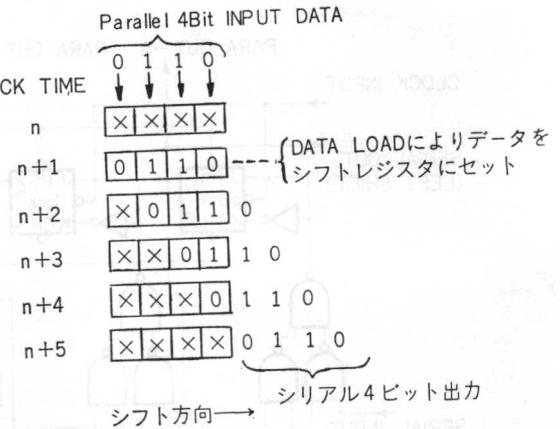
図4-4は、同じくSN7476を用いたシフトレジスタで、図4-1に示した回路に簡単な論理ゲートを追加して、フリップ・フロップのPreset,あるいは、clear入力から、4ビットのデータを平行に各フリップ・フロップに入力できるようにしたいいわゆる平行入力型シフトレジスタである。

4ビットの平行データを、それぞれPARA IN-A, -B, -Cおよび-Dに印加し、同時にDATA LOADに“1”を与えることにより、このデータは各フリップ・フロップに入力される。

次に、clock入力を与えることにより、SERIAL OUTPUTより、シリアルデータが得られる。この動作を図式的に示したものが図4-5である。

このようなシフトレジスタは、以上の説明からわかるように、

- ① 4クロック間隔のデータ遅延



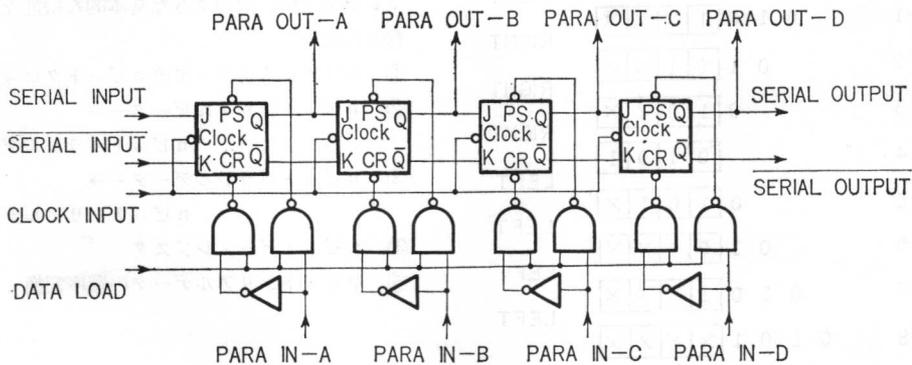
(図4-5) 図4-4の動作説明図

- ② 平行データ→シリアル変換
 - ③ 4ビットのデータレジスタ
- の機能を有することがわかる。

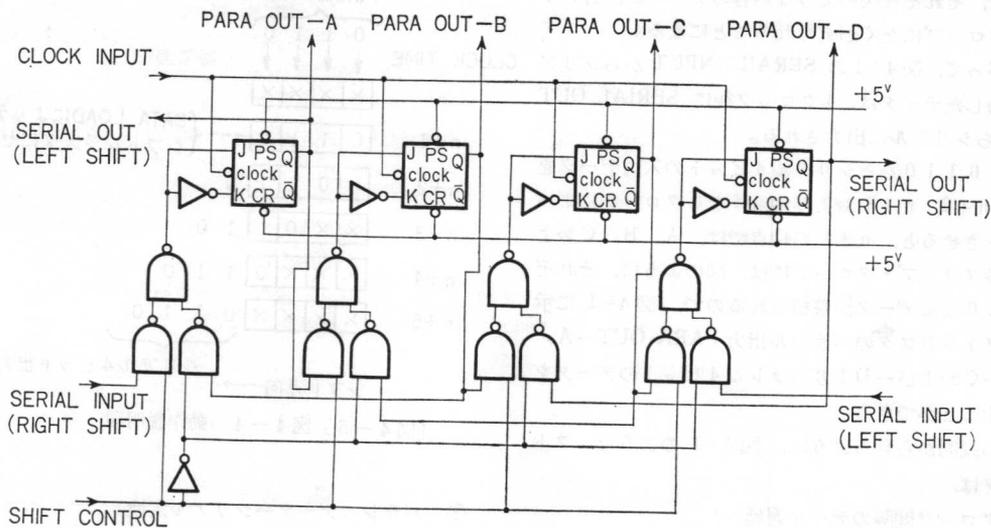
以上に述べたシフトレジスタは、いずれも、クロックパルスによるデータのシフト方向は、A→B→C→Dのように左から右へだけのいわゆるライトシフトレジスタであったが、図4-6に示したシフトレジスタは、制御信号(SHIFT CONTROL)によって、データは右または左のいずれの方向にもシフトさせることができるものである。

すなわち、SHIFT CONTROLに“1”を与えることにより、SERIAL INPUT (RIGHT SHIFT)から入力したシリアル入力データは、入力クロックパルスにしたがって、F/F-A→B→C→Dとライトシフトを行ない、SERIAL OUTPUT (RIGHT SHIFT)より出力される。

また、SHIFT CONTROLに“0”を加えれば、SERIAL INPUT (LEFT SHIFT)に印加したシリアルデータは、入力クロックパルスによってF/F-D→C→B→Aとシフトし、出力はSERIAL OUTPUT (LEFT SHIFT)より取り出すことができる。この動作の様子を例によ



(図4-4) SN7476による平行入力シフトレジスタ



〔図4-6〕 SN7476による左右シフトレジスタ

て図4-7に示す。この図から判るように、このライト／レフトシフトレジスタの特徴は、シリアル出力データのビット順序をシリアル入力データのビット順序と完全に入れ替えることができるという点である。

すなわち、まず、SHIFT CONTROLによって、ライトシフト動作し、クロックタイムnの時点から SERIAL IN (RIGHT SHIFT) に 1 0 1 0 の順序で、シリアルデータを入力すると、クロックタイムn+4の時点では、F/F-A, -B, -C および -D には、それぞれ 0, 1, 0, 1 なるデータが貯えられる。

次に、レフトシフト動作に切り換えて、蓄積データをシフトレフトすると、SERIAL OUT (LEFT SHIFT) にはクロックパルスごとに今度は 0 1 0 1 の順序でシリアル出力が得られる。

このデータは、前に入力したシリアルデータの順序を入れかえた形となっている。

CLOCK TIME	Serial Input (Right Shift)	Serial Output (Left Shift)	Shift Direction
n	0 1 0 1	× × × ×	RIGHT
n+1	0 1 0	1 × × ×	RIGHT
n+2	0 1	0 1 × ×	RIGHT
n+3	0	1 0 1 ×	RIGHT
n+4		0 1 0 1	LEFT
n+5	0	1 0 1 ×	LEFT
n+6	0 1	0 1 × ×	LEFT
n+7	0 1 0	1 × × ×	LEFT
n+8	0 1 0 1	× × × ×	LEFT

〔図4-7〕 図4-6のシフトレジスタの動作

以上の説明から、このようなライト レフト シフト レジスタは、

- ① 4クロック間隔の遅延
- ② シリアルデータ→パラレル変換
- ③ シリアルデータの順序変換

の基本的な機能を持っていることがわかる。

以上がシフトレジスタの基本的タイプと、その動作であるが、これらの他に、このような基本的なものを複合したシフトレジスタもある。

いずれも SSI (Small Scale Integration の IC, 例えば、ゲート、インバータ あるいは フリップ・フロップといった基本的な論理機能の IC) を使用して作ることができることは、既に述べたとおりであるが、TIでは現在いろいろな機能およびビット容量をもったタイプの MSI (Medium Scale Integration の IC) シフトレジスタを製造し、利用者に供給している。

いずれにしても、これらのnビットの容量を持つシフトレジスタは、次のような基本的な機能を持つことに留意されたい。

- ① シリアル入力データのnビットクロック間隔の遅延
- ② nビットシリアルデータ→
nビットパラレルデータ変換
- ③ nビットパラレルデータ→
nビットシリアルデータ変換
- ④ nビットデータレジスタ
- ⑤ nビットシリアルデータの順序変換

型名	機能	代表的特性		回路構成	動作波形
		最高シフト周波数	消費電力		
SN54/7491A	8ビットレジスタ	18MHz	175mW	図4-8	図4-9
SN54/7494	4ビットシフトレジスタ(パラレル入力, シリアル出力)	18MHz	175mW	図4-10	図4-11
SN54/7495	4ビットライト, レフトシフトレジスタ	31MHz	250mW	図4-12	図4-13
SN54/7496	5ビットシフトレジスタ(パラレル入力, パラレル出力)	20MHz	240mW	図4-14	図4-15
SN54/74164	8ビットシフトレジスタ(パラレル出力)	20MHz	180mW	図4-16	図4-17
SN54/74165	パラレルロード 8ビットシフトレジスタ	20MHz	230mW	図4-18	図4-19
SN54/74166	同期式パラレルロード8ビットシフトレジスタ	32MHz	360mW	図4-20	図4-21
SN54/74198	8ビットパラレルアクセス, ライト, レフトシフトレジスタ	32MHz	360mW	図4-22	図4-23
SN54/74199	8ビットパラレルアクセスシフトレジスタ	32MHz	360mW	図4-24	図4-25
SN54L/74L91	8ビットシフトレジスタ	6.5MHz	17.5mW	図4-8	図4-9
SN54L/74L95	4ビットライト, レフトシフトレジスタ	5MHz	19mW	図4-12	図4-13
SN54L/74L98	4ビットデータセクタ/ストレージレジスタ	5MHz	19mW	図4-26	図4-28
SN54L/74L99	4ビットライト, レフトシフトレジスタ	5MHz	25mW	図4-29	図4-30

<表4-2> MSIシフトレジスタ

4-2 MSIシフトレジスタ

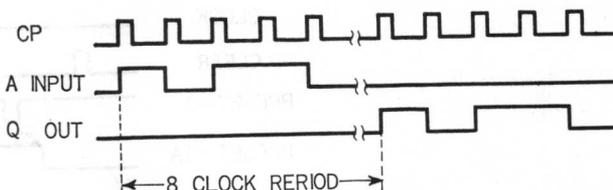
いかなるタイプのシフトレジスタでも、前に述べたように、フリップ・フロップ、ゲートあるいはインバータなどのいわゆるSSIの組み合わせによって作ることができるが、SSIによって構成する場合には、一般に

- ① 小型, 軽量化
- ② 工数の問題
- ③ 信頼性
- ④ 消費電力
- ⑤ 経済性

などの点で、MSIシフトレジスタに比較して不利である。このような問題に顧み、現在表4-2に示したようなタイプのTTL MSIシフトレジスタがTIから出されている。

以下、簡単にこれらのMSIシフトレジスタの回路構成と動作を説明する。

なお、近い将来この表に示された以外の各タイプのMSIシフトレジスタが用意される予定であるので、供給可能な時点で、別途これらの新製品の説明を行ないたい。

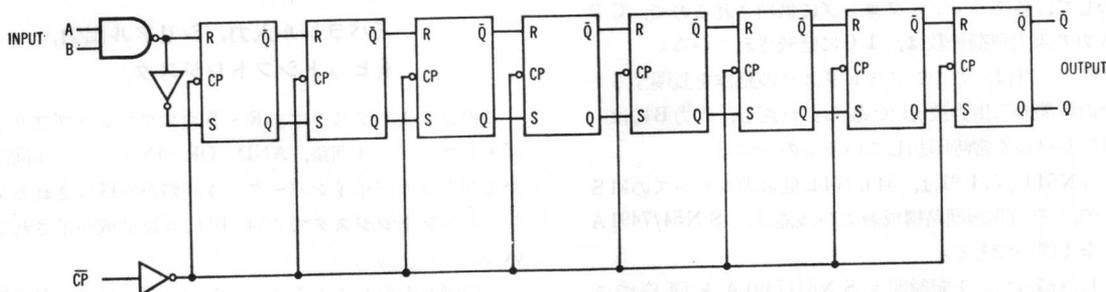


(図4-9) SN54/7491の動作例

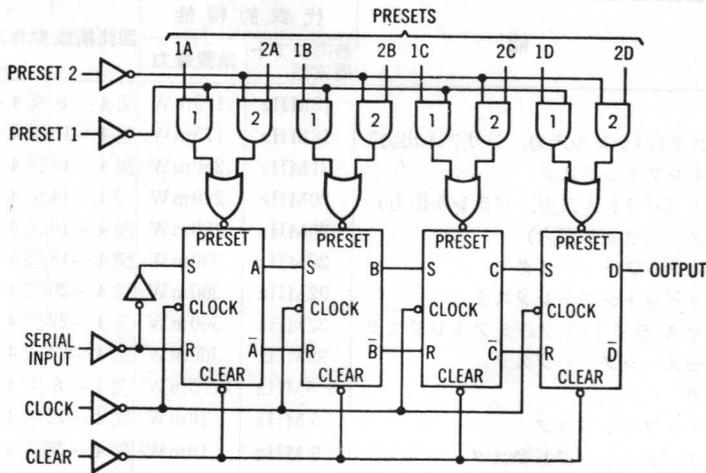
4-2-1 SN54/7491AおよびSN54L/74L91 (8ビットシフトレジスタ)

SN54/7491Aは図4-8の回路構成図から明らかのように、8個のR・Sマスタスレーブフリップ・フロップ、入力ゲートおよびクロックドライバ用インバータからなっており、8ビットのシリアル入力、シリアル出力、ライトシフトレジスタである。

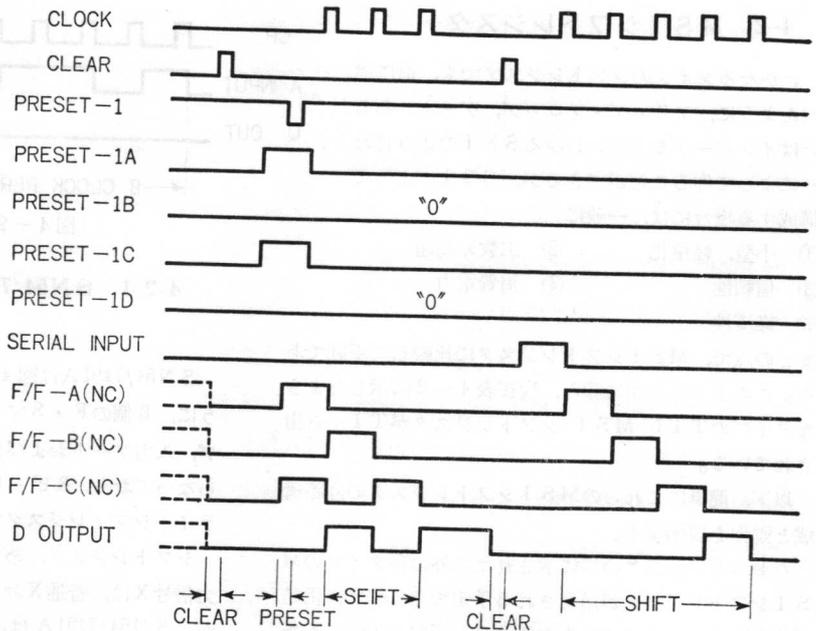
シフトレジスタ、あるいは、フリップ・フロップの入力信号Xは、普通Xおよびその否定入力Xを必要とするが、SN54/7491Aは、Xだけでよい。いわゆるシングルレールのデータ入力がよく、このデータは入力コントロールゲートによって制御できる。



(図4-8) SN54L/74L91及びSN54/7491Aの回路構成



〔図 4-10〕 SN54/7494の回路構成



〔図 4-11〕 SN54/7494の動作タイムチャート

また、クロックはクロックドライバ用インバータをと
おして、各フリップ・フロップに供給されるので、CP
入力の入力負荷係数は、1.0に軽減されている。

図 4-9 は、このシフトレジスタの動作を説明するた
めの各部の入出力波形である。ただし、入力 B には、
“1” レベルを常時印加しているものとする。

SN54L/74L91 は、54L/74L 低電力シリーズの MS
I で、その論理回路構成および機能は、SN54/7491A
と全く同一である。

したがって、上記説明も SN54/7491A と同じであ
る。

4-2-2 SN54/7494

(パラレル入力、シリアル出力、
4 ビットシフトレジスタ)

このシフトレジスタは、R・S マスタスレーブフリッ
プ・フロップ 4 回路、AND—OR—INV ゲート 4 回路
およびドライバ用インバータ 4 回路から構成されるシ
リアルシフトレジスタで図 4-10 に回路構成が示されて
いる。

この図からわかるように、パラレルデータ入力が可能
なシリアル入力シリアル出力タイプのライトシフトレジ

スタである。

したがって、パラレル—シリアル変換器として使用できる。また、このシフトレジスタをいくつかシリーズ接続すれば、 n ビットのデータレジスタとしても使用できる。

なお、CLEAR 入力に“1”レベルを与えることにより全てのフリップ・フロップは同時に“0”状態にクリアされる。したがって、クロック入力の状態に関係なくクリアされることになる。

また、各フリップ・フロップの PRESET に対応する2つのANDゲートのうちの片方のゲートの2つの入力を同時に“1”にすることにより、そのフリップ・フロップは“1”にプリセットされる。

すなわち、PRESET 2 が“0”レベルであっても、PRESET 1 に正のパルスが印加されている間は、PRESET 入力 1 A~1 Dからのデータの入力が可能である。

逆に、PRESET 1 が“0”で PRESET 2 が“1”の場合には、PRESET 入力 2 A~2 Dからデータが入力可能となる。

データの転送は、入力クロックパルスの立上がりエッジ（各フリップ・フロップに印加されるクロックでは立下がりエッジ）で行なわれる。

したがって、各フリップ・フロップのR・S入力には入力クロックパルスの立上がりエッジより前に、データが印加されている必要がある。

図4-11は、SN54/7494の動作を説明するための各部の波形である。

4-2-3 SN54/7495およびSN54L/74L95

(4ビットライトレフトシフト

レジスタ)

図4-12に示したように、SN54/7495は、R・Sマ

タスレブ フリップ・フロップ4回路、AND—OR—INVゲート4回路、AND—ORゲート1回路、および、インバタドライバ回路からなり、MODE CONTROLに“0”または“1”を印加することにより、シリアルまたはパラレルにデータを入力することができ、また、いくつかのSN54/7495をシリアルに接続して、 n ビットのライトシフトレジスタを構成することができる。

さらに、各Q出力をすぐ前のビットのパラレル入力に外部接続すれば、レフトシフトレジスタとすることもできる。

MODE CONTROL 入力に“0”を印加した場合には「1」と記入したANDゲートが開き、「2」のゲートは禁止される。

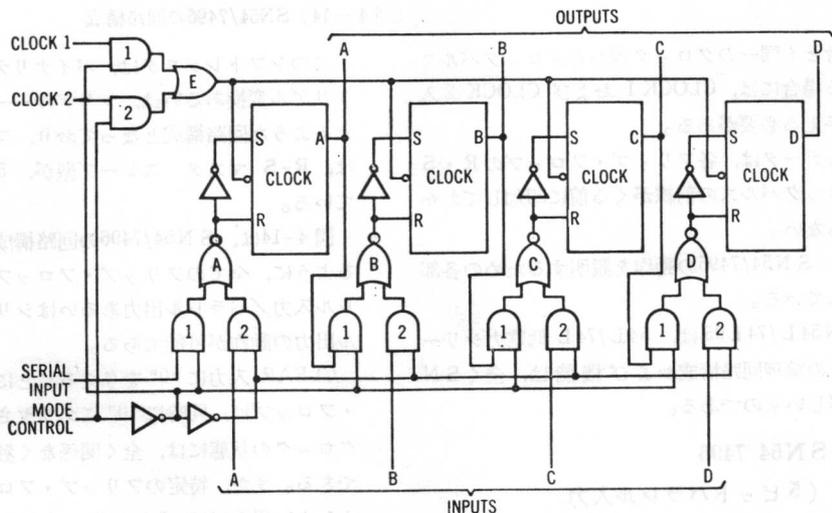
この場合、各フリップ・フロップのQ出力は、次段のフリップ・フロップのR-S入力に接続され、CLOCK 1入力からのクロックによって、ライトシフト動作が行なわれる。

そして、SERIAL INPUT よりシリアルデータが入力できる。CLOCK 2 およびパラレル入力 A~D は「2」のANDゲートにより動作が禁止される。

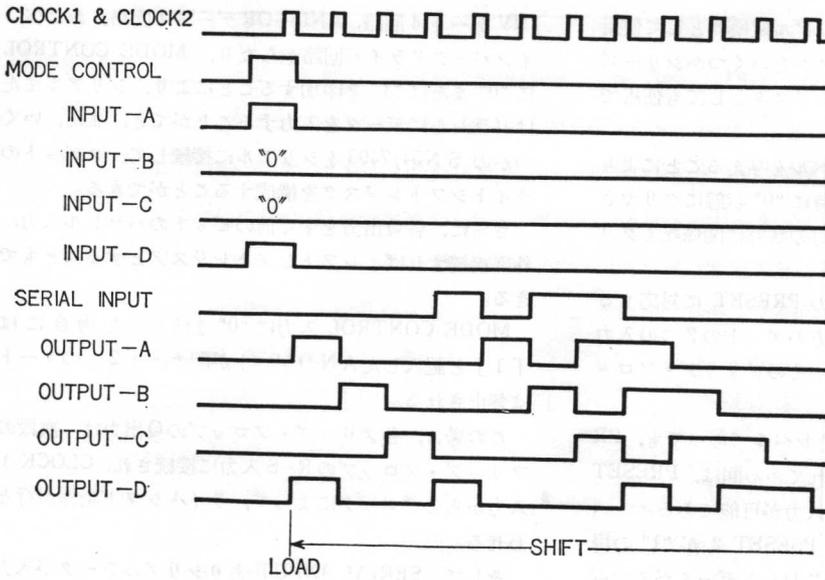
MODE CONTROL に“1”が印加された場合には、「1」のANDゲートからの入力は禁止され、ライトシフトを行なわせないために、Q出力と次段のR-S入力の接続は切断される。

そして、「2」のANDゲートが動作して、パラレル入力 A~D および CLOCK 2 が入力される。この動作モードは、データの平行入力、あるいは、外部接続によっては、レフトシフトの機能をもっている。

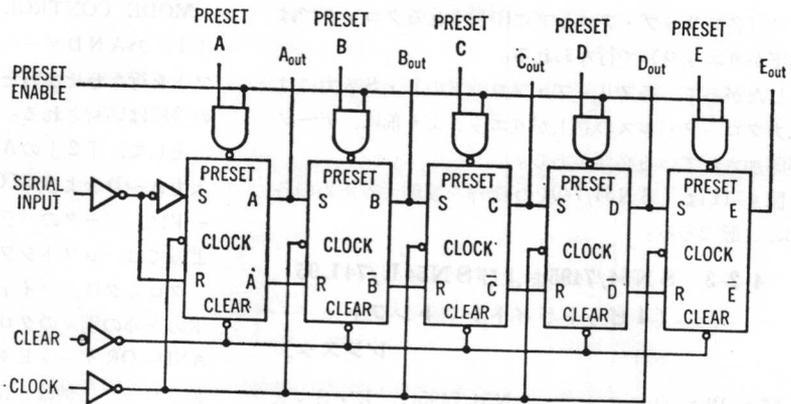
クロックは、ライトシフトあるいは、平行モードのための別々のクロック源から駆動できるように、AND—ORゲートEをとって、各フリップ・フロップのクロックに供給されるようになっているが、もし、両



〔図4-12〕SN54L/74L95及びSN54/7495の回路構成



〔図4-13〕SN54/7495の動作例



〔図4-14〕SN54/7496の回路構成

モードの場合とも同一のクロック源からクロックパルスが供給される場合には、CLOCK 1 および CLOCK 2 入力に共通に与える必要がある。

入力されるデータは、各フリップ・フロップの R・S 入力に、クロックパルスの前線がくる前に印加しておかなければならない。

図4-13は、SN54/7495の動作を説明するための各部の波形を示している。

なお、SN54L/74L95は、54L/74L 低電力シリーズMSIでその論理回路構成および機能は、全くSN54/7495に等しいものである。

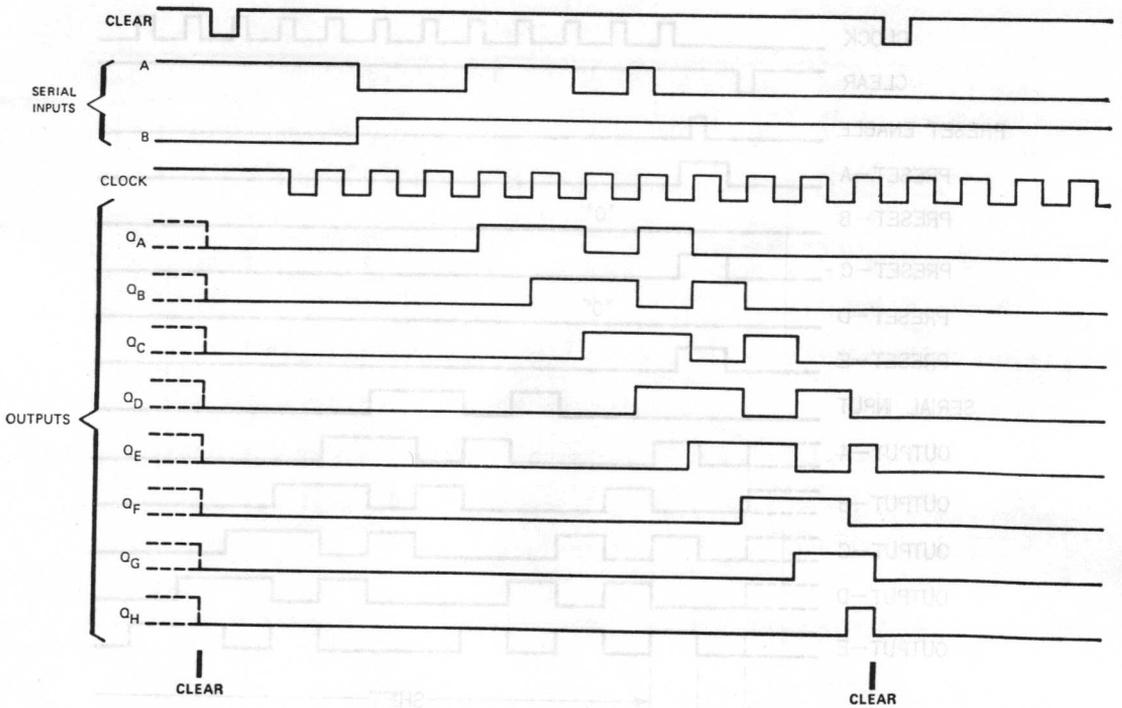
4-2-4 SN54/7496

(5ビット平行入力、
平行出力シフトレジスタ)

このシフトレジスタは、バイナリデータの平行シリアル変換あるいは、シリアル—平行変換ができるような回路構成となっており、フリップ・フロップは、R-S マスタ スレーブ型が、5回路から構成されている。

図4-14は、SN54/7496の回路構成で、これからわかるように、全てのフリップ・フロップの入出力は、平行入力/平行出力あるいはシリアル入力/シリアル出力の動作が可能である。

CLEAR 入力に“0”を与えることにより、全フリップ・フロップは、同時に“0”にクリアされる。この動作はクロックの状態には、全く関係なく独立に行なうことができる。また、特定のフリップ・フロップを“1”にセットしたい場合には、そのフリップ・フロップの PRESET および COMMON PRESET に同時に“1”を印加する必



〔図4-17〕 SN54/74164 の動作タイムチャート

要がある。

この COMMON PRESET 入力を設けたことによって、各々のフリップ・フロップに別々にデータをセットできるし、また、全フリップ・フロップに同時にデータをセットすることもできる。

情報は、CLOCK 入力に与えるフロックパルスが“0”→“1”になる時にトランスファされる。フリップ・フロップは R-S マスタ スレーブ型であるから、CLOCK 入力が立上るときには、すでに初段のフリップ・フロップの R-S 入力には、データの入力がなければならない。

そして、クロックパルスによって、このシリアル入力データは初段のフリップ・フロップにセットされ、出力にこのデータが現われる。

このようなシリアルデータをシフトさせる場合には、CLEAR 入力には“1”を印加し、各フリップ・フロップの PRESET 入力のうち片方は、必ず“0”にしておかなければならない。

図4-15は、この SN54/7496の動作を説明するためのタイムチャートである。

4-2-5 SN54/74164

(8ビットパラレル出力
シフトレジスタ)

図4-16に示した回路構成図からわかるように、この8ビットシフトレジスタは、ゲート付シリアル入力、お

よび、非同期のクリア入力を持っており、出力は各ビットともパラレルにとり出すことができるようになってい

る。シリアル入力は、ゲートが付加されているので、“0”レベルを与えておくことによって入力されたデータを処理している間は、新しいデータの入力を禁止することができる。また、当然“1”レベルにすれば、データの入力が行なえる。

クロックが“1”レベルの間は、シリアル入力のデータを変化させてもかまわないが、セットアップの条件を満足するような情報があると、これは入力されるので、注意する必要がある。

クロッキングは、CLOCK 入力の“0”→“1”の変化の時点で行なわれる。伝送線路の影響を少なくして、システム設計が楽に行なえるように全ての入力端子はダイオードクランプがなされている。

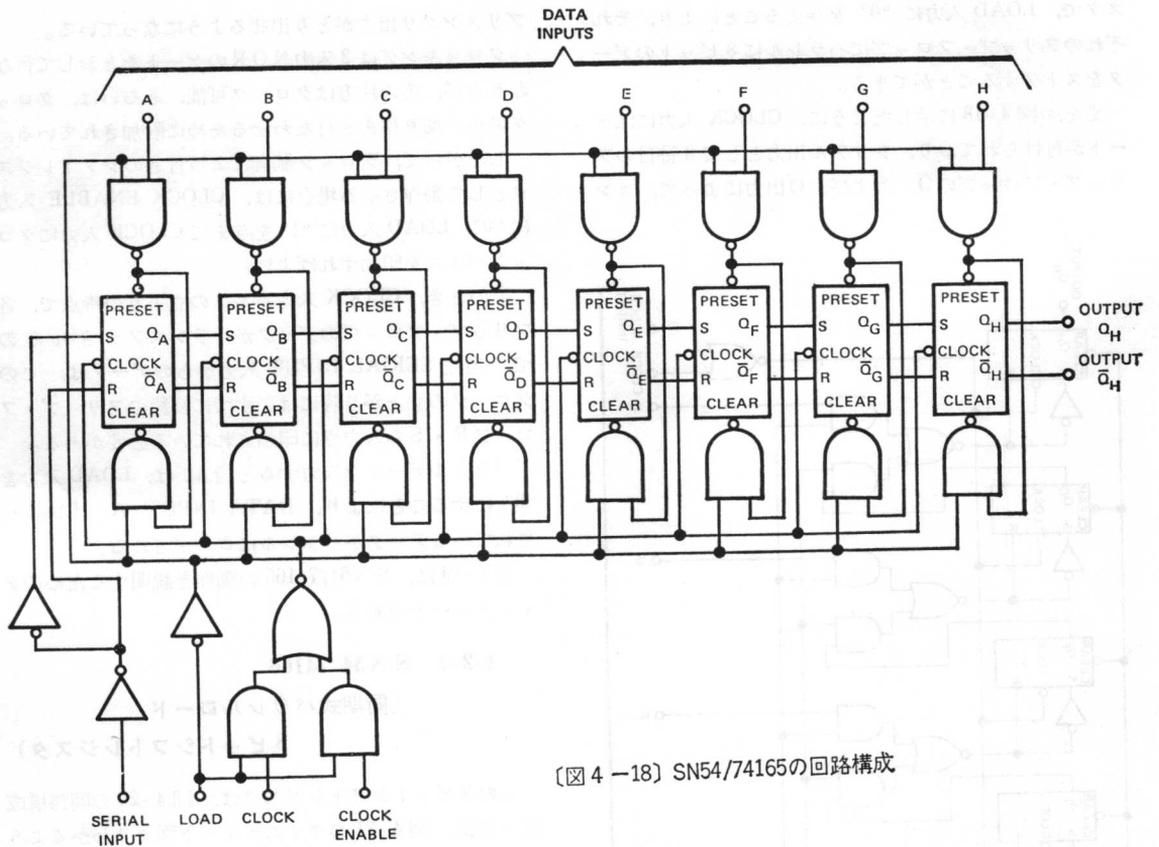
また、CLOCK 入力あるいは CLEAR 入力には、インパードライバが付加されているので、入力負荷係数が1.0に軽減されている。

図4-17に本シフトレジスタの動作説明のためのタイムチャートを示す。

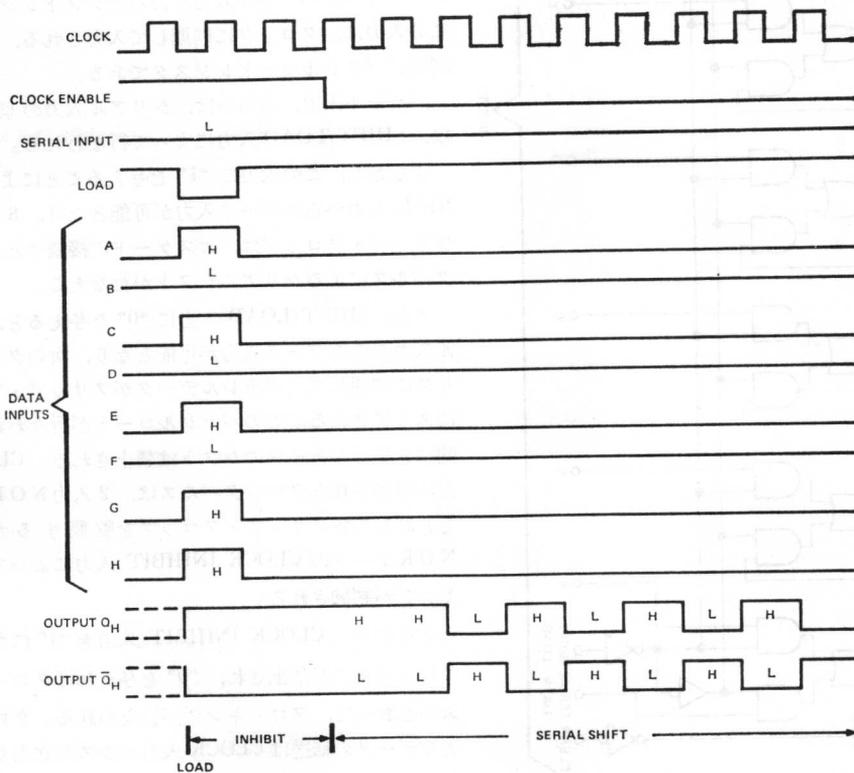
4-2-6 SN54/74165

(パラレルロード 8ビット
シフトレジスタ)

このシフトレジスタは、8ビットのライトシフトレジ



〔図 4-18〕 SN54/74165の回路構成



〔図 4-19〕 SN54/74165の動作タイムチャート

スタで、LOAD 入力に“0”を与えることにより、それぞれのフリップ・フロップに平行して8ビットのデータをストアすることができる。

また、図4-18に示したように、CLOCK 入力にはゲートが付けられており、シリアル出力として8番目のフリップ・フロップのQ、および、 \bar{Q} 出力によって、コン

プリメンタリ出力がとり出せるようになっている。

クロッキングは2入力NORのゲートをとおして行なわれるが、その片方はクロック可能、あるいは、クロック禁止の切り替えを行なわせるために附加されている。

したがって、クロック制御による普通のシフトレジスタとして動作させる場合には、CLOCK ENABLE 入力に“0”、LOAD 入力に“1”を与えてCLOCK 入力にクロックパルスを印加すればよい。

このとき、CLOCK 入力パルスの立上りの時点で、各フリップ・フロップのデータがトランスファされるので、当然 SERIAL INPUT 入力からのデータは、このクロックの立上がり時には、すでに初段のフリップ・フロップR・Sの入力点に印加されている必要がある。

パラレルデータを入力するときには、LOAD 入力に“0”にすることにより、DATA INPUT A~Hに接続されているデータが平行にロードされる。

図4-19は、SN54/74165の動作を説明するためのタイムチャートである。

4-2-7 SN54/74166

(同期式パラレルロード

8ビットシフトレジスタ)

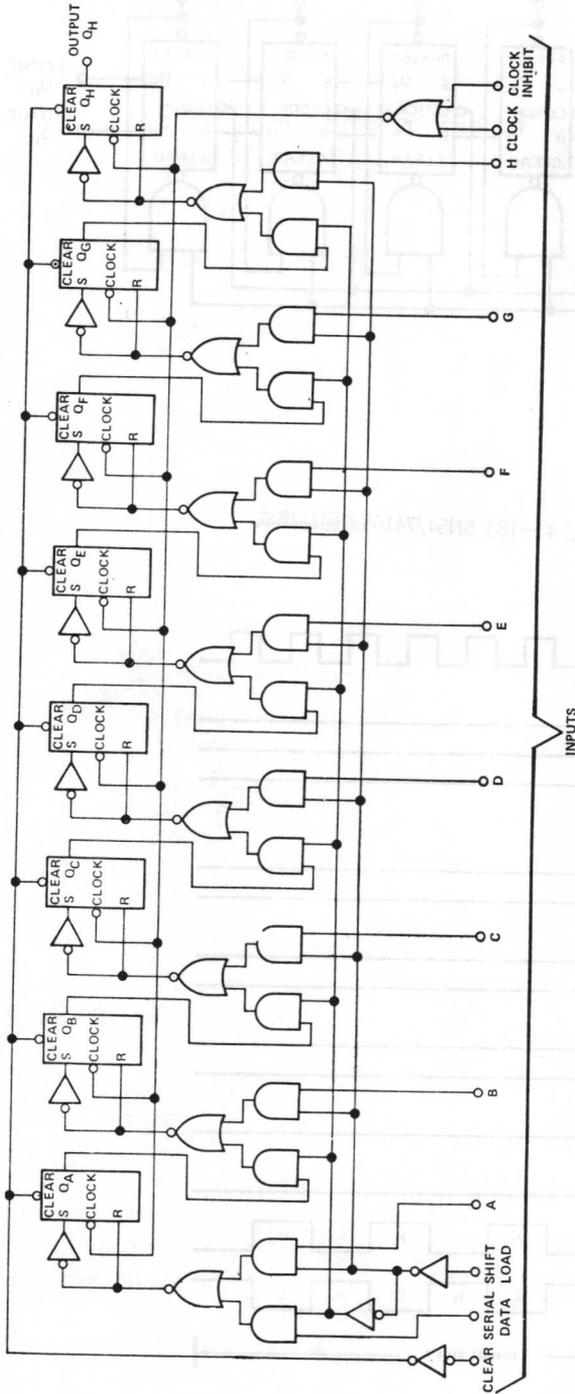
この8ビットシフトレジスタは、図4-20の回路構成図および、図4-21のタイムチャート図よりわかるように8ビットの平行入力を持ったシフトレジスタで、この入力は、クロックに同期して入力される、いわゆる同期式パラレルロードレジスタである。

パラレル入力、あるいは、シリアル入力の切り替えは、SHIFT/LOAD 入力によって行なわれる。

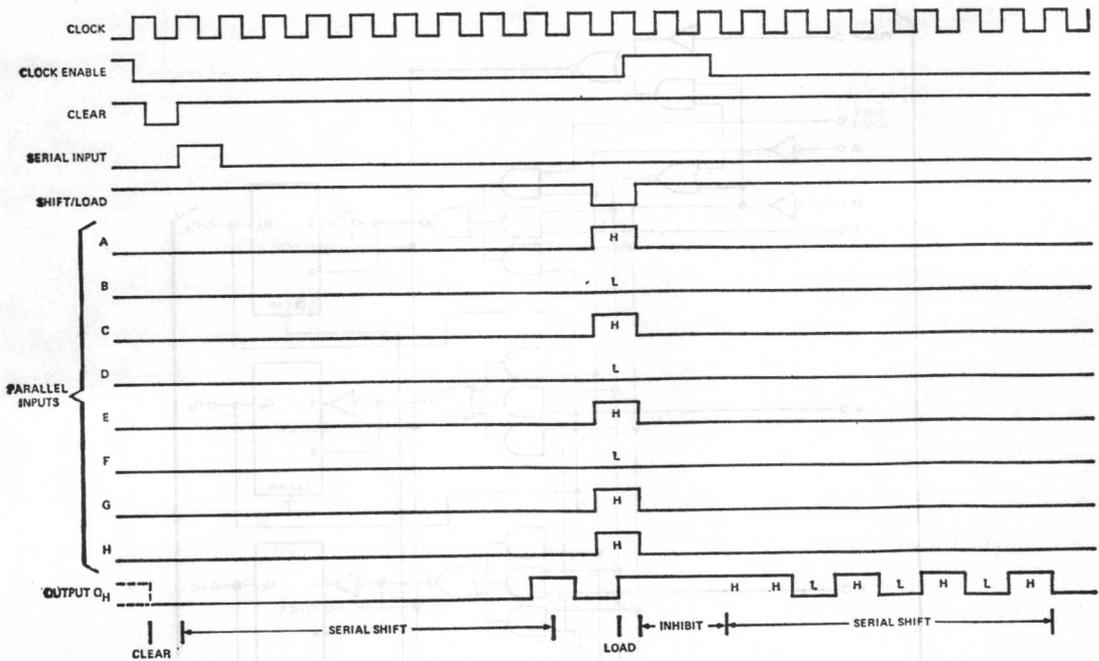
すなわち、この入力に“1”を与えることにより、SERIAL 入力からのデータ入力が可能となり、8ビットのフリップ・フロップは、カスケードに接続され、クロックパルスによるシリアルシフトが行なえる。

また、SHIFT/LOAD 入力に“0”を与えると、パラレル入力からのデータ入力が可能となり、次のクロックパルスに同期して、パラレルデータがフリップ・フロップにストアされる。このパラレルロードが行なわれている間はシリアルデータのシフトは禁止される。CLOCK 入力に印加されたクロックパルスは、2入力NORゲートをとおして各フリップ・フロップを駆動するが、このNORゲートのCLOCK INHIBIT 入力によってクロッキングが制御される。

すなわち、CLOCK INHIBIT 入力を“1”にすれば、クロッキングが禁止され、“0”を与えればクロックパルスがおとって、クロッキングが行なわれる。クロックによるデータの転送はCLOCK 入力パルスの立上りエッジで行なわれる。バッファ付CLEAR 入力に“0”を与えることによってクロックパルスその他の入力に、独立に全



〔図4-20〕SN54/74166の回路構成



【図4-21】 SN54/74166の動作タイムチャート

フリップ・フロップをクリアすることができる。ただし、クリアの必要がないときは“1”を印加しておかねばならない。

4-2-8 SN54/74198

(8ビットパラレルアクセスライト レフトシフトレジスタ)

このシフトレジスタは、シフトレジスタに要求される全ての機能を取り入れたもので、パラレル入力、パラレル出力、ライトシフト入力、レフトシフト入力、動作モード制御入力、および、直接クリア入力を持っている。動作モード制御入力 (S_1 および S_0) によって、次のモードを選択することができる (表4-3参照)。

パラレルロード

シフトライト

シフトレフト

クロック禁止 (何の動作も行なわない。)

パラレルロードの場合には、8ビットのデータをそれぞれA~H入力に与え、さらにクロッキングによりこの8ビットのデータは、各フリップ・フロップにストアされる。

シフトライトモードの場合、入力クロックパルスの立上りに同期して、データの右方向シフトが行なわれる。このときのシリアルデータは、SHIFT RIGHT 端子に与える。シフトレフトの場合には、シリアルデータをSHIFT LEFT 端子に与えれば、このデータは同様に入力クロックパルスによって左方にシフトする。フリップ

入力		動作モード
S_1	S_0	
0	0	クロック禁止
0	1	シフトライト
1	0	シフトレフト
1	1	パラレルロード

SN54/74198 の動作モード指定

〈表4-3〉

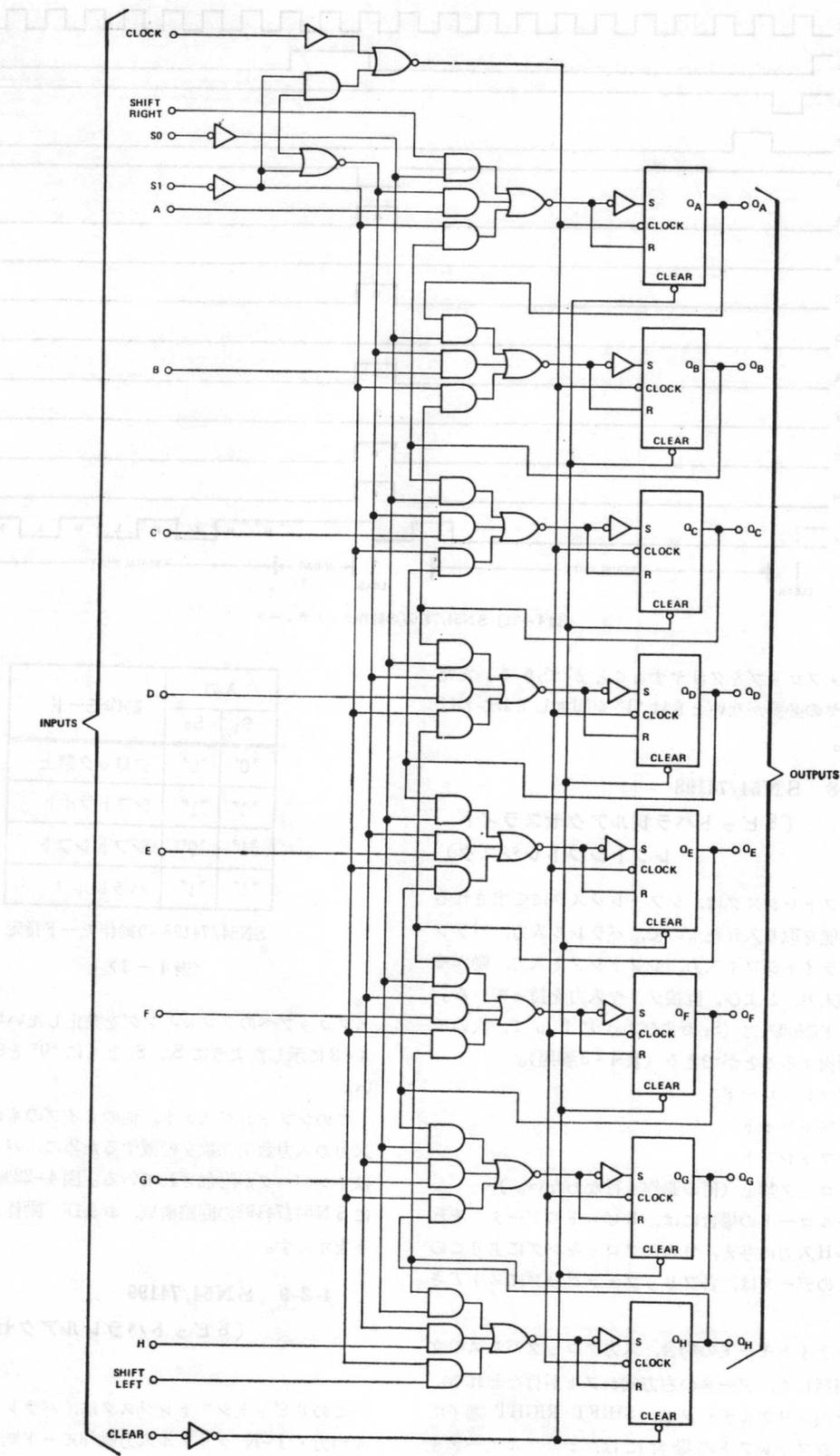
・フロップへのクロッキングを禁止したい場合には、表4-3に示したように S_0 , S_1 ともに“0”を印加すればよい。

このシフトレジスタも、他のタイプのもと同様、各入力の入力負荷係数を軽減するために、バッファあるいはインバータが附加されている。図4-22および図4-23にSN54/74198の回路構成、および、動作タイムチャートを示す。

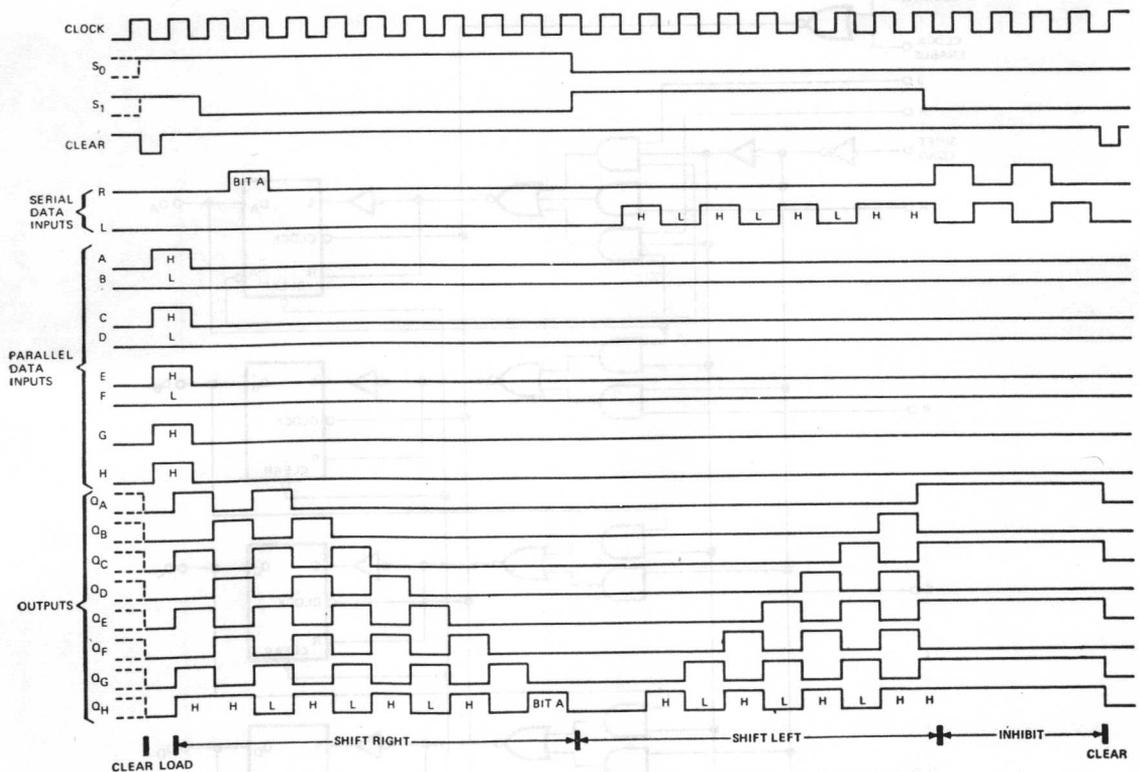
4-2-9 SN54/74199

(8ビットパラレルアクセスシフト レジスタ)

この8ビットシフトレジスタは、パラレル入力パラレル出力・J-K シリアル入力動作モード制御入力、直接クリア入力、およびゲート付クロック入力を持っている。動作モードは次の3つがある。



〔図 4 -22〕 SN54/74198の回路構成



〔図4-23〕 SN54/74198の動作タイムチャート

パラレルロード

シフト

クロック禁止 (何の動作も行なわない。)

パラレルロードは、CLOCK ENABLE入力によって、クロックパルスを動作させ、SHIFT/LOAD入力を“0”にすることにより行なえる。このとき、パラレルデータ入力A~Hには、ロードする8ビットのデータを印加しておく必要がある。

これによって、CLOCK入力の立上りの時点で、この8ビットのデータは、各フリップ・フロップにストアされると同時に、各パラレル出力QA~QHにこのデータが現われる。

このロード中には、シリアルデータのシフトは禁止される。SHIFT/LOADが“1”で、CLOCK入力がエネイブルのときに、シフトモードになる。このとき、シリアル入力データは、J-K入力に与える。この初段のフリップ・フロップに与えるシリアル入力データは、表4-4の真理値表にしたがって印加する必要がある。

CLOCKおよびCLOCK ENABLEの2つの入力は、それぞれどちらに用いても全く差支えない。したがって、いずれか一方を“1”にすることにより、クロッキングが禁止され、また、片方を“0”とし、他方にクロックパルスを与えることにより8つのフリップ・フロップを

入力		出力
t_n		t_{n+1}
J	\bar{K}	Q_A
“0”	“1”	Q_n
“0”	“0”	“0”
“1”	“1”	“1”
“1”	“0”	\bar{Q}_n

SN54/74199

J-K入力の真理値表

〈表4-4〉

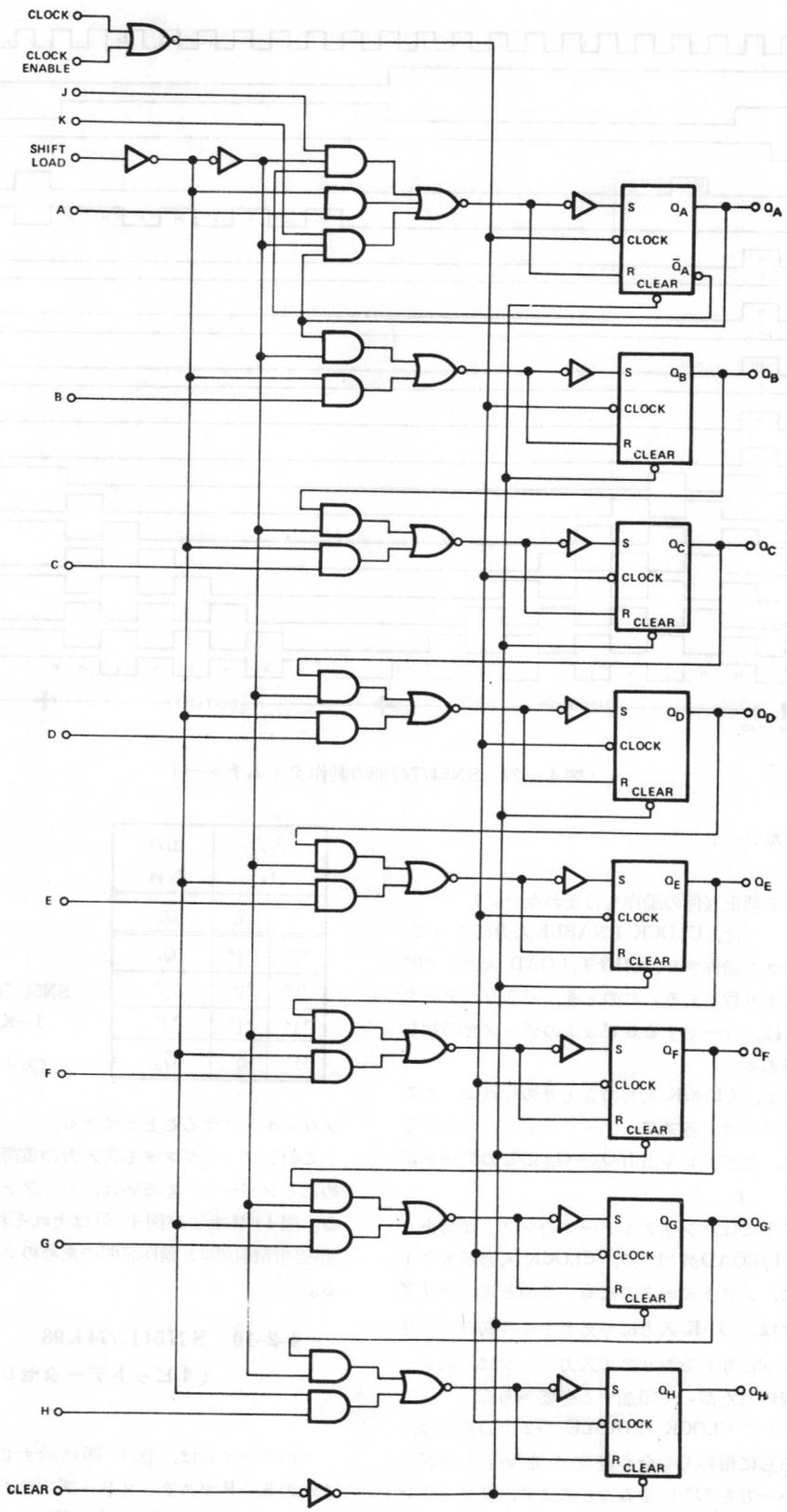
クロッキングすることができる。

このシフトレジスタも各入力の負荷係数を軽減するためにインバータ、あるいは、バッファがつけられている。図4-24および図4-25はそれぞれSN54/74199の論理回路構成図と動作説明のためのタイムチャートである。

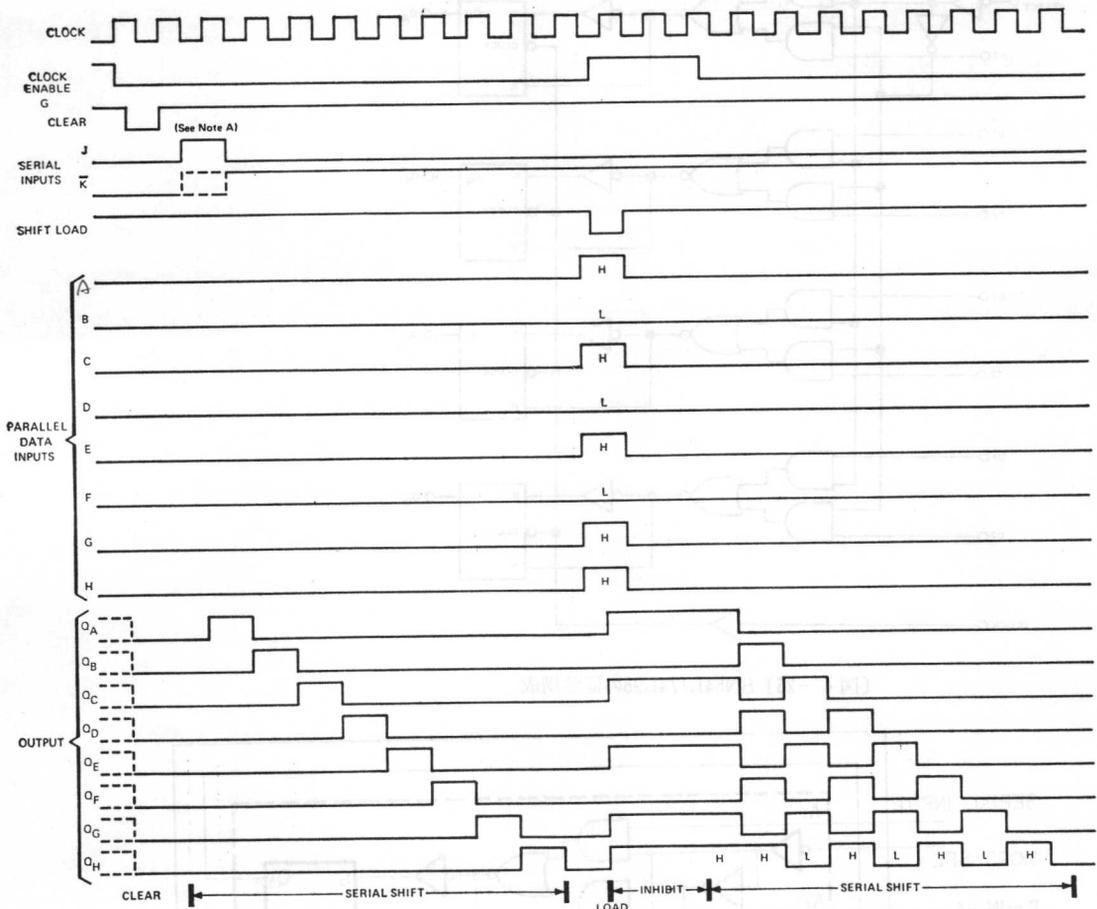
4-2-10 SN54L/74L98

(4ビットデータセクタ/ストレー
ジレジスタ)

このデバイスは、図4-26に示すように基本的には、4つのS-Rマスタ スレーブ タイプ フリップ・フロップと4つのAND-OR-INVゲートからなり、各フリップ・フロップごとに出力が出ているので、外部接続



〔図 4 - 24〕 SN54/74199の回路構成



〔図4-25〕SN54/74199の動作タイムチャート

により、

- ① ライトレフトシフトレジスタになる。
- ② パラレル→シリアル変換ができる。
- ③ シリアル→パラレル変換ができる。
- ④ パラレル入力→パラレル出力ができる。(いわゆるストレージレジスタになる)

などいろいろな機能をもったシフトレジスタを構成することができる。

図4-27はSN54L/74L98を、パラレルアクセスシフトレジスタ(上記②の機能)として動作させる場合の回路接続で、図4-28はこの動作タイムチャートである。WORD SELECT入力を“1”とすることによって、パラレルデータはA₂~D₂よりクロックに同期して入力され、次にWORD SECECT入力を“0”とすることにより、ライトシフトレジスタとして動作する。

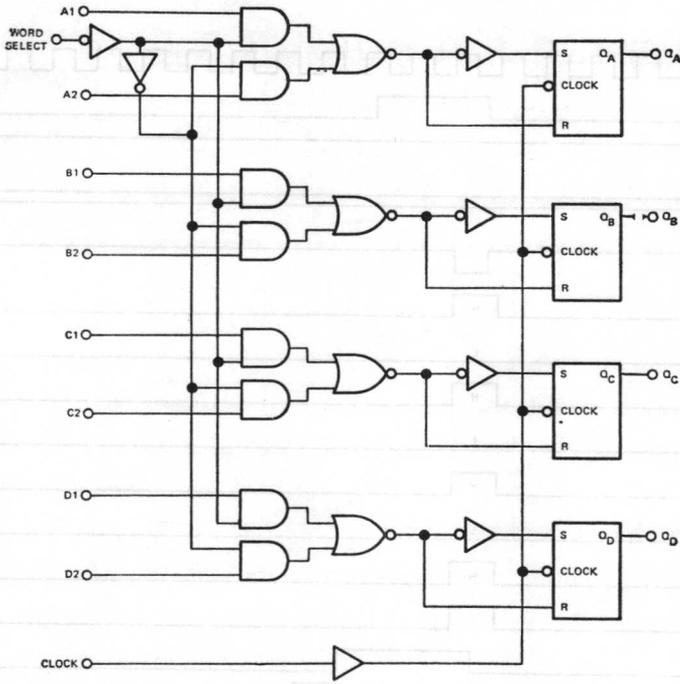
4-2-11 SN54L/74L99

(4ビットライト/レフト
シフトレジスタ)

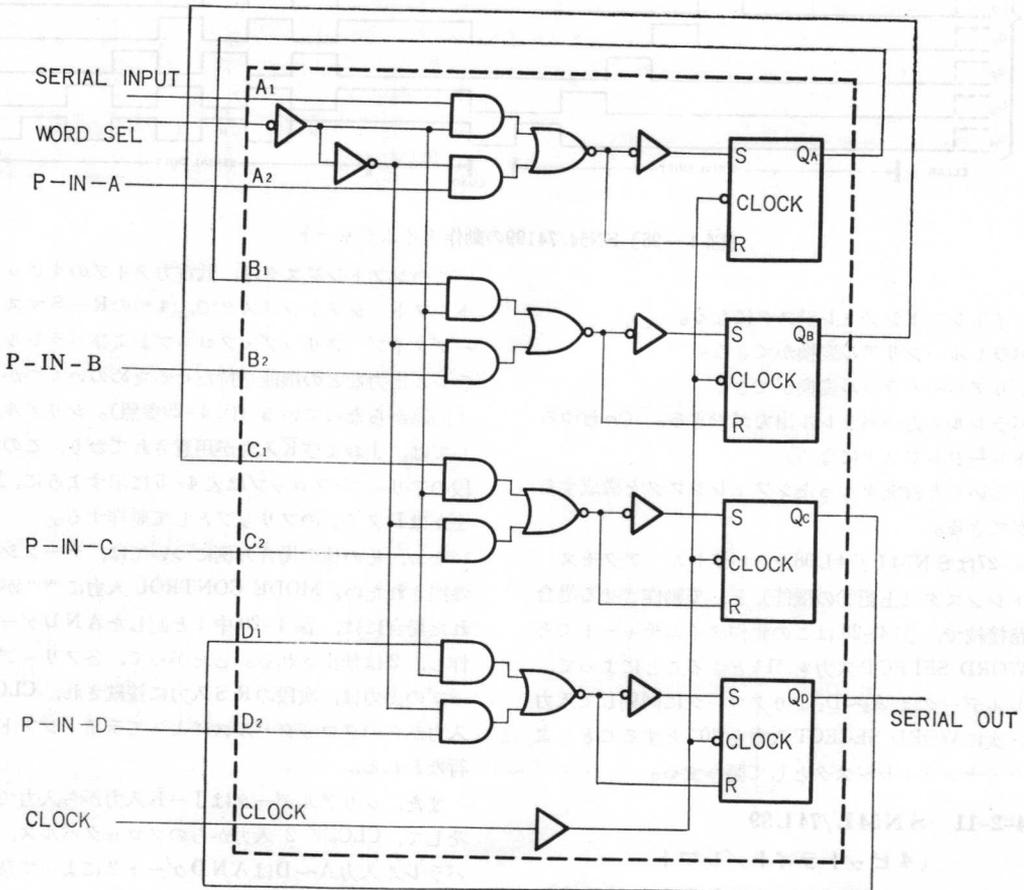
このシフトレジスタは、低電力タイプの4ビットライトレフトシフトレジスタで、4つのR-Sマスタスレーブタイプフリップ・フロップおよびパラレル入力パラレル出力などの機能を持たせるためのいくつかのゲート回路からなっている(図4-29参照)。シリアル入力としては、Jおよび \bar{K} 入力を用意されており、このため初段のフリップ・フロップは表4-5に示すように、J- \bar{K} 、またはDタイプのフリップとして動作する。

なお、その他の場合の例については、データシートを参照されたい。MODE CONTROL入りに“0”が印加された場合には、図4-29中1と記したANDゲートが動作し、2は禁止される。したがって、各フリップ・フロップの出力は、次段のRS入力に接続され、CLOCK 1入力からのクロックパルスによってライトシフト動作が行なわれる。

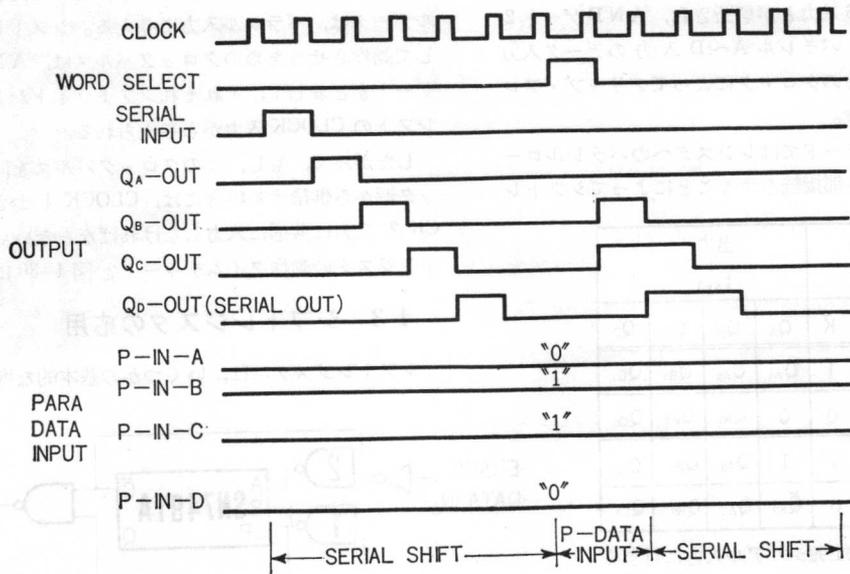
また、シリアルデータはJ- \bar{K} 入力から入力できる。そして、CLOCK 2入力からのクロックパルス、およびパラレル入力A~DはANDゲート2によって禁止される。MODE CONTROL入力Mに“1”が与えられた場合



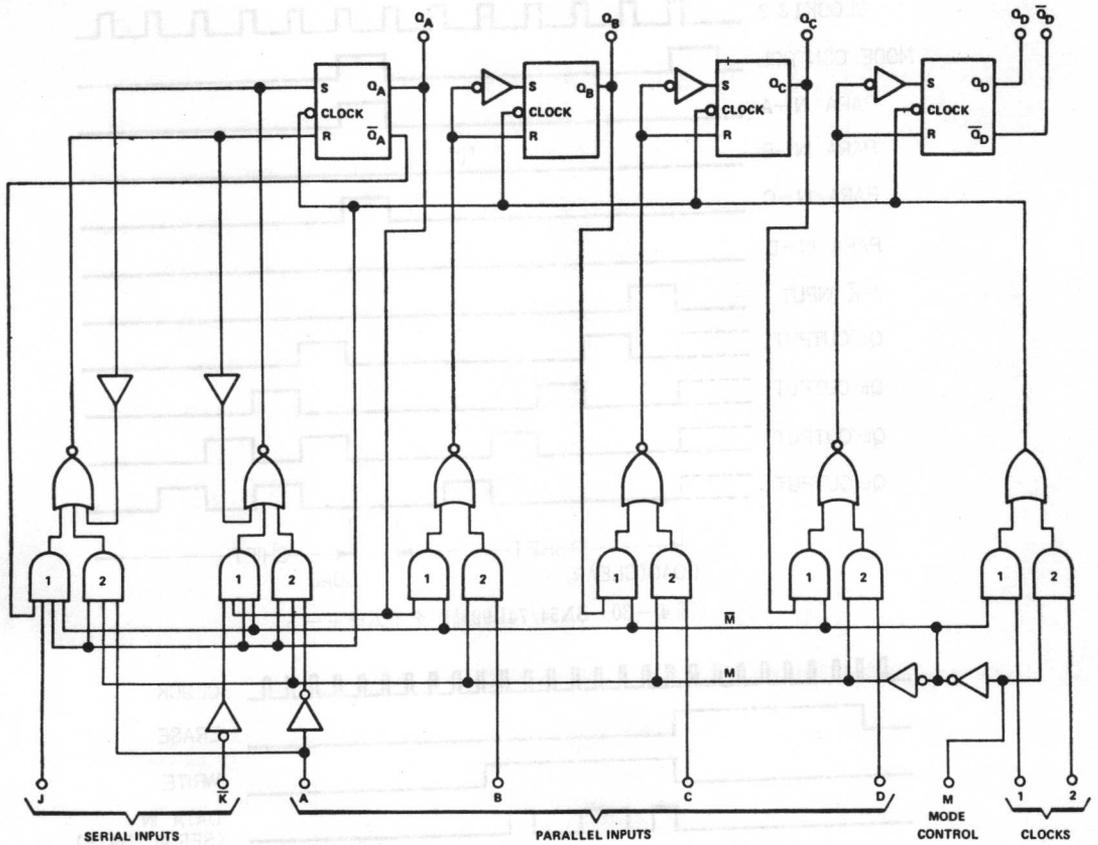
〔図 4 - 26〕 SN54L/74L98の回路構成



〔図 4 - 27〕 SN74L98による 4 ビット パラレル・アクセス シフトレジスタ



〔図4-28〕 図4-27の動作タイムチャート



〔図4-29〕 SN54L/74L99の回路構成

には、1のANDゲートによってフリップ・フロップの出力と次段のR-S入力とが切断され、ANDゲート2が動作状態となり、パラレル A~D 入力のデータ入力が、CLOCK 2 からのクロックによってフリップ・フロップにストアされる。

すなわち、このモードではレジスタへのパラレルロードが行なえるが、外部接続をすることによってシフト

動作も行なえる。このシフトレフトの場合のシリアルデータは、パラレル入力に与える。シフトレジスタとして動作させるためのクロックパルスは、AND-ORゲートをとおして、それぞれシフトライトおよびシフトレフトのCLOCK入力から与えられる。

したがって、もし、このクロックパルスを同一のクロック源から供給する場合には、CLOCK 1 および CLOCK 2 入力に共通に入力しなければならない。このシフトレジスタの動作タイムチャートを図4-30に示す。

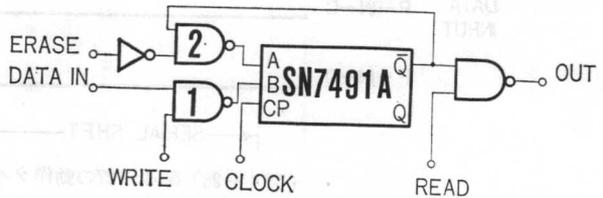
入力 t_n			出力 t_{n+1}			
M	J	\bar{K}	Q_A	Q_B	Q_C	Q_D
0	0	1	Q_{An}	Q_{An}	Q_{Bn}	Q_{Cn}
0	0	0	0	Q_{An}	Q_{Bn}	Q_{Cn}
0	1	1	1	Q_{An}	Q_{Bn}	Q_{Cn}
0	1	0	\bar{Q}_{An}	Q_{An}	Q_{Bn}	Q_{Cn}

SN54L/74L99シリアル入力に対する
真理値表

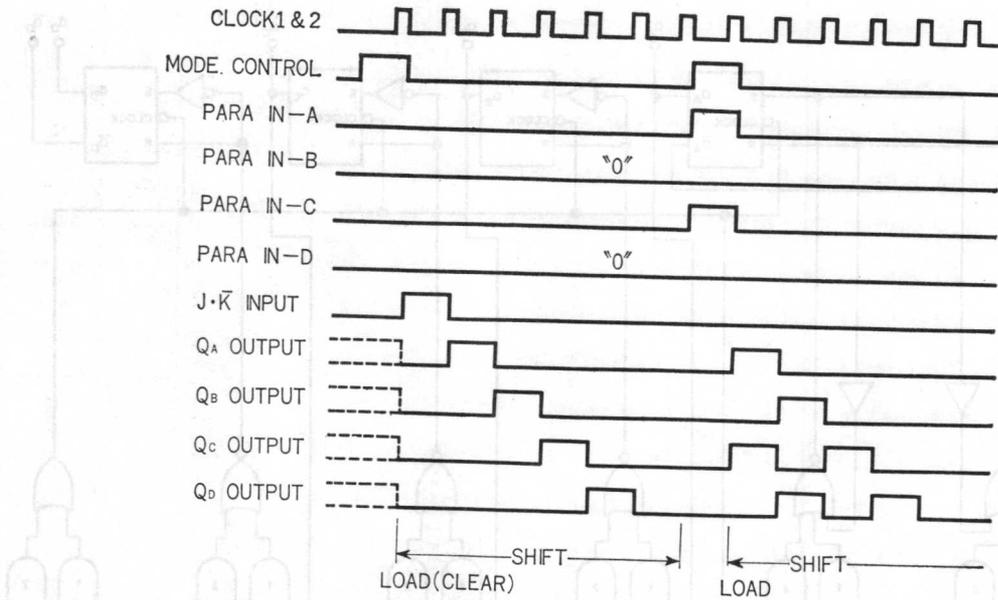
<表4-5>

4-3 シフトレジスタの応用

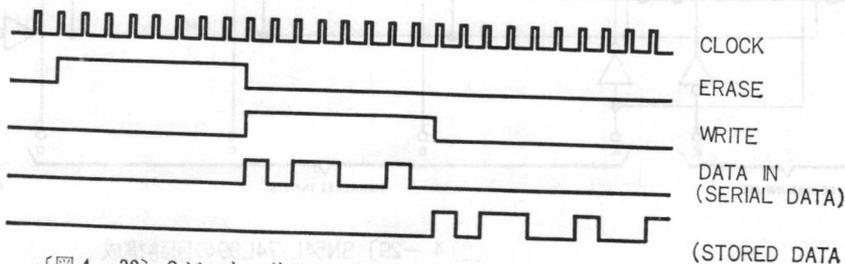
シフトレジスタには、いくつかの基本的な機能がある



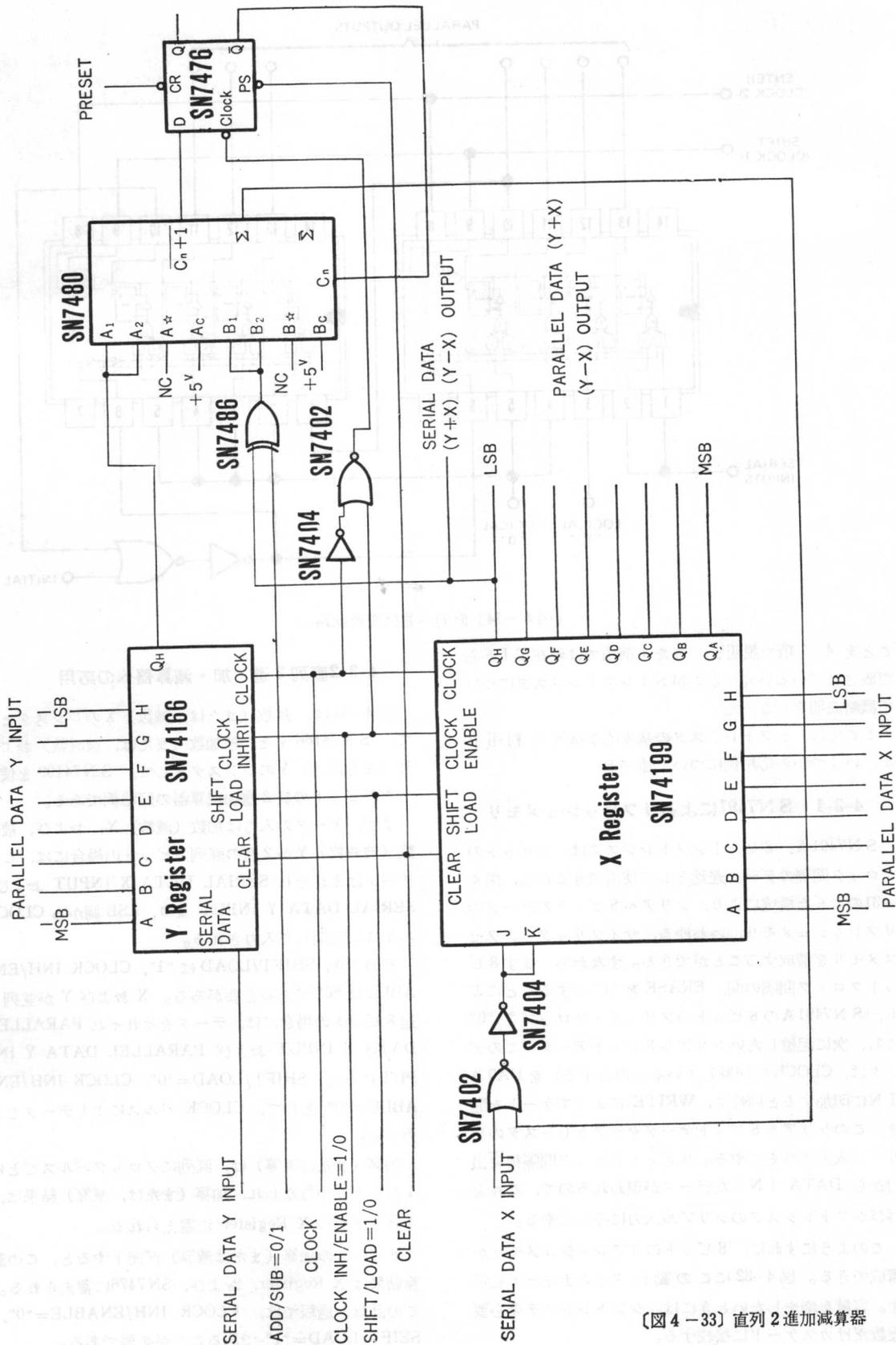
[図4-31] SN7491Aによる8ビット リフレッシュメモリ



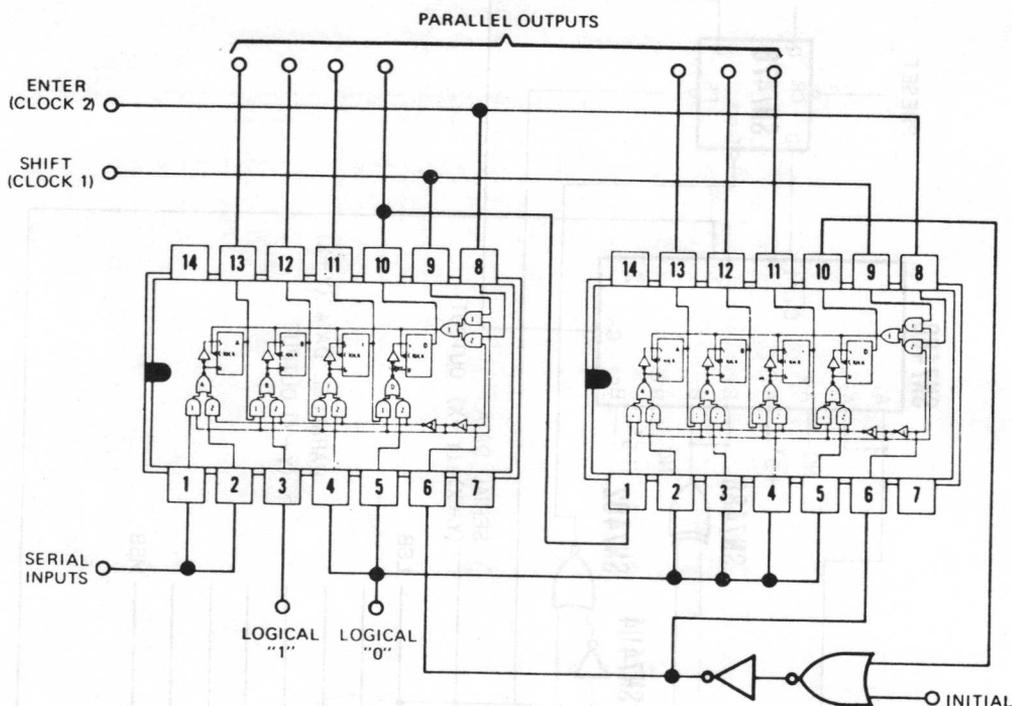
[図4-30] SN54/74L99動作タイムチャート



[図4-32] 8ビット リフレッシュメモリ動作タイムチャート



〔图 4-33〕 直列 2 進加減算器



〔図4-34〕直列→並列変換回路

ことを4-1項で説明し、また、前項では現在TIから市販されているいくつかのMSIシフトレジスタについて概略説明を行なった。

ここでは、シフトレジスタの基本的な機能を利用した、いくつかの応用例について述べる。

4-3-1 SN7491によるリフレッシュメモリ

SN7491A、8ビットシフトレジスタは、8ビットのクロック間隔のデータ遅延として使用できるから、図4-31のような構成により、シリアル8ビットのデータのリフレッシュメモリ、いわゆる、サイクリックアクセスメモリを構成することができる。すなわち、まず8ビットクロック間隔の間、ERASEを“1”にすることにより、SN7491Aの8ビットのフリップ・フロップを“0”にし、次に記憶したいシリアル8ビットデータ（このデータは、CLOCKに同期しているものとする）をDATA INに印加すると同時に、WRITEによってゲートを開き、このシリアル8ビットデータをシフトレジスタのシリアル入力に与えてやる。8ビットクロック間隔後 \bar{Q} 出力からDATA INしたデータが現われるので、これを再びシフトレジスタのシリアル入力に与えてやる。

このようにすれば、8ビットのリフレッシュメモリが構成できる。図4-32にこの動作タイムチャートを示す。容量を増やしたいときには、シフトレジスタを必要な数だけカスケードに接続する。

4-3-2直列2進・加・減算器への応用

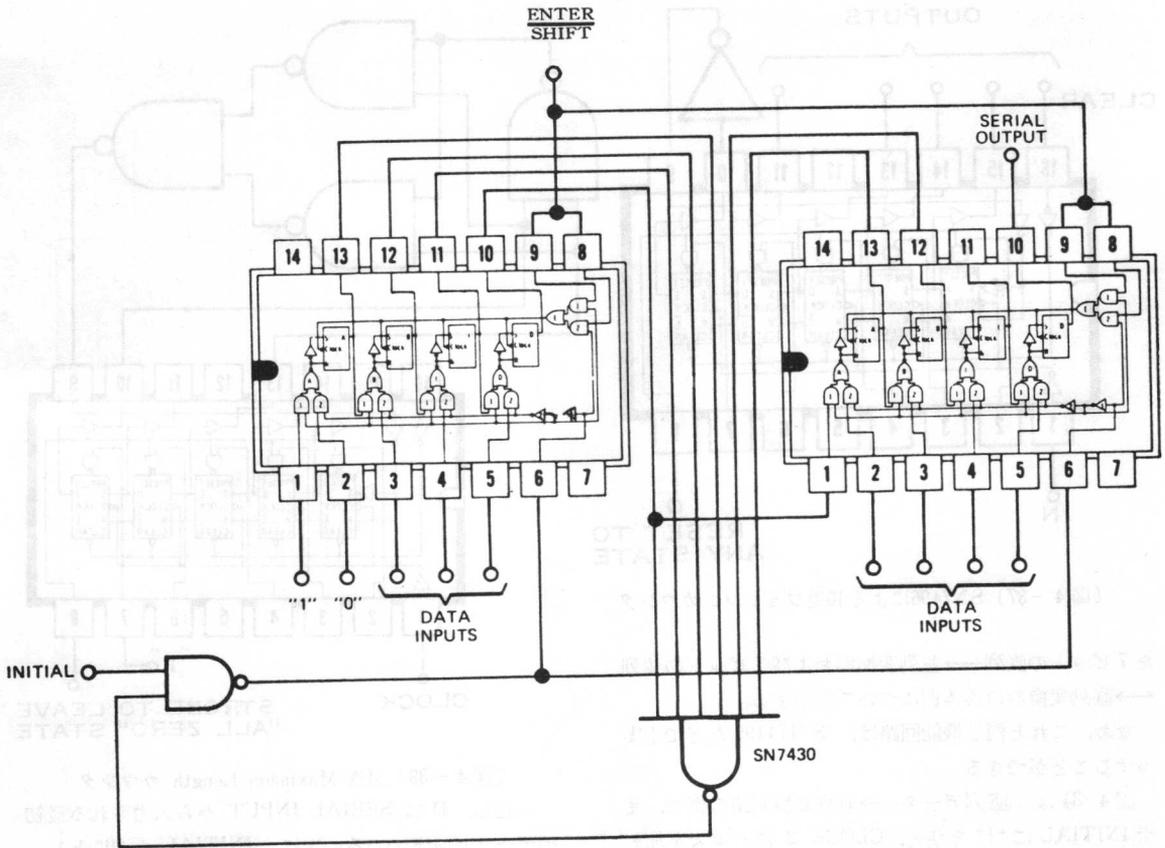
図4-33は、加数（または、減数）Xのレジスタとして、SN74166 または、被加数（または、被減数）および和（または差）Yのレジスタとして、SN74199を使用した8ビットの純2進加減算器の回路例である。

まず、データの入力は加数（減数）X、および、被加数（被減数）Yが2進の直列8ビットの場合には、このデータはそれぞれ SERIAL DATA X INPUT および SERIAL DATA Y INPUT より、LSB側から CLOCK パルスに同期して入力される。

このとき、SHIFT/LOADは“1”，CLOCK INH/ENABLEは“0”である必要がある。XおよびYが並列2進8ビットの場合には、データをそれぞれ PARALLEL DATA X INPUT および PARALLEL DATA Y INPUT に与え、SHIFT/LOAD=“0”，CLOCK INH/ENABLE=“0”として、CLOCK パルスによりデータを入力する。

加算（または減算）は、直列にクロックパルスごとに1ビットづつ行なわれ、加算（または、減算）結果は、1ビットづつ X Register に蓄えられる。

8ビットの加算（または減算）が完了すると、この計算結果は X Register、および、SN7476に蓄えられる。この計算の過程では、CLOCK INH/ENABLE=“0”，SHIFT/LOAD=“1”であることが必要である。



〔図 4-35〕 並列→直列変換回路

計算結果を直列に読み出すときは、SERIAL DATA (Y+X), (Y-X) OUTPUT LSB 側から CLOCK パルスにしたがって読み出される。

また、並列に取り出したいときは、PARALLEL DATA (Y+X), (Y-X) OUTPUT から取り出せばよい。

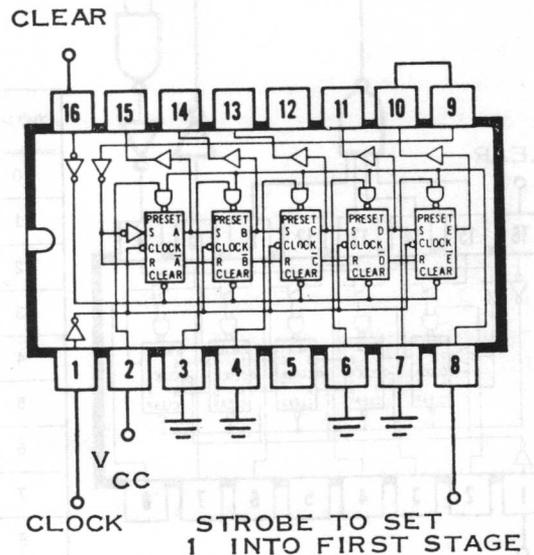
図 4-33 の例では、X, Y, (Y+X) および (Y-X) のデータが直列および並列の両方の場合を扱えるようになっているが、純粋に直列入力、直列出力だけでよい場合には、SN74166, SN74199 の代りに SN7491 が使用できる。

8 ビット以上の 2 進数の加減算の場合には、シフトレジスタをさらに必要数連続に接続する。

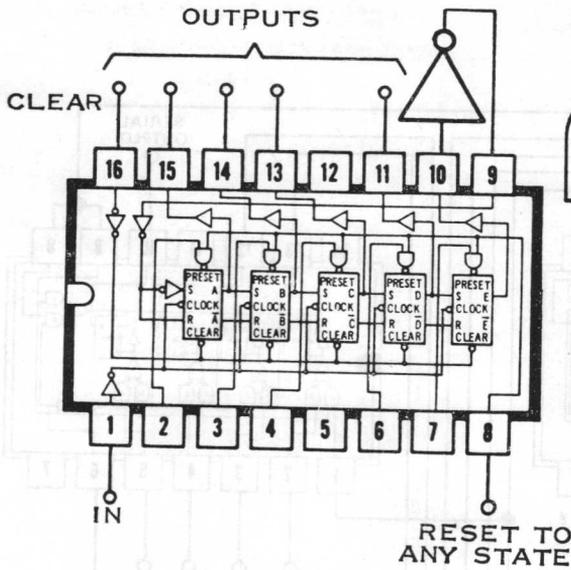
例えば、16 ビットの 2 進の加減算では、SN74166 に もう一つ SN74166 をカスケードに接続し、SN74199 の後にもう一つ SN74199 を接続すれば、図 4-33 の回路がそのまま 16 ビットの 2 進加減算器となる。

4-3-3 直並列変換器への応用

シフトレジスタには、基本的に直↔並列変換機能があることを前に述べたが、ここでは、SN7495 を使用し



〔図 4-36〕 SN7496 による 5 進リングカウンタ

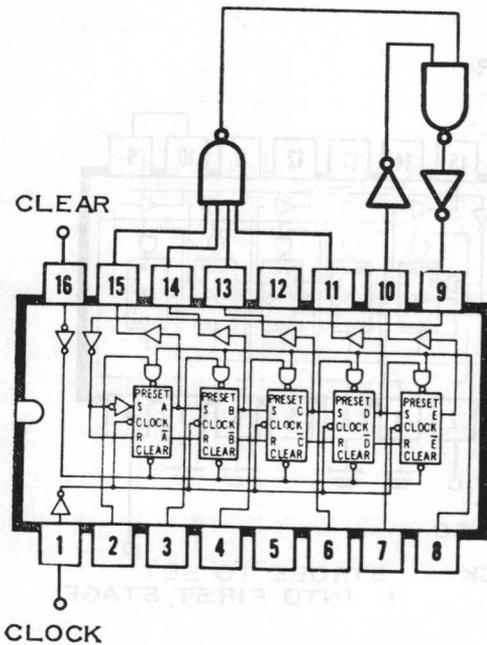


〔図4-37〕 SN7496による10進ジョンソンカウンタ

た7ビットの直列→並列変換器および7ビットの並列→直列変換器の具体例について説明する。

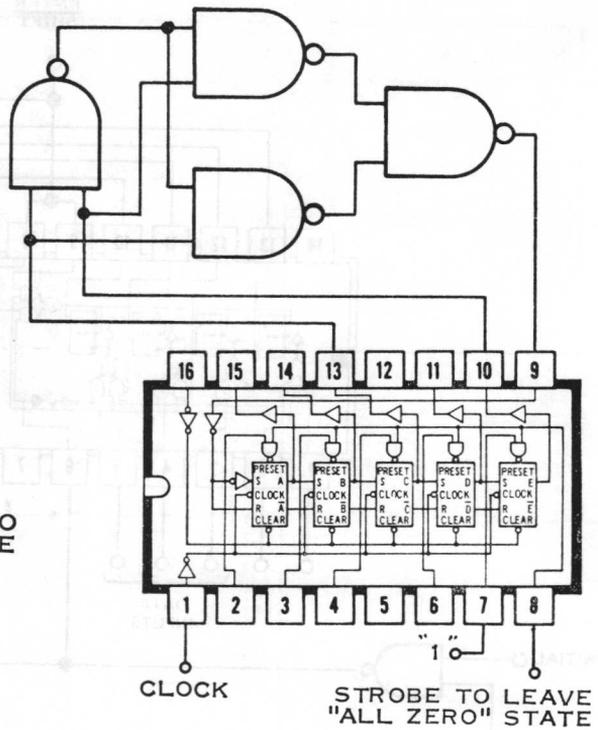
なお、これと同じ機能回路は、SN74199などでも実現することができる。

図4-34は、直列データ→並列変換回路の例で、まずINITIALに“1”を与え、CLOCK 2にパルスを加えると、レジスタは、きめられた状態、すなわちD1000000にセットされる。



SN7496による
9進ジョンソンカウンタ

〔図4-38〕



〔図4-39〕 31進 Maximum Length カウンタ

ただし、Dは SERIAL INPUT から入力される最初のデータビットである。次に、INITIALを“0”とし、CLOCK 2にクロックパルスを6発印加すると、“1”がシフトレジスタの最終段の出力に現われる。

この状態のとき、SERIAL INPUTからの直列データが並列の形で、PARALLEL OUTPUTの各端子に生じ、7ビットの直→並列変換サイクルが終了する。最終段に生じた“1”は再び NOR-INV ゲートを通じてシ

カウント	A	B	C	D	E	デコード方法
0	0	0	0	0	0	$\bar{E} \cdot \bar{A}$
1	1	0	0	0	0	$A \cdot \bar{B}$
2	1	1	0	0	0	$B \cdot \bar{C}$
3	1	1	1	0	0	$C \cdot \bar{D}$
4	1	1	1	1	0	$D \cdot \bar{E}$
5	1	1	1	1	1	$E \cdot A$
6	0	1	1	1	1	$\bar{A} \cdot B$
7	0	0	1	1	1	$\bar{B} \cdot C$
8	0	0	0	1	1	$\bar{C} \cdot D$
9	0	0	0	0	1	$\bar{D} \cdot E$

〈表4-6〉 10進ジョンソンカウンタ真理値表 (I)

カウント	A	B	C	D	E	デコード方法
0	0	0	0	0	0	$\bar{E} \cdot \bar{A}$
1	1	0	0	0	0	$A \cdot \bar{B}$
2	1	1	0	0	0	$B \cdot \bar{C}$
3	1	1	1	0	0	$C \cdot \bar{D}$
4	1	1	1	1	0	$D \cdot \bar{E}$
5	0	1	1	1	1	$\bar{A} \cdot B$
6	0	0	1	1	1	$\bar{B} \cdot C$
7	0	0	0	1	1	$\bar{C} \cdot D$
8	0	0	0	0	1	$\bar{D} \cdot E$

〈表4-7〉 9進ジョンソンカウンタ真理値表

フトレジスタに印加されるので、次に CLOCK 2 に入力されるクロックパルスによって、きめられた最初の状態 (D 1000000) にもどる。

図4-35は、並列データ→直列変換の回路例である。まず、DATA INPUT には、並列データが印加されており、INITIAL には、1クロック間隔だけ“0”になるパルスを印加すると、これに同期した ENTER/SHIFT に入力される最初のクロックパルスによってシフトレジスタの F/F には、0 D_B D_C D_D D_E D_F D_G D_H なるデータがセットされる。

2番目以後のクロックパルスが入力されるときは、既に INITIAL は“1”であるからシフトレジスタにセット

されたデータは、順次シフトされて SERIAL OUTPUT より直列データが得られる。このとき左のシフトレジスタの PIN NO ①には、常時“1”が印加されているので、7発目のクロックパルスが印加された時点では、最終段の2つの F/F 以外は、全て“1”にセットされている。

この状態を S N7430 で検出し、S N7400 にフィードバックし、INITIAL パルスとしている。すなわち、7発のクロックパルスごとに、並→直列変換サイクルが行なわれる。

4-3-4 カウンタへの応用

シフトレジスタを用いるといろいろ興味あるカウンタが実現でき、その原理も極めて簡単である。以下は、いずれもクロック同期式カウンタでシフトレジスタの最高シフト周波数までの周波数で動作させることができる。

i) リングカウンタ

シフトレジスタを用いたカウンタのうち最も簡単なものが、リングカウンタである。図4-36は、S N7496 を用いた5進リングカウンタでネガティブパルスを瞬間的に印加して全 F/F をクリアし、次に初段の F/F を“1”にセットするために、瞬時だけ PRESET ENABLE (DIP の PIN ⑧) にポジティブパルスを加える。

以上の操作の後、CLOCK よりクロックパルスを印加して、カウンタとして動作させることができる。デコード出力は、各々の F/F の出力 (OUTPUT A~E) より取り出すだけでよい。

F/Fの段数	フィードバックステージ											
	A	B	C	D	E	F	G	H	I	J	K	L
3	0	1	1									
4	0	0	1	1								
5	0	0	1	0	1							
6	0	0	0	0	1	1						
7	0	0	0	0	0	1	1					
8	0	0	0	1	1	1	0	1				
9	0	0	0	0	1	0	0	0	1			
10	0	0	0	0	0	0	1	0	0	1		
11	0	0	0	0	0	0	0	0	1	0	1	
12	0	0	0	0	0	1	0	1	0	0	1	1

〈表4-8〉 Maximum Length カウンタのフィードバック接続法

ステップ	A	B	C	D	Y
0	0	0	0	1	1
1	1	0	0	0	0
2	0	1	0	0	0
3	0	0	1	0	1
4	1	0	0	1	1
5	1	1	0	0	0
6	0	1	1	0	1
7	1	0	1	1	0
8	0	1	0	1	1
9	1	0	1	0	1
10	1	1	0	1	1
11	1	1	1	0	1
12	1	1	1	1	0
13	0	1	1	1	0
14	0	0	1	1	0
0	0	0	0	1	1

ただし、 $Y=C \cdot D + \bar{C} \cdot D$

初めに $A:B:C:D=0:0:0:1$ にプリセット

<表4-9> 2^N-1 進 Maximum Length カウンタ真理値表

ステップ	A	B	C	D	Y
0	0	0	0	0	1
1	1	0	0	0	0
2	0	1	0	0	0
3	0	0	1	0	1
4	1	0	0	1	1
5	1	1	0	0	0
6	0	1	1	0	1
7	1	0	1	1	0
8	0	1	0	1	1
9	1	0	1	0	1
10	1	1	0	1	1
11	1	1	1	0	1
12	1	1	1	1	0
13	0	1	1	1	0
14	0	0	1	1	0
15	0	0	0	1	0
0	0	0	0	0	1

ただし、 $Y=(C \cdot D + \bar{C} \cdot D) \cdot (\bar{A} \cdot B \cdot C \cdot D) + \bar{A} \cdot B \cdot C \cdot \bar{D}$

<表4-10> 2^N 進 Maximum Length カウンタ真理値表

サイクル長	A	B	C	D	E	F	J-K
4	0	1	1				1
5	1	0	0				1
6	1	1	0				0
7	2^N-1 Maximum Length Shift Register Counter						
8	0	1	1	0			0
9	0	1	0	0			1
10	1	1	0	0			1
11	0	0	1	1			1
12	1	0	0	0			1
13	1	0	1	1			1
14	1	1	1	0			0
15	2^N-1 Maximum Length Shift Register Counter						
16	1	1	0	1	0		1
17	1	0	0	0	1		0
18	0	0	0	1	1		0
19	0	1	1	0	1		1
20	1	1	1	0	0		0
21	1	0	1	0	1		1
22	0	1	1	1	1		1
23	1	1	0	0	1		0
24	0	0	1	1	0		0
25	1	0	0	1	0		1
26	0	0	1	0	1		1
27	1	0	1	1	0		0
28	0	1	0	0	0		1
29	0	1	0	1	1		0
30	1	1	1	1	0		0
31	2^N-1 Maximum Length Shift Register Counter						
32	0	0	1	1	1	0	0
33	1	1	0	0	1	0	0
34	0	0	1	0	0	0	1
35	0	1	0	1	1	1	1
36	0	0	1	1	0	1	0
37	1	1	1	1	0	1	0
38	0	1	0	1	0	1	0
39	0	1	1	1	1	1	1
40	0	1	1	0	0	1	0
41	1	0	1	0	0	0	1
42	1	0	1	1	1	1	1
43	0	0	0	1	0	0	1
44	1	1	0	0	0	0	1
45	1	1	0	1	0	0	1
46	1	0	0	1	0	1	0
47	1	0	0	1	1	1	1
48	1	1	1	0	1	1	1
49	1	0	0	0	1	1	1
50	0	1	1	1	0	0	1
51	0	0	0	1	1	0	0
52	1	0	1	1	0	1	0
53	0	1	0	0	0	0	1
54	1	1	1	0	0	1	0
55	0	0	1	0	1	0	0
56	0	1	1	0	1	0	0
57	0	0	0	0	1	1	1
58	1	0	0	0	0	0	1
59	1	1	0	1	1	0	0
60	0	1	0	0	1	1	1
61	1	0	1	0	1	1	1
62	1	1	1	1	1	0	0
63	2^N-1 Maximum Length Shift Register Counter						

注 J-K欄は、次のクロックによって初段のF/Fに入力されるデータを示す。

Non-maximum カウンタのジャンプ開始ステップ

<表4-11>

ii) ジョンソンカウンタ

シフトレジスタを用いたカウンタで最も有名なのが、このジョンソンカウンタで、偶数および奇数サイクルのカウンタが考えられる。

図4-37は、S N7496を使用した偶数サイクル(10進)のジョンソンカウンタの回路例で、各フリップ・フロップの出力A~Eのいずれの出力からインバータを通してSERIAL INPUTにフィードバックするかによって2, 4, 6, 8及び10進のいずれのカウンタになるかきまる。

また、PRESET A~E INPUT はどのようなコードでカウントさせるかを決めるときに、予め決められたコードを各フリップ・フロップにプリセットするときに使用する。例えば、図4-37において始めに全てのフリップ・フロップを“0”にしたときの10進ジョンソンカウンタの真理値表を表4-6に示す。

この表から明らかなように、各ステップをデコードするには、2つのフリップ・フロップ出力のANDをとればよく、したがって、2入力のゲートが使用できることが特徴となっている。

図4-38は、奇数サイクル(9進)のジョンソンカウンタの例であり、表4-7はこの真理値表である。これらから判るように、この場合には、

A	B	C	D	E	
1	1	1	1	0	:この状態を検出して
1	1	1	1	1	:このステップを飛び越し
0	1	1	1	1	:このステップになる。

の条件が4入力 NAND, 2入力 NAND およびインバータで作られている。

このようなジョンソンカウンタのサイクル長は、最大 $2 \cdot n$ (n は使用するフリップ・フロップ数)であり、普通のカウンタの最大サイクル長 2^n に比較したとき、使用フリップ・フロップ数の点で不利だが、デコードが全て2入力 NAND ゲートでできる等の特長を有する。

iii) シフトレジスタ ジェネレータ カウンタ

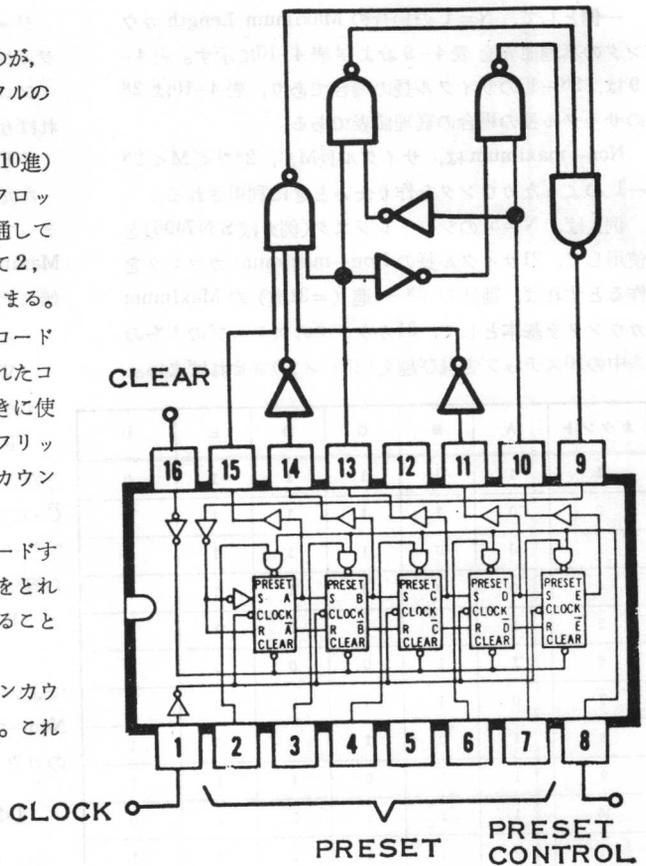
シフトレジスタを利用した、別のタイプのカウンタとして、シフトレジスタジェネレータカウンタがある。

これは、普通の同期式バイナリタイプのカウンタより簡単で、しかも、長いサイクル長のカウンタの場合には非常に経済的に構成できるものであって、Modulo 2 フィードバックを使用することにより、2つのタイプのカウンタが構成できる。

- ① Maximum Length カウンタ
- ② Non-maximum Length カウンタ

Nビットのシフトレジスタによる Maximum Length カウンタを構成する場合、フィードバック回路に Modulo 2 和の機能をもった回路を使用するが、表4-8にこのフィードバック回路に入力すべきフリップ・フロップ出力のステージが“1”と表示されている。

例えば、S N7496を使用した例では $N=5$ であり、



〔図4-40〕21進 Non-maximum Length カウンタ

Modulo 2 和のフィードバック回路 (Exclusive-OR) に接続するフリップ・フロップ出力段は、表よりCおよびEであることから、図4-39のような回路となる。

ここで注意しなければならない点は、フィードバック回路に Exclusive-OR を使用しているため、A~Eのフリップ・フロップが全て“0”になる状態を避けるため、初めにフリップ・フロップEを“1”にプリセットする必要がある。また、このような状態を避ける方法として、このフィードバック回路 ($F=C \cdot \bar{E} + \bar{C} \cdot E$) の他に、 $\bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} \cdot \bar{E}$ の項を追加して、フィードバック回路の機能を $F=C \cdot \bar{E} + \bar{C} \cdot E + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} \cdot \bar{E}$ ($=\bar{C} \cdot \bar{E} + C \cdot E + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} \cdot \bar{E}$) とする方法がある。

これにより、このカウンタは $2^N - 1$ サイクル長のカウンタとして動作する。

Nビットのシフトレジスタで 2^N のサイクル長の Maximum Length カウンタを構成する場合には、例えば、 $N=5$ の場合、フィードバック回路の機能を、

$$F = (C \cdot \bar{E} + \bar{C} \cdot E) \cdot (\bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} \cdot \bar{E}) + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} \cdot \bar{E}$$

とすればよい。

一例として、 $N=4$ の場合の Maximum Length カウンタの真理値表を表 4-9 および表 4-10 に示す。表 4-9 は、 2^N-1 のサイクル長の場合であり、表 4-10 は 2^N のサイクル長の場合の真理値表である。

Non-maximum は、サイクル長 M が、 $2^{N-1} < M < 2^N - 1$ のようなカウンタを作りたいときに利用される。

例えば、 $N=5$ のシフトレジスタ(例えば SN7496)を使用して、21サイクル長の Non-maximum カウンタを作るとすれば、前述の 2^N-1 進 (=31進) の Maximum カウンタを基本として、31カウンタのステップのうちの途中の10ステップを飛び越え(ジャンプ)させればよい。

ジャンプ開始ステップは、表 4-11 に示されており、ジャンプ開始ステップの次のステップで初段のフリップ・フロップには、J-K 欄に示された値が入力されなければならないから、フィードバック回路の機能は、

$$F = (C \cdot \bar{E} + \bar{C} \cdot E) \oplus V \cdot W \cdot X \cdot Y \cdot Z \quad \text{とする。}$$

ただし、 V, W, X, Y および Z は、ジャンプ開始ステップの論理表示で、この例のように、21進の Non-Maximum カウンタの例では、表 4-11 よりジャンプ開始ステップは、

$$A:B:C:D:E = 1:0:1:0:1 \quad \text{であるから}$$

$$V:W:X:Y:Z = A:\bar{B}:C:\bar{D}:E \quad \text{となる。}$$

すなわち、21進の例ではフィードバック回路の機能は

$$F = (C \cdot \bar{E} + \bar{C} \cdot E) \oplus (A \cdot \bar{B} \cdot C \cdot \bar{D} \cdot E)$$

となるが、ジャンプ開始ステップの時点では $(C \cdot \bar{E} + \bar{C} \cdot E) = "0"$ また、 $A \cdot \bar{B} \cdot C \cdot \bar{D} \cdot E$ は、この時点だけ "1" になり、J-K としては、"1" が必要であることから等価的には、

$$F = (C \cdot \bar{E} + \bar{C} \cdot E) + (A \cdot \bar{B} \cdot C \cdot \bar{D} \cdot E)$$

$$= C \cdot \bar{E} + \bar{C} \cdot E + A \cdot \bar{B} \cdot C \cdot \bar{D}$$

でよいことになる。図 4-40 は 21進の

Non-maximum Length カウンタの回路構成例で、このカウンタの真理値表を表 4-12 に示す。

4-3-5 2進→10進変換器への応用

デジタル機器では、2進→10進のコード変換が必要となることがしばしば生ずる。ここでは、SN7495 を使った 2進→10進変換器の 2~3 の例を説明する。

i) 2進→10進変換

図 4-41 は、直列 2進→BCD 変換器の例で、BCD 2桁の回路が示される。3桁あるいはそれ以上の桁数が必要なときは、SN7495、SN7483 および NAND、INV を必要な段数を追加すればよい。

動作は、A 点で 5~9 の数を検出し、SN7483 で補正するという原理によるものである。なお、SN7495 は単なるレジスタとして動作している。

ii) 10進→2進変換

図 4-42 は、BCD 3桁→2進変換器の例で、BCD 数が、SERIAL BCD 入力より、LSD FIRST の形で入力される。このとき、MODE CONTROL は "0" として 3桁の BCD 数を SN7495 に入力する。

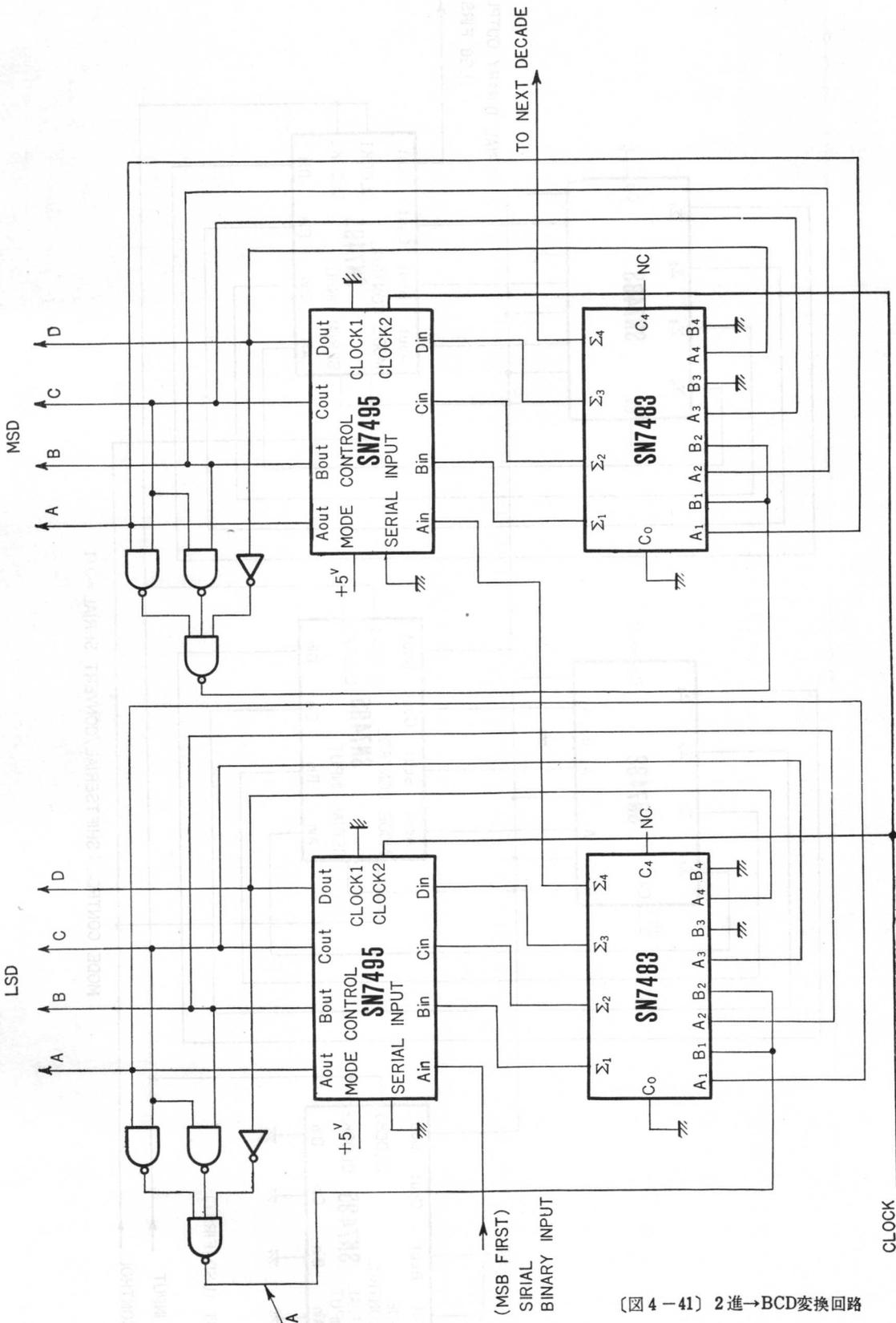
次に、MODE CONTROL を "1" にして変換を行なわせると同時に、2進化させた数が SERIAL BINARY 出力より LSB FIRST の形でクロックパルスごとに出力される。この場合には、3桁の BCD を直列に入力したが、SN7495 の各桁の $A_{in} \sim D_{in}$ に並列に BCD 数を入力することもできる。

このときは、 $A_{in} \sim D_{in}$ 入力に AND-OR ゲートをつけ並列データ入力と、コード変換を切りかえればよい。

カウント	A	B	C	D	E	U
1	1	1	1	1	1	0
2	0	1	1	1	1	0
3	0	0	1	1	1	0
4	0	0	0	1	1	1
5	1	0	0	0	1	1
6	1	1	0	0	0	0
7	0	1	1	0	0	1
8	1	0	1	1	0	1
9	1	1	0	1	1	1
10	1	1	1	0	1	0
11	0	1	1	1	0	1
12	1	0	1	1	1	0
13	0	1	0	1	1	1
14	1	0	1	0	1	0 → 1
ジャンプ	0	1	0	1	0	0
	0	0	1	0	1	0
	0	0	0	1	0	0
	0	0	0	0	1	1
	1	0	0	0	0	0
	0	1	0	0	0	0
	0	0	1	0	0	1
	1	0	0	1	0	0
	0	1	0	0	1	1
	1	0	1	0	0	1
15	1	1	0	1	0	0
16	0	1	1	0	1	0
17	0	0	1	1	0	1
18	1	0	0	1	1	1
19	1	1	0	0	1	1
20	1	1	1	0	0	1
21	1	1	1	1	0	1

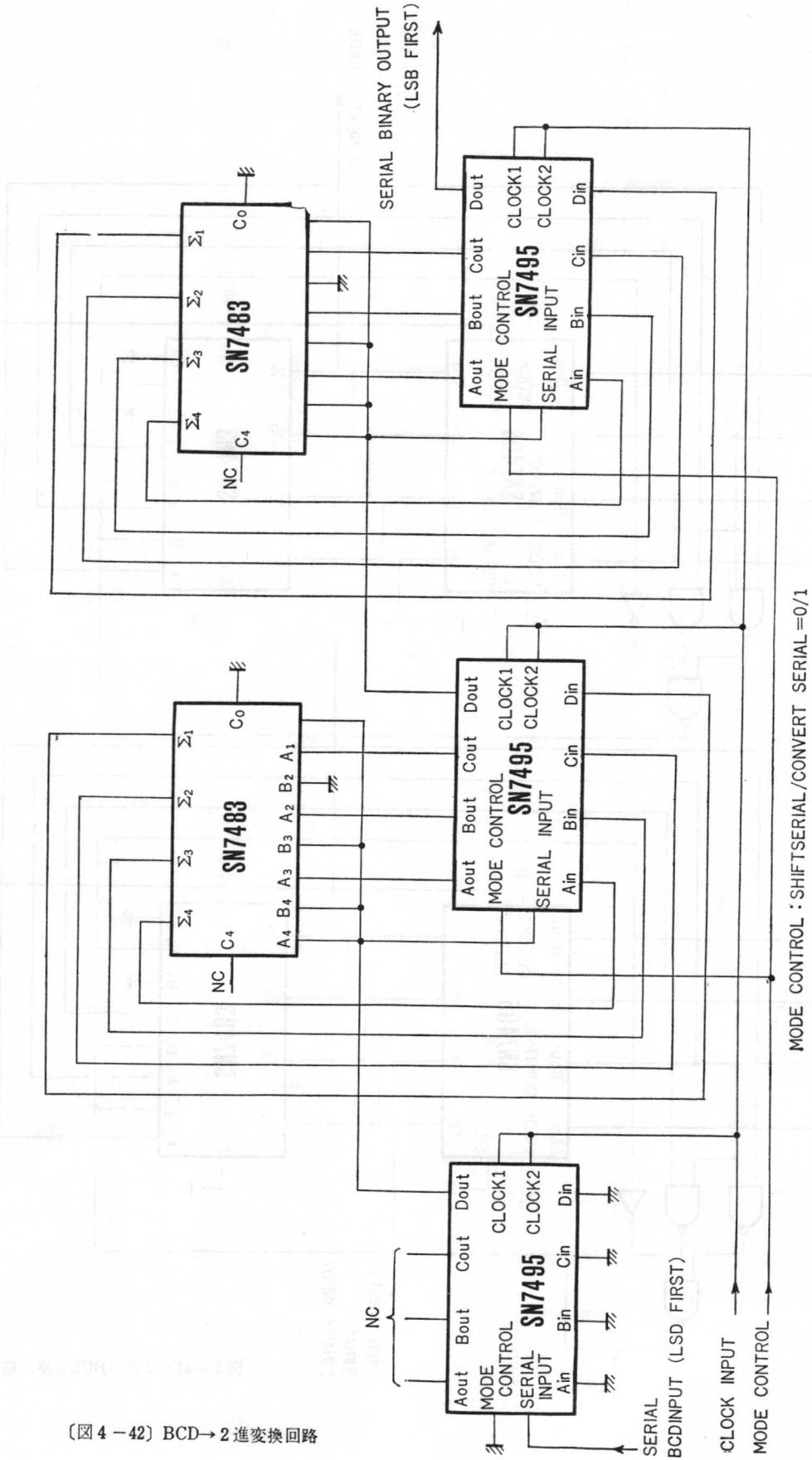
$$U = (C \cdot \bar{E} + \bar{C} \cdot E) + (A \cdot \bar{B} \cdot C \cdot \bar{D} \cdot E)$$

表 4-12) 21進 Non-maximum カウンタ真理値表



(图 4-41) 2 进 → BCD 变换回路

(图 4-42) BCD → 2 進变换回路



MODE CONTROL : SHIFT SERIAL / CONVERT SERIAL = 0/1

5. デコーダ／ドライバ及びコードコンバータ

5-1 概要

IC出現の初期には、超小型と高信頼性を達成する目的で軍用の電子機器に利用されたが、この時期にはICの価格はきわめて高く、装置の経済性についてはほとんど度外視されていた。

しかし、最近のICは価格の低減が進み一般産業用電子機器においても、IC化されなければ経済的に成立しないまでも普及してきた。さらに、最近では、この傾向が強く電子機器のIC化が急速に伸展し装置の経済性と設計の合理化ということが民生、通信および産業機器の各分野に急速に浸透しつつある。従来から主流となっていたデジタルICは、基本的なデバイスから、MSI、LSIへと発展の一途をたどっている。デコーダはn個の入力端子と、m個の出力端子を持つ装置である。

組み合わせの入力端子に信号が加えられたとき、その組み合わせに対応する一つの出力端子に、信号が現われるものをいう。デジタル・デコーダは、ディスプレイ回路にはもとより装置におけるタイミング、または、命令信号のデコードに広く使われているが、従来ではSSIでこの回路を構成してきたが、スペース・ファクタや経済性や信頼度の点からしてもなかなかめんどろであった。

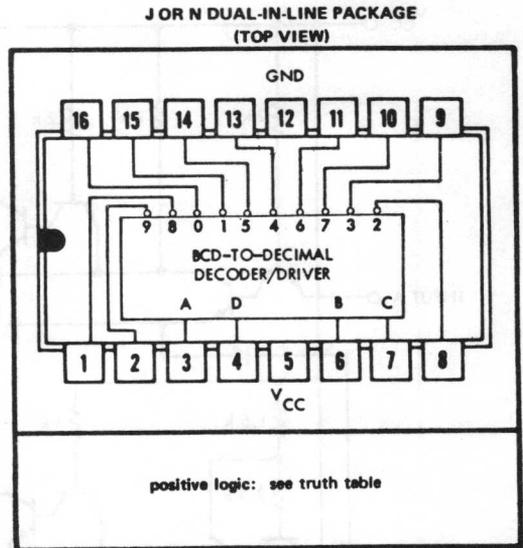
ここでは、TI社が以上のことを考慮して開発し、すでに市販されているMSI特にデジタル・デコーダ／ドライバ、および、コード・コンバータについて話を進めることにする。

5-2 デコーダ／ドライバ及びコードコンバータの種類と動作説明

INPUT				OUTPUT ON:
D	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

‡ All other outputs are off.

〈表5-1〉 真理値表



〔図5-1〕 ブロック図

デコーダ／ドライバは、表示回路にはもとより、装置におけるタイミング、または、命令信号のデコードに広く使われているが、機能ごとに大別して次のような種類のものがMSIとしてすでに市販されている。以下、各々のデバイスについて話を進める。

・BCD—デシマル：SN7441AN, SN7442
SN7445 SN74141
SN74145

・エクセスラ—デシマル：SN7443 SN7444
・2回路、2—4線：SN74155 SN74156
・BCD—7セグメント：SN7446 SN7447
・デコーダ／デマチ

プレクサ(2—16線)：SN74154

コードコンバータ：SN54/74184 SN54/74185A

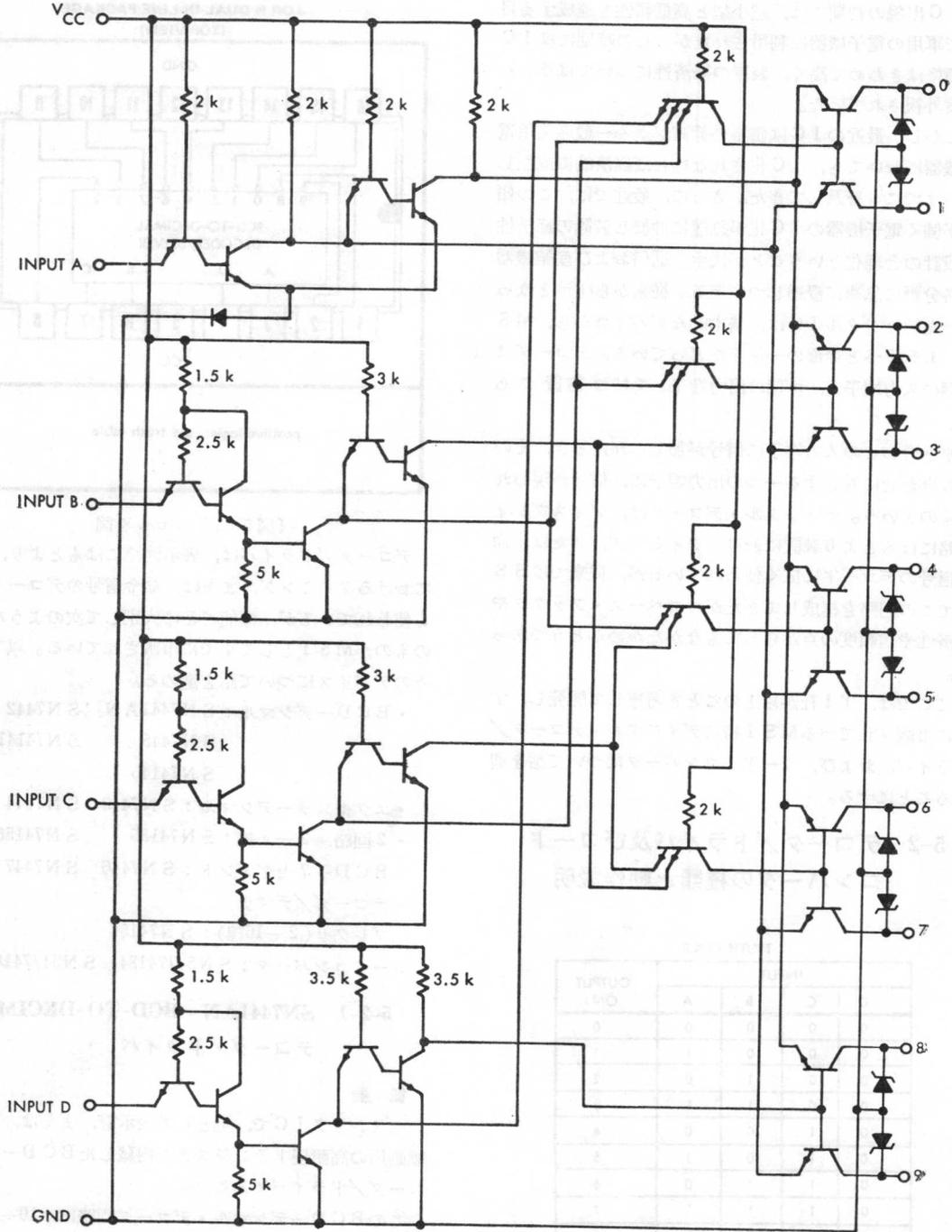
5-2-1 SN7441AN BCD-TO-DECIMAL デコーダ／ドライバ

概要

モノシックICで、主として表示管、または、リレー駆動用の高耐圧トランジスタを内蔵したBCD—10進デコーダ／ドライバである。

このBCD—デシマル・デコーダ回路は、10—1の出力を選択するTTLゲート回路によって構成されている。BCD入力回路は、標準TTL回路と完全にコンパチブルで、これらの入力回路のピン配列が10進カウンタ(SN7490N)のBCD出力端子と同じであるため、非常に便利である。表5—1に真理値表、図5—1にプロ

schematic



Component values shown are nominal.
All resistor values are in ohms.

(图 5-2) 回路图

ック図, 図5-2に回路図を示す。

BCD入力(2進4Bit)に対応した10進数の出力だけが導通し, 残りの出力はすべてオフ状態になっている。すなわち, BCD入力端子のすべてが論理“0”のとき導通している出力は, あらゆる条件のもとで7mAのシンク電流と, 最大2.5Vの低出力電圧が保証されている。

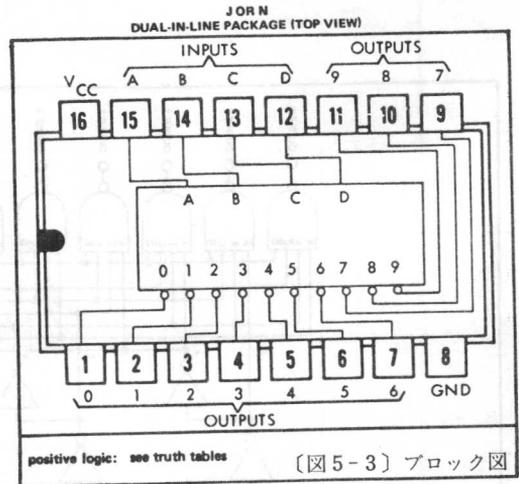
5-2-2 SN54/7442 SN54/7443 SN54/7444

これらは, モノリシックのMSIデコーダで, 1のパッケージの中にインバータ回路8個, 4入力NANDゲート回路10個から構成されていて, このインバータ回路は, デコードに必要なBCD入力信号を作るために使用し, 次段の4入力NANDゲート回路に結合される。

デコーダ回路はブロックダイアグラムや, 真理値表からもわかるように, BCD入力に対応した10進数の出力を, これらのNANDゲートから取り出すことができる。回路はTTL構成になっており, BCD入力および出力回路はDTL, および, TTLとコンパチブルである。

D-Cノイズマージンは, 標準値で1V, 消費電力140mWファンアウト10個である。表5-2に真理値表, 図5-3にブロック図, 図5-4にファンクション図を示す。

SN54/7442はBCD-10進, SN54/7443はエクセス3-10進, そしてSN54/7444はエクセス3-GRAY-10進にそれぞれ変換するデコーダである。



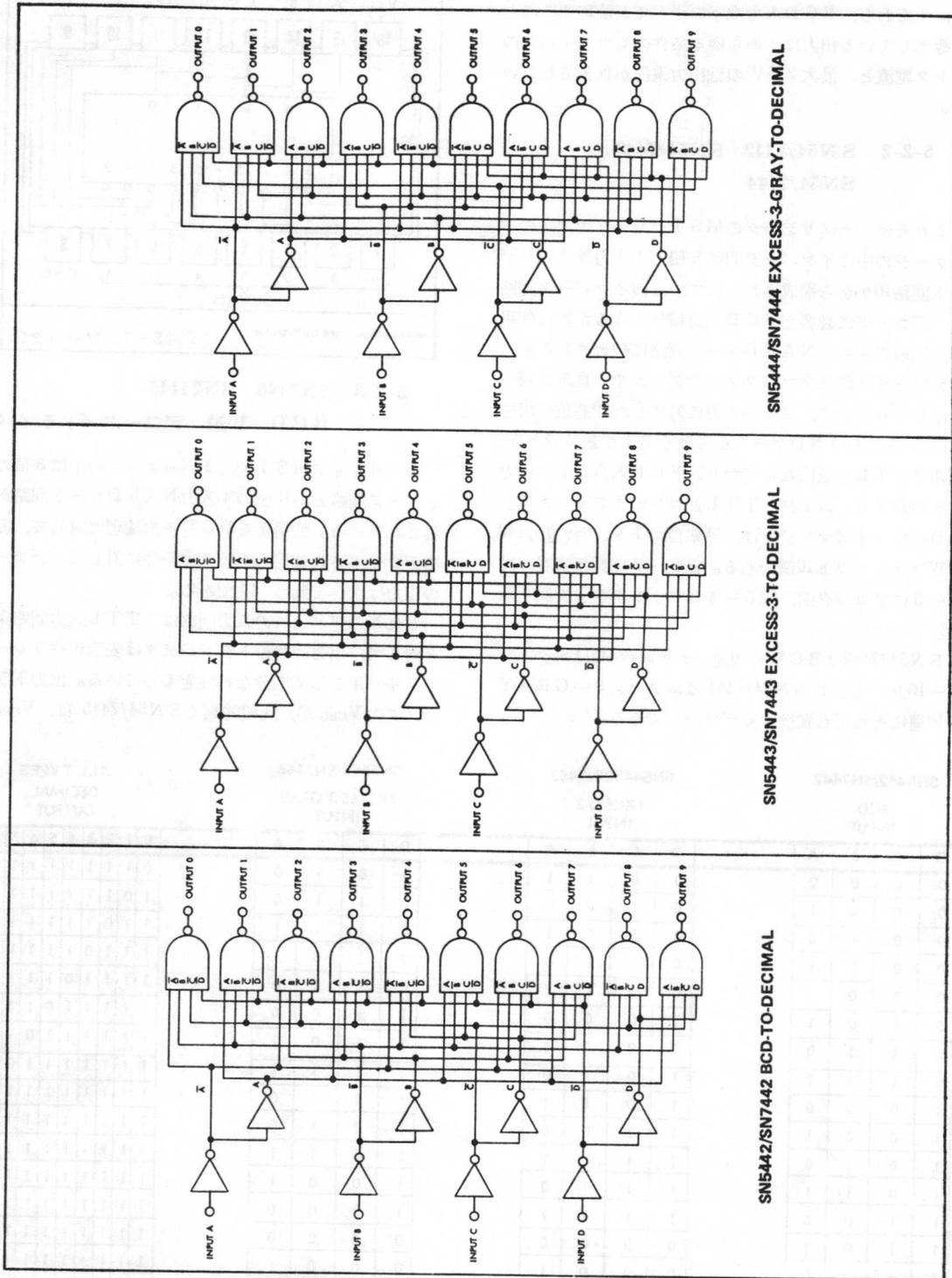
5-2-3 SN7445 SN74145 BCD-10進 デコード/ドライバ

モノリシックMSIで, 1パッケージの中に8個のインバータ回路と, 10個の4入力NANDゲート回路が収容されている。使用するBCD入力論理に対して, 完全にデコードされ使用しない入力条件に対して, デコーダの出力はすべて論理“1”である。

これらのデバイスの入力回路は, TTL入力回路条件と同じで, 出力回路のトランジスタは表示管やリレーのドライバ用として十分な特性をもっている。出力トランジスタのV_{CBO}が, 比較的高くSN54/7445は, V_{CBO}=

SN5442/SN7442				SN5443/SN7443				SN5444/SN7444				ALL TYPES									
BCD INPUT				EXCESS 3 INPUT				EXCESS 3 GRAY INPUT				DECIMAL OUTPUT									
D	C	B	A	D	C	B	A	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	0	1	1	0	0	1	0	0	1	1	1	1	1	1	1	1	
0	0	0	1	0	1	0	0	0	1	1	0	1	0	1	1	1	1	1	1	1	
0	0	1	0	0	1	0	1	0	1	1	1	1	0	1	1	1	1	1	1	1	
0	0	1	1	0	1	1	0	0	1	0	1	1	1	0	1	1	1	1	1	1	
0	1	0	0	0	0	1	1	1	1	1	0	0	0	0	1	1	1	1	1	1	
0	1	0	1	1	0	0	0	1	0	0	0	1	1	1	1	0	1	1	1	1	
0	1	1	0	1	0	0	1	0	1	1	1	1	1	1	0	1	1	1	1	1	
0	1	1	1	1	0	1	0	1	0	1	1	1	1	1	1	1	0	1	1	1	
1	0	0	0	1	0	1	1	1	1	1	1	0	1	1	1	1	1	0	1	1	
1	0	0	1	1	1	0	0	1	1	0	1	0	1	1	1	1	1	1	1	0	
1	0	1	0	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	
1	0	1	1	1	1	1	0	1	1	0	0	1	1	1	1	1	1	1	1	1	
1	1	0	0	1	1	1	1	1	1	1	0	0	0	1	1	1	1	1	1	1	
1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	
1	1	1	0	0	0	0	1	0	0	0	0	1	1	1	1	1	1	1	1	1	
1	1	1	1	0	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	

〈表5-2〉 真理値表

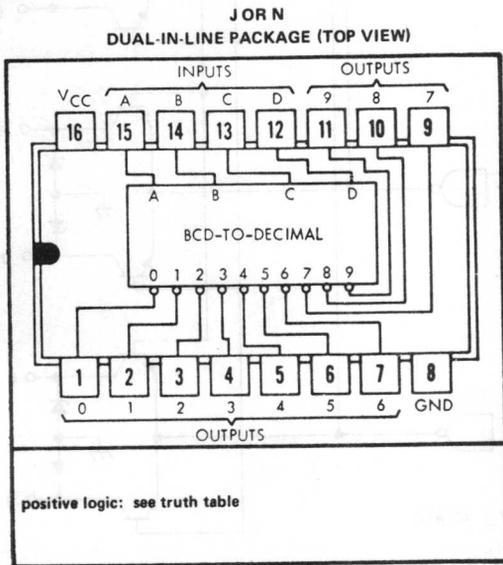


〔図5-4〕ファンクション図

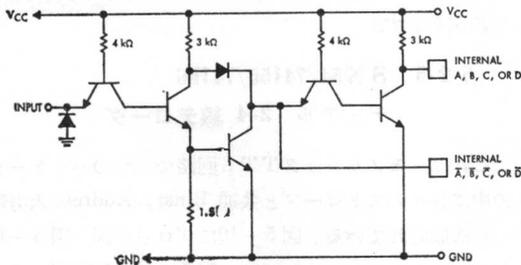
TRUTH TABLE

INPUTS				OUTPUTS									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1

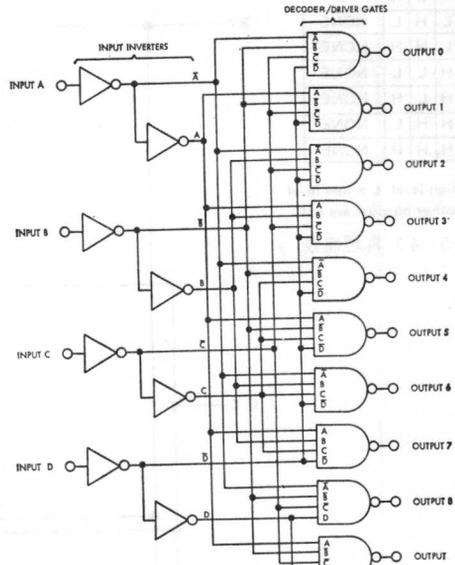
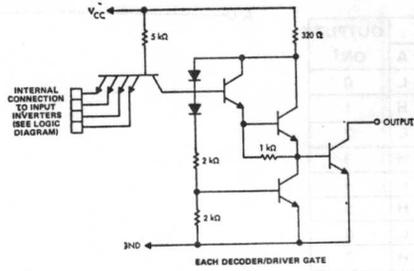
〈表 5-3〉 真理値表



〔図 5-5〕 ブロック図



〔図 5-6〕 回路図



〔図 5-7〕 ファンクション図

30V, SN54/74145 は $V_{CBO}=15V$ で、シンク電流は各々80mAである。

TTL, DTLと完全にコンパチブルである。消費電力は215mWである。表5-3に真理値表、図5-5にブロック図、図5-6に回路図、図5-7にファンクション図を示す。

5-2-4 SN54/74141

- ・表示放電管 ドライブ用
- ・入力クラン ピングダイオード付
- ・使用しない入力コードに対して出力はオフ
- ・消費電力標準値 55mW

使用する入力条件に対して、完全にデコードされるが使用しないコードに対して、出力はすべて論理“1”である。

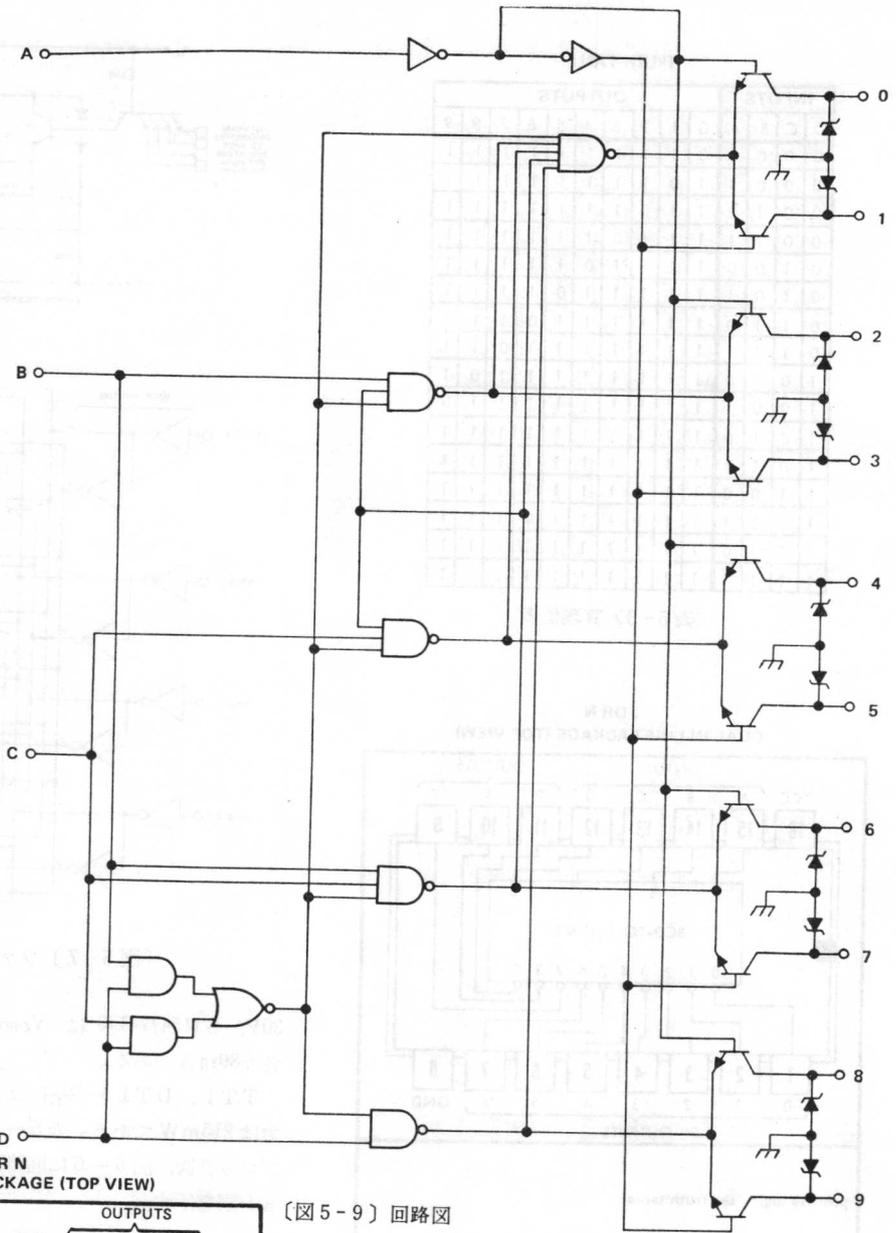
すなわち、BCD入力条件が10~15の場合、すべての出力はオフである。だから、SN74141において使用しないコードに対して、ブランピングすればよい。n-P-n出力トランジスタは、70Vにおいて50μAのリーク電流が流れる。

TRUTH TABLE

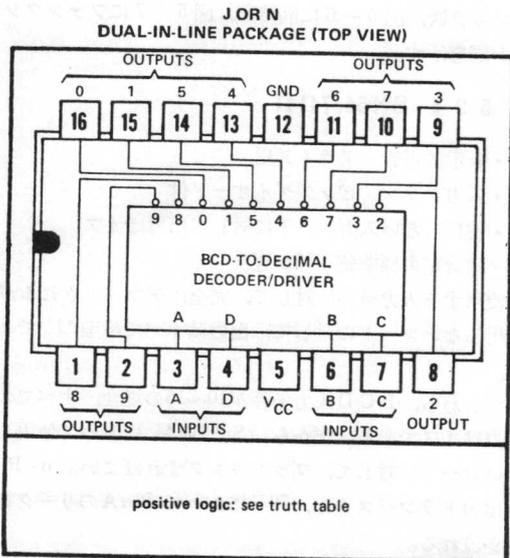
INPUT				OUTPUT
D	C	B	A	ON†
L	L	L	L	0
L	L	L	H	1
L	L	H	L	2
L	L	H	H	3
L	H	L	L	4
L	H	L	H	5
L	H	H	L	6
L	H	H	H	7
H	L	L	L	8
H	L	L	H	9
H	L	H	L	NONE
H	L	H	H	NONE
H	H	L	L	NONE
H	H	L	H	NONE
H	H	H	L	NONE
H	H	H	H	NONE

H = high level, L = low level
 † All other outputs are off

〈表 5-4〉 真理値表



(図 5-9) 回路図



(図 5-8) ブロック図

入力回路は、順方向インピーダンスの低いダイオードでクランプされているので、負電圧に対して入力回路の保護回路として動作する。消費電力は標準値で55mW表5-4に真理値表、図5-8にブロック図、図5-6に回路図を示す。

5-2-5 SN54/74155/74156

デュアル 2-4 線デコーダ

これは、モノリシックTTL回路で1つのパッケージの中に各々のストロブと共通 Binary-Address 入力部から構成されている。図5-10にブロック図、図5-11にファンクションダイヤグラム図5-12に回路図、表5-5に真理値表を示す。図からわかるように2セクショ

2-LINE-TO-4-LINE DECODER OR 1-LINE-TO-4-LINE DEMULTIPLEXER

INPUTS				OUTPUTS			
SELECT	STROBE	DATA		1Y0	1Y1	1Y2	1Y3
B	A	1G	1C				
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

INPUTS				OUTPUTS			
SELECT	STROBE	DATA		2Y0	2Y1	2Y2	2Y3
B	A	2G	2C				
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

3-LINE-TO-8-LINE DECODER TO 1-LINE-TO-8-LINE DEMULTIPLEXER

INPUTS				OUTPUTS							
SELECT	STROBE		DATA	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C†	B	A	G‡	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H
L	H	L	L	H	H	L	H	H	H	H	H
L	H	H	L	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H
H	H	L	L	H	H	H	H	H	H	L	H
H	H	H	L	H	H	H	H	H	H	H	L

〈表5-5〉 真理値表

ンの選択はストロブ入力端子1G、2Gにより選ばれ、
各々のストロブにより、このデコードを制御（動作ま
たは停止）する。

データ入力端子1Cへの入力データは、インバート回
路によりインヒビットされ、データ入力端子2Cのデー
タはそのまま次段のゲート回路へ送り込まれる。

3—8線のデコードを行なうとき、入力端子1Cと2
Cを結合することにより可能である（真理値表を参照）。

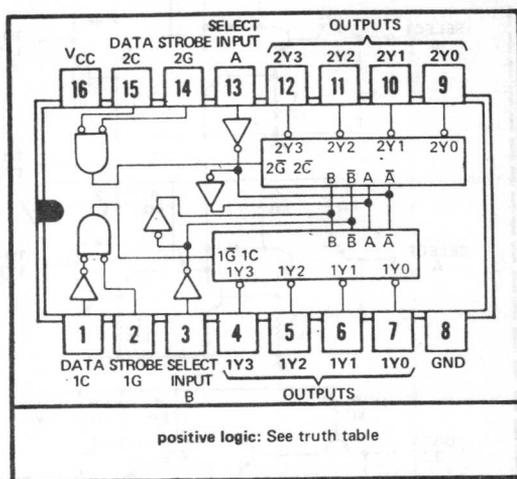
SN54/74155はトーテンポール出力方式で、ファンア
ウトの能力は、底レベル出力状態で10個、高レベルで20
個取れる。また、SN54/74156はオープンコレクタ出力
で低レベル出力電圧（0.4V）で、シンク電流は16mA
である。

5-2-6 SN54/7446 SN54/7447 SN54/7448
SN54/7449 BCD—7 セグメント
デコーダ／ドライバ

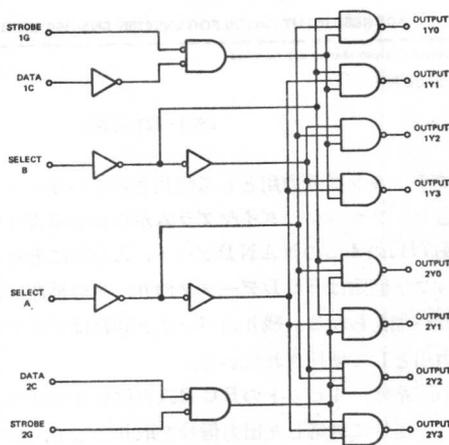
モノリシックMSIで、BCD—7セグメント、デコ
ーダ／ドライバで回路はNANDゲート、入力バッファ
回路と7個のAND-OR-INVゲート回路より構成され
ているが、用途によって選択して使用する。すなわ
ち、論理“0”で働く表示管を直接ドライブする場合は、
シンク電流（20mA）の大きいSN54/7446や、SN54/
7447が最適である。

また、論理“1”で動作する論理回路ディスクリ
ットや、その他のアクティブ部品をドライブする場合は、プ
ールアップ出力方式を採用しているSN54/7448やオー

JORN
DUAL-IN-LINE PACKAGE (TOP VIEW)

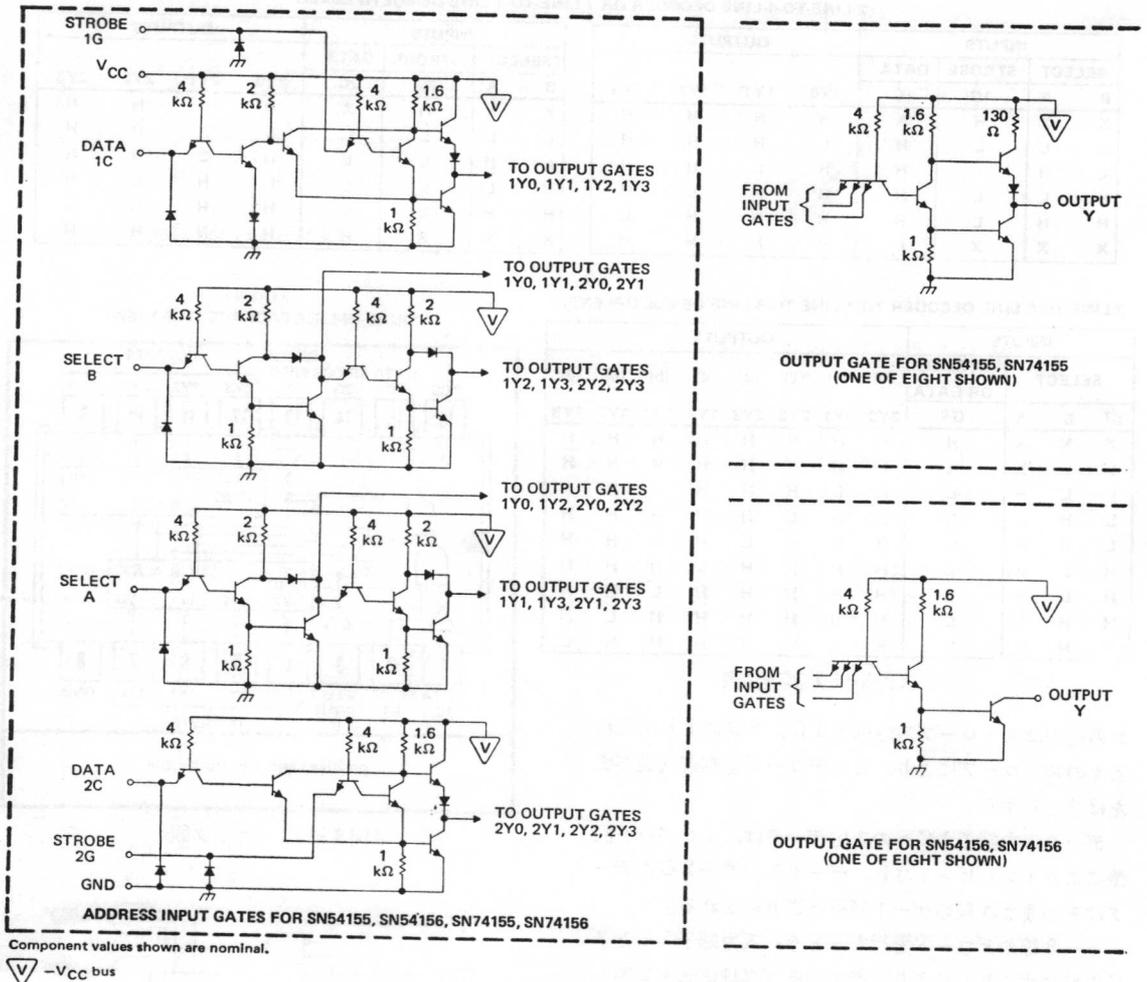


〔図5-10〕 ブロック図



〔図5-11〕 ファンクション ダイアグラム

プンコレクタ出力を持つSN54/7449が適している。
SN54/7446、47そして、48デコーダの7個のNAN
Dゲート回路とドライバ回路は4ビットのBCDデー
タを作るため一対で使用され、その補数はデコーダ部のA
ND—ORゲート回路に接続され、残りのNANDゲ
ート回路と3個のバッファ回路は、ランプテスト、ブラン
キング入力／リップルブランキング出力、そして、リッ



〔図5-12〕 回路図

ブルブランキング入力用として使用されている。ファンクション、ブロック、ダイアグラムからわかるように、SN54/7449の4つのNANDゲート、入力部にある4個のバッファ回路はBCDデータを作り、その補数はデコーダ部へ加えられる。残りのバッファ回路はブランキング入力用として使用されている。

この回路は、4ビットのBCD入力信号を受けて、BCD入力信号に対応した出力信号を取り出して、セブンセグメントの表示管(SN54/7446, SN54/7447)や他の部品(SN54/7448, SN54/7449)をドライブする。7446/7447は、比較的高い電圧で動作する7セグメント表示管に適している。

SN5446の出力電圧は30V、SN5447は15Vでリパース電流は最大値で250 μ Aである。表示管の各々のセグメントが20mAまでのものなら直接ドライブ(SN54/7446, SN54/7447)ができる。表5-6にSN54/7446 SN54/7447の真理値表、図5-13にブロック図、図5

-14に機能図、図5-15に回路図、表5-7にSN54/7448の真理値表、図5-16に回路図、図5-17に機能図、表5-8にSN54/7449の真理値表、図5-18に機能図、図5-19に回路図、図5-20に各デコーダのタイムチャートを示す。

〔各デバイスの取扱上の注意〕

A SN54/7446, SN54/7447

- ① BI/RBOはワイヤードオアが可能で、BIはブランキング入力端子、RBOはリップルブランキング出力端子である。セブン・セグメント表示管をドライブする場合、この端子はオープン、または論理“1”にする。真理値表からわかるように、10進数の0を表示する場合RBI入力端子は開放、または、論理“1”にする。X記号は論理“1”でも“0”でも良い。
- ② BI入力端子を論理“0”にすると、全セグメントの出力は、他の入力端子の入力条件に関係なく論理

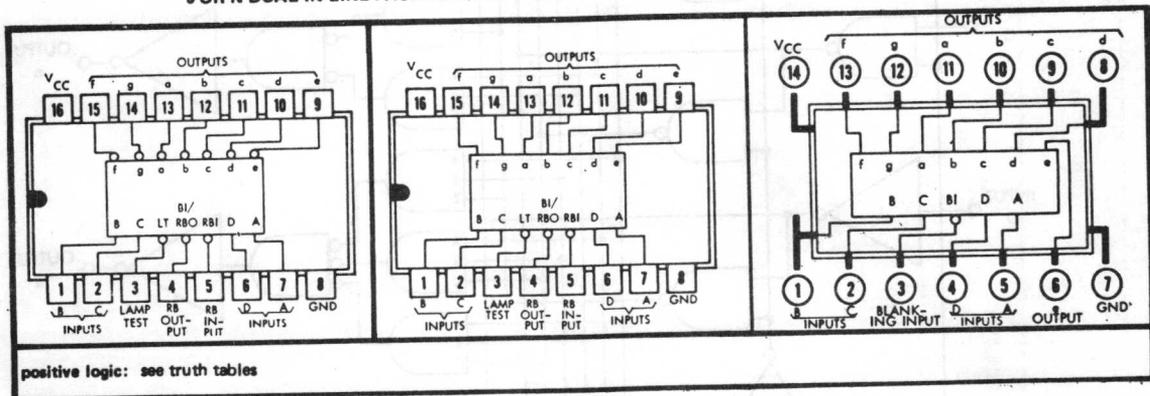
TRUTH TABLE SN5446, SN5447, SN7446, SN7447

DECIMAL OR FUNCTION	INPUTS						OUTPUTS							NOTE	
	LT	RBI	D	C	B	A	BI/RBO	a	b	c	d	e	f		g
0	1	1	0	0	0	0	1	0	0	0	0	0	0	1	1
1	1	X	0	0	0	1	1	1	0	0	1	1	1	1	1
2	1	X	0	0	1	0	1	0	0	1	0	0	1	0	
3	1	X	0	0	1	1	1	0	0	0	0	1	1	0	
4	1	X	0	1	0	0	1	1	0	0	1	1	0	0	
5	1	X	0	1	0	1	1	0	1	0	0	1	0	0	
6	1	X	0	1	1	0	1	1	1	0	0	0	0	0	
7	1	X	0	1	1	1	1	0	0	0	1	1	1	1	
8	1	X	1	0	0	0	1	0	0	0	0	0	0	0	
9	1	X	1	0	0	1	1	0	0	0	1	1	0	0	
10	1	X	1	0	1	0	1	1	1	1	0	0	1	0	
11	1	X	1	0	1	1	1	1	1	0	0	1	1	0	
12	1	X	1	1	0	0	1	1	0	1	1	1	1	0	
13	1	X	1	1	0	1	1	0	1	1	1	0	1	0	
14	1	X	1	1	1	0	1	1	1	1	0	0	0	0	
15	1	X	1	1	1	1	1	1	1	1	1	1	1	1	
B I	X	X	X	X	X	X	0	1	1	1	1	1	1	1	2
RBI	1	0	0	0	0	0	0	1	1	1	1	1	1	1	3
LT	0	X	X	X	X	X	1	0	0	0	0	0	0	0	4

〈表 5-6〉 真理値表

SN5446, SN5447, SN5448, SN7446, SN7447, SN7448
JORN DUAL-IN-LINE PACKAGE (TOP VIEW)

SN5449, SN7449
S FLAT PACKAGE (TOP VIEW)



〔図 5-13〕 ブロック図

“1”になる。

- ③ リップルブランキング入力端子 (RBI) と、Data 入力端子 (A, B, C, D) に論理“0”を加えると全セグメント出力端子は、論理“1”になり、RBO 出力端子は論理“0”になる。
- ④ BI/RBO 端子に、論理“1”とランプテスト入力端子 LT に論理“0”を加えると、全セグメントの出力は論理“0”になる。

B SN54/7448

- ① BI/RBO 端子は、ワイヤード・ロジックが可能で BI 入力端子は開放か論理“1”に方向づけする必要がある。10進数の0を取り出す場合は、RBI 入力端子を開放または論理“1”にする。真理値表に示されている記号Xは、論理“1”でも“0”でも良い。
- ② BI 入力端子に、論理“0”を供給すると全セグメントの出力端子は、他の入力端子の入力条件には無関係に論理“0”となる。

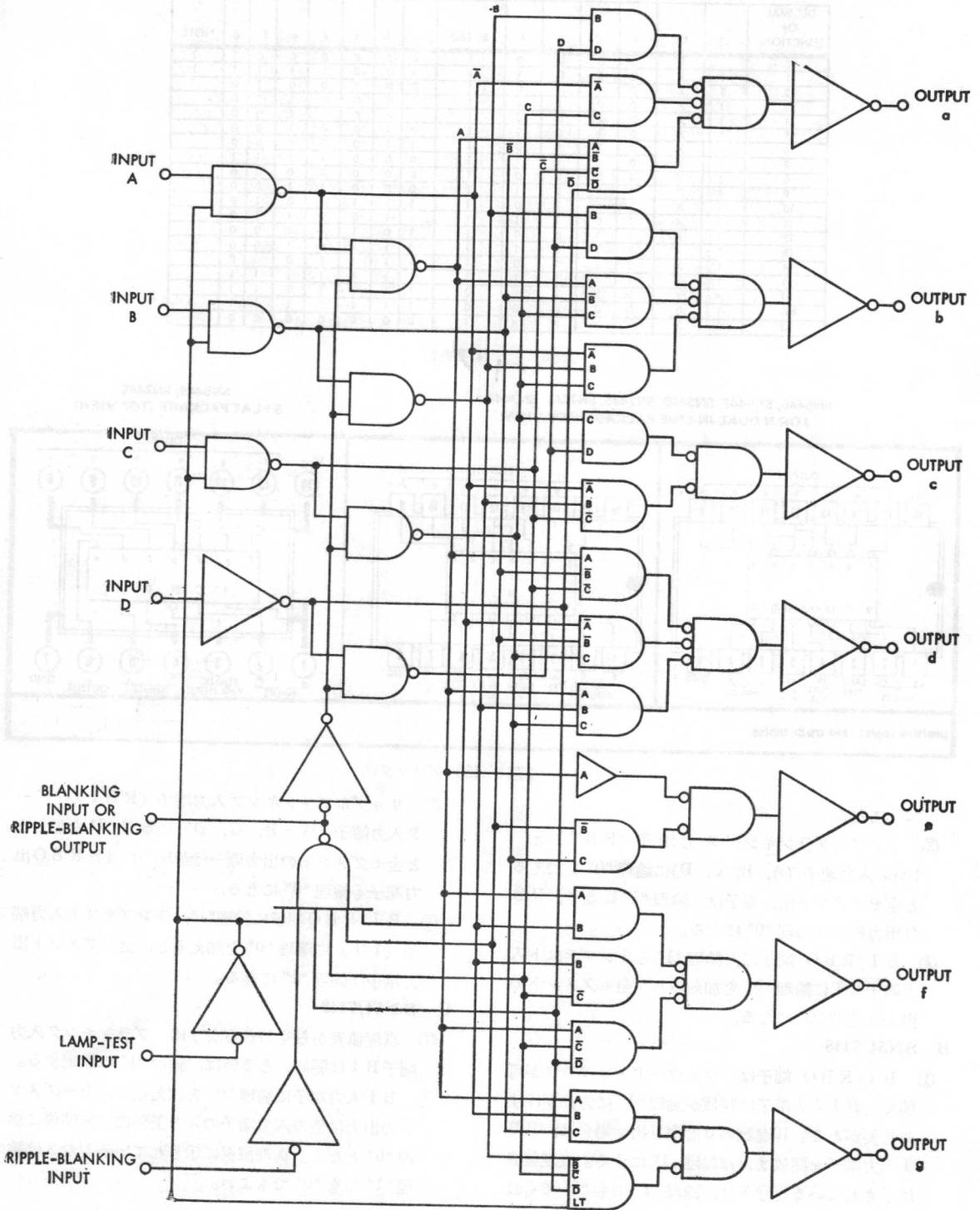
- ③ リップルブランキング入力端子 (RBI)、データ入力端子 (A, B, C, D) に論理“0”を加えると全セグメントの出力端子は論理“0”またRBO出力端子も論理“0”になる。
- ④ BI/RBO端子に論理“1”、ランプテスト入力端子 (LT) に論理“0”を加えると、全セグメント出力端子は論理“1”になる。

C SN54/7449

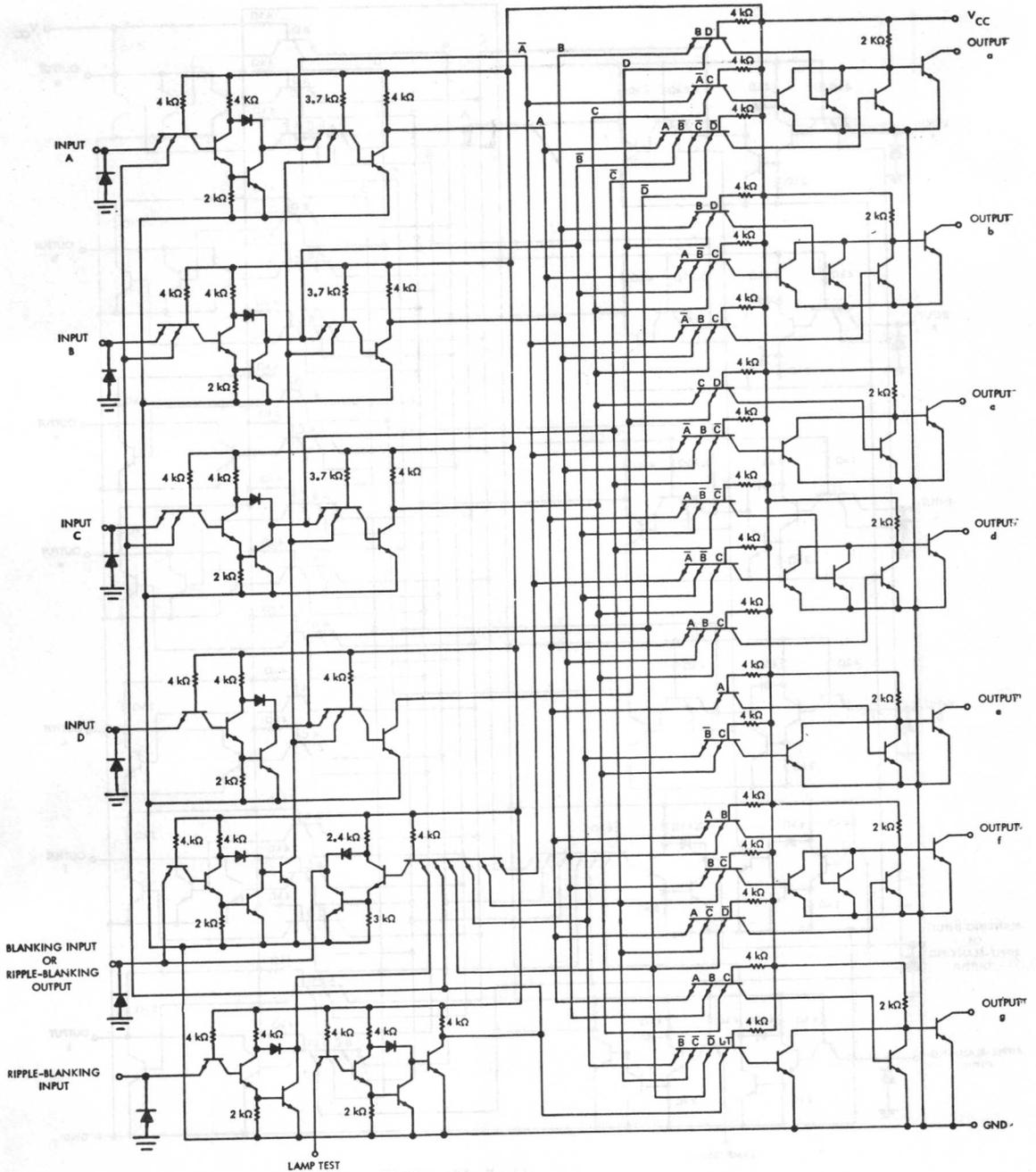
- ① 真理値表からもわかるように、ブランキング入力端子BIは開放、あるいは、論理“1”に設定する。
- ② BI 入力端子に論理“0”を加えると、全セグメントの出力は他の入力端子の入力条件には無関係に論理“0”となる。真理値表に示されている記号Xは論理“1”でも“0”でもよい。

5-3 MSI デコーダ・ドライバ

の応用例



(图 5-14) 機能图



Component values shown are nominal

〔図5-15〕回路図

5-3-1 SN5442/SN7442 による BCD—10進数 (0~15) 変換回路

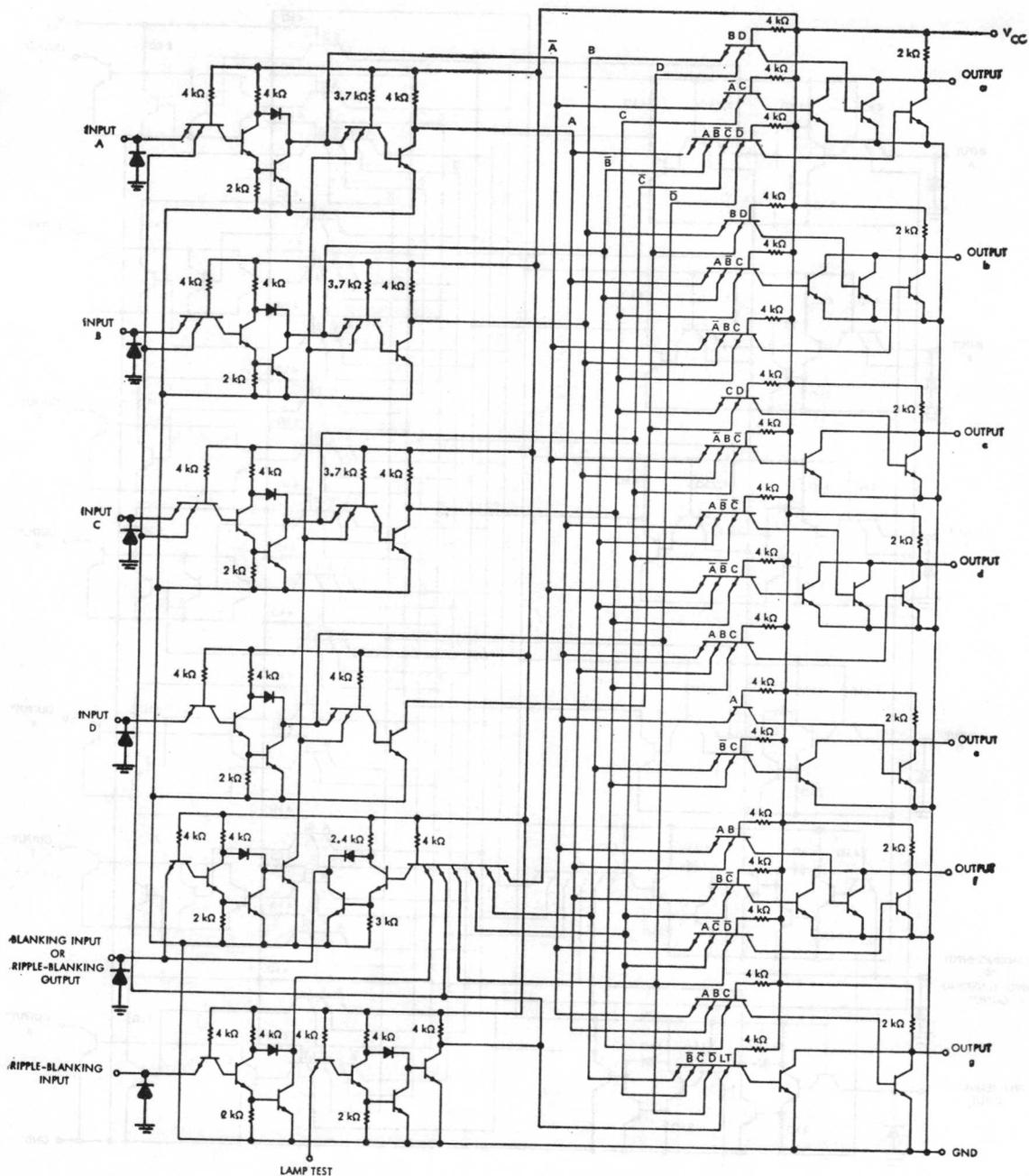
図5-12は2個のBCD-TO-DECIMALデコーダ(SN54/7442)による16-1(4線-16線)変換回路例である。図からわかるように、2組のデコーダの入力A, BおよびCは、平行に接続し、Dは1個のデコーダに補数 \bar{D} は、他のデコーダの入力端子Dへ結合する。

10進数8, 9は2組のデコーダから取り出すことがで

きる。

5-3-2 SN54/7442による BCD—8進変換回路

SN5442/SN7442を使用したBCD—8進変換回路の構成図を図5-22に示す。これは、3ビットの2進コードA, B, Cをデコーダの入力端子A, B, Cに接続し、D入力端子をストロープとして使用することにより可能で、このストロープ入力端子に論理“0”がきたとき3ビ



Component values shown are nominal

〔図 5-16〕 回路図

ットの2進コードによって選択された信号を出力端子(0~7)から取り出される。

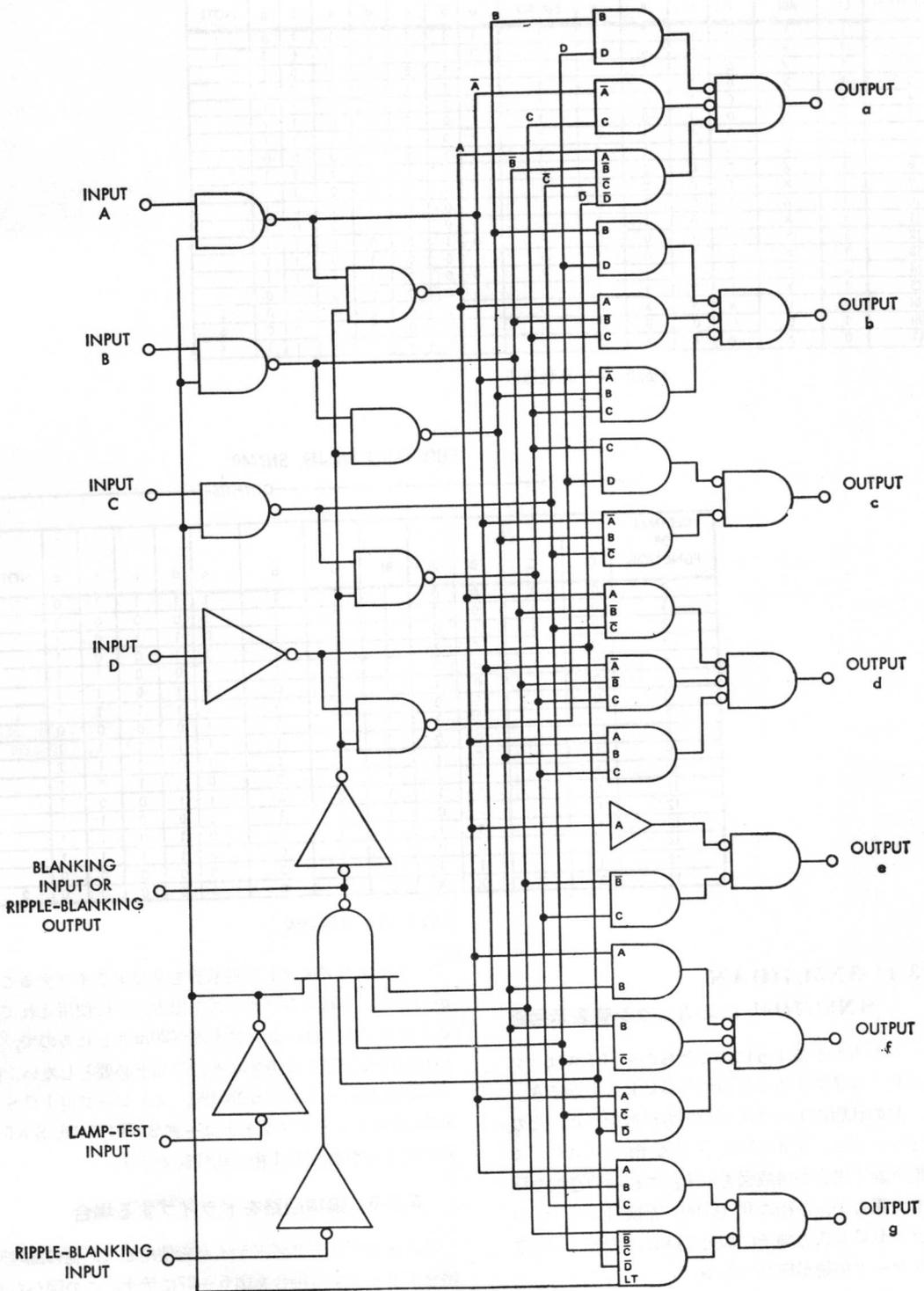
このとき出力端子8, 9は使用しない。BCD真理値表を参照して下さい。

5-3-3 SN54/7444 によるBCD—8進 変換回路

SN5444/SN7444 を使用したBCD—8進変換回路の構成図を図5-23に示す。図からわかるように、これ

は3ビットの2進コードA, B, Cをデコーダの入力端子A, B, Dに供給することにより8—1のデコードを行なうことができる。

入力端子Cをストロブ制御端子として使用、ストロブ信号が論理“1”のときデコードされた出力信号を取り出すことができる。この場合、出力端子0, 9は使用しない。



〔图 5-17〕 機能图

TRUTH TABLE SN5448, SN7448

DECIMAL OR FUNCTION	INPUTS						OUTPUTS							NOTE	
	LT	RBI	D	C	B	A	BI/RBO	a	b	c	d	e	f		g
0	1	1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	1	X	0	0	0	1	1	0	1	1	0	0	0	0	1
2	1	X	0	0	1	0	1	1	1	0	1	1	0	1	
3	1	X	0	0	1	1	1	1	1	1	1	0	0	1	
4	1	X	0	1	0	0	1	0	1	1	0	0	1	1	
5	1	X	0	1	0	1	1	1	0	1	1	0	1	1	
6	1	X	0	1	1	0	1	0	0	1	1	1	1	1	
7	1	X	0	1	1	1	1	1	1	1	1	0	0	0	
8	1	X	1	0	0	0	1	1	1	1	1	1	1	1	
9	1	X	1	0	0	1	1	1	1	1	1	0	0	1	
10	1	X	1	0	1	0	1	0	0	0	1	1	0	1	
11	1	X	1	0	1	1	1	0	0	1	1	0	0	1	
12	1	X	1	1	0	0	1	0	1	0	0	0	0	1	
13	1	X	1	1	0	1	1	1	0	0	1	0	1	1	
14	1	X	1	1	1	0	1	0	0	0	1	1	1	1	
15	1	X	1	1	1	1	1	0	0	0	0	0	0	0	
BI	X	X	X	X	X	X	0	0	0	0	0	0	0	0	
RBI	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2
LT	0	X	X	X	X	X	1	1	1	1	1	1	1	1	4

<表 5-7> 真理値表

TRUTH TABLE SN5449, SN7449

DECIMAL OR FUNCTION	INPUTS					OUTPUTS							NOTE		
	D	C	B	A	BI	a	b	c	d	e	f	g			
0	0	0	0	0	1	1	1	1	1	1	1	1	0	1	
1	0	0	0	1	1	0	1	1	0	0	1	1	0	0	
2	0	0	1	0	1	1	1	1	1	0	1	1	0	1	
3	0	0	1	1	1	1	1	1	1	1	1	0	0	1	
4	0	1	0	0	1	0	1	1	0	1	1	0	1	1	
5	0	1	0	1	1	1	1	0	1	1	1	0	1	1	
6	0	1	1	0	1	0	1	0	1	1	1	0	1	1	
7	0	1	1	1	1	1	1	1	1	1	1	1	1	1	
8	1	0	0	0	1	1	1	1	1	1	1	1	1	1	
9	1	0	0	1	1	1	1	1	1	1	1	1	1	1	
10	1	0	1	0	1	0	0	0	0	1	0	0	1	1	
11	1	0	1	1	1	0	0	0	1	1	0	1	0	1	
12	1	1	0	0	1	0	0	1	1	0	0	0	1	1	
13	1	1	0	1	1	1	1	0	0	0	0	1	1	1	
14	1	1	1	0	1	0	0	0	1	0	1	0	1	1	
15	1	1	1	1	1	1	0	0	0	0	1	1	1	1	
BI	X	X	X	X	0	0	0	0	0	0	0	0	0	0	2

<表 5-8> 真理値表

5-3-4 SN54/7441AN

SN54/74141 によるニクシ管表示回路

図 5-24 からわかるように、これらのデバイスはニクシ管を直接ドライブすることができ BCD 入力端子 A, B, C, D の状態によって 1 つの出力が選択され、その出力をオンにする。図 5-25 に不要な桁の 0 (0 マスク) を取り除く場合の構成図を示す。これは 10 進数の 12 を使用した場合で、各桁の 0 (0000) を検出して、このデコーダの BCD 入力端子に加えている。また、この方式はカスケード接続が簡単である。

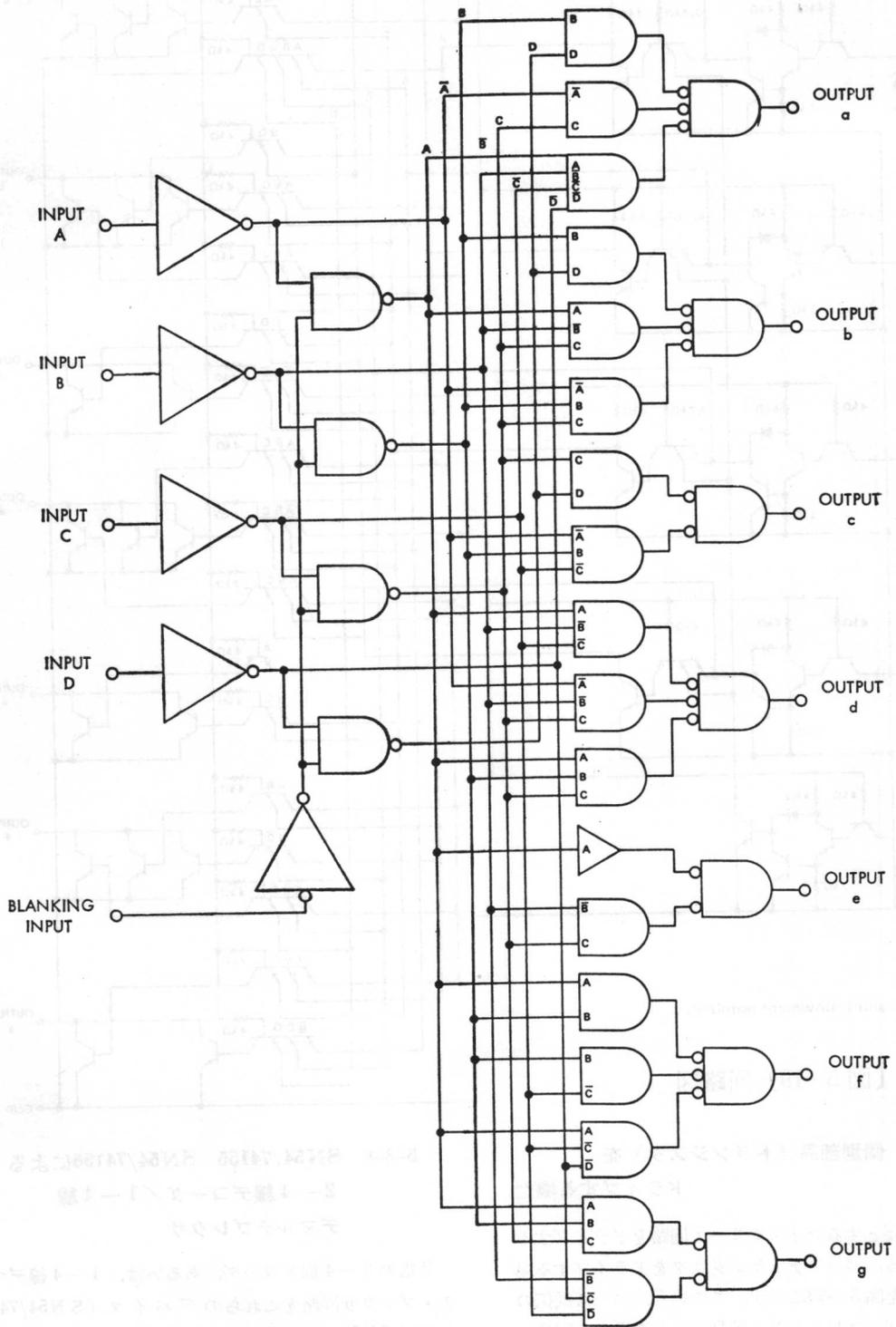
5-3-5 セブンセグメント表示回路

デコーダ SN54/7446 あるいは SN53/7447 を使用し

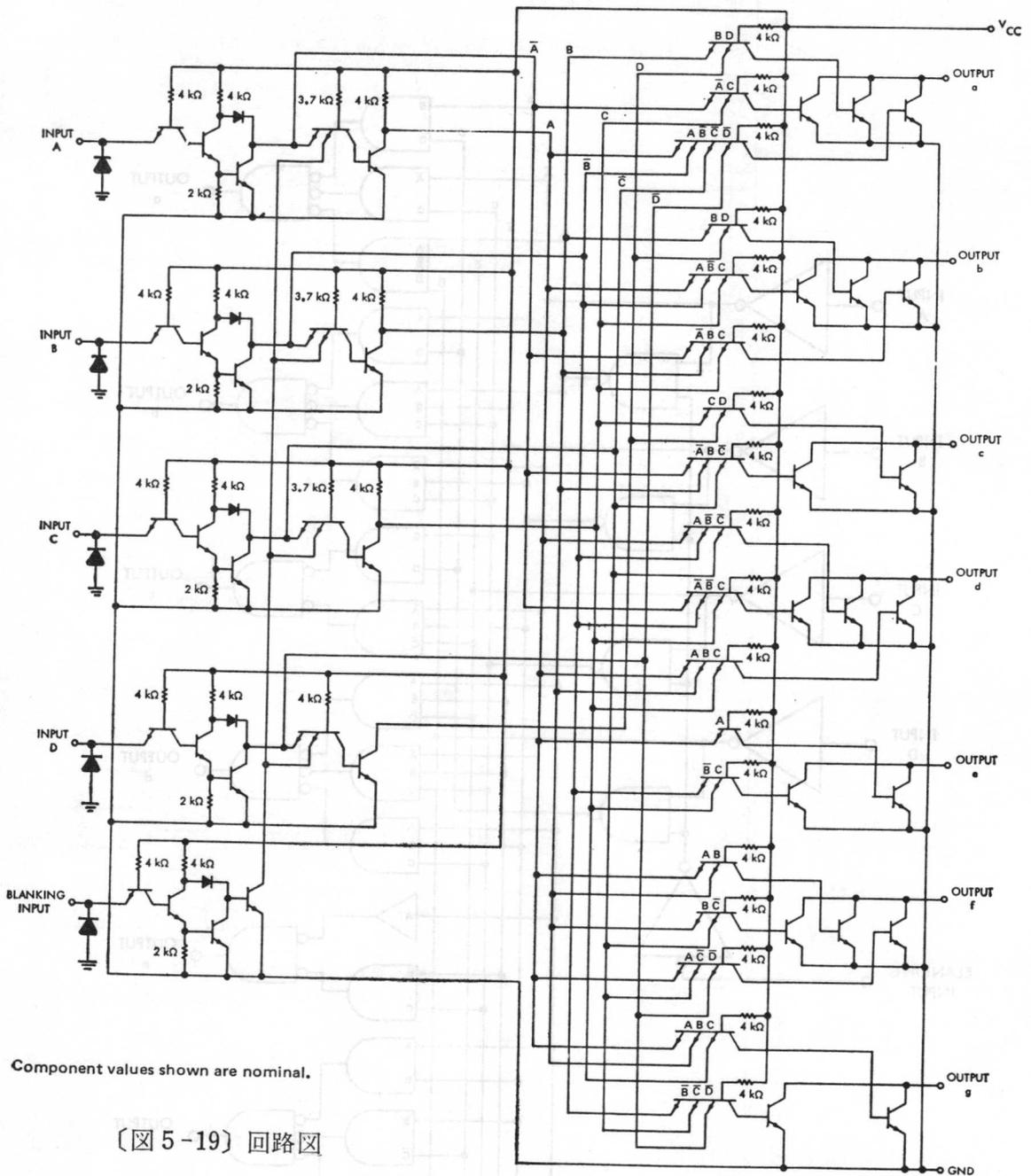
て、セブンセグメント用表示管を直接ドライブすることができる。これらのデバイスの出力回路に使用されているトランジスタは、シンク電流が 20mA とれるので、この範囲内で使用する場合は外付部品を必要としない。図 5-26 に 10 進カウンタ SN5490、ストレージ用 ICSN5475 とセブンセグメントデコーダ SN54/7446, SN54/7447 による計数回路 1 桁の構成図を示す。

5-3-6 論理回路をドライブする場合

これらのデコーダ/ドライバを使用して、他の論理回路をドライブする場合は図 5-27 に示す。この図からわかるように、オープンコレクタ出力をもったデコーダはプルアップ抵抗を必要とする。これは、SSI (SN5401) のところで述べた方式で値を決定する。



〔図 5-18〕 機能図



Component values shown are nominal.

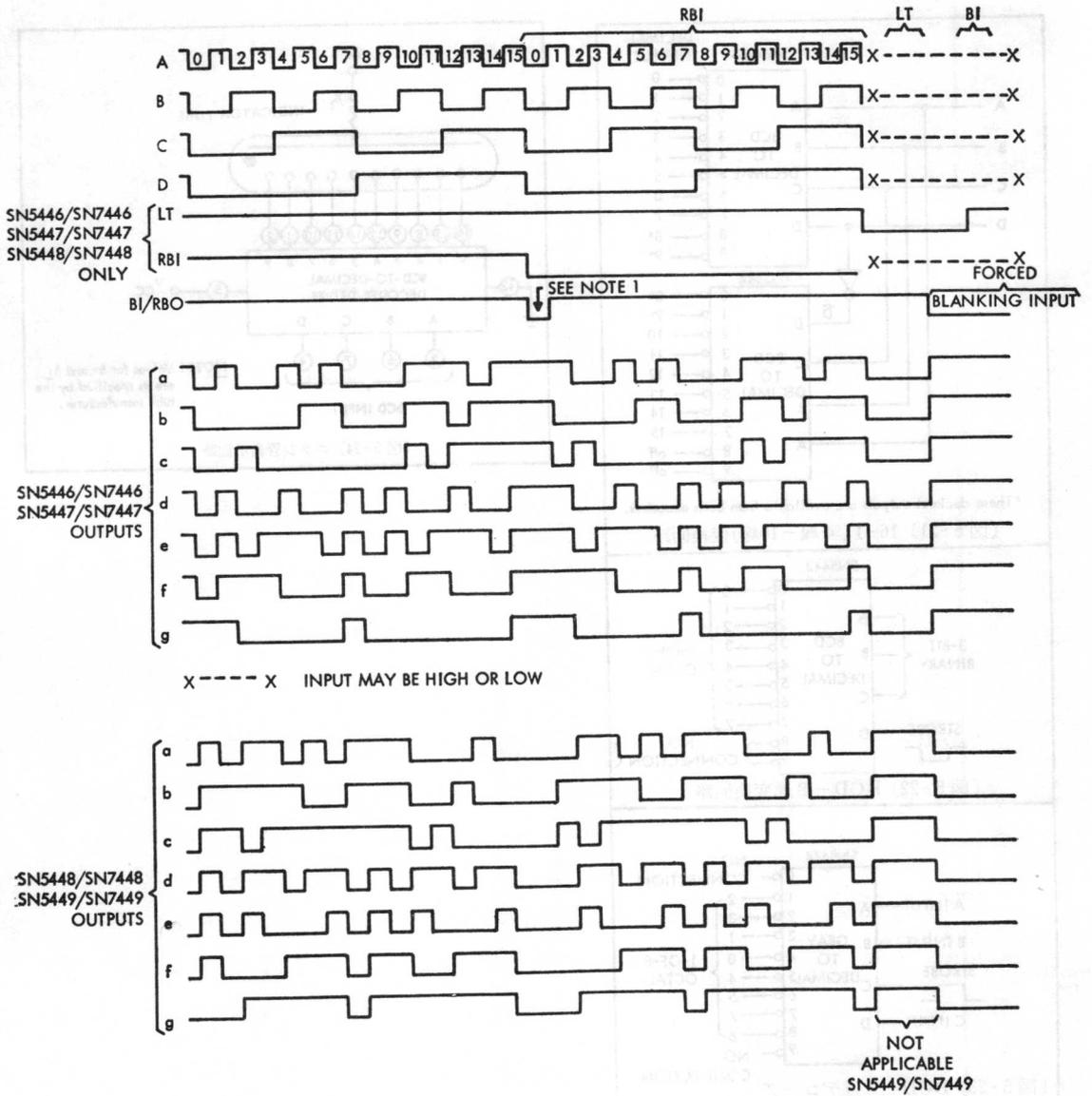
〔図 5-19〕 回路図

5-3-7 個別部品 (トランジスタ) を ドライブする場合

電力を必要とするディスクリート回路をドライブすることができる。パワートランジスタをドライブする場合の構成図を図 5-28 に示す。この場合、ベース抵抗の決定はオープンコレクタ NAND ゲートの場合と同様な方法で決定する。SCR をドライブする場合の構成図を図 5-29 に示す。

5-3-8 SN54/74155 SN54/74156 による 2-4 線デコーダ / 1-4 線 デマルチプレクサ

2 組の 2-4 線デコーダ、あるいは、1-4 線デマルチプレクサ回路をこれらのデバイス (SN54/74155 SN54/74156) を使用して構成することができる。デコーダとして使用する場合、図 5-30 からわかるように、まず、ストロブ入力端子によって 2 組の内どちらかを



(図5-20) 各デコーダの入出力に対するタイムチャート

選択する。

すなわち、4線出力部(IY₀, IY₁, IY₂, IY₃)の選択はストロブ入力端子1Gに論理“0”，入力端子1Cに論理“1”なる信号を加えることにより可能で、その出力線は選択入力端子A, Bの値によりデコードされ、諸要の出力コードを取り出すことができる。他の4線出力部(2Y₀, 2Y₁, 2Y₂, 2Y₃)の選択は、ストロブ入力端子2G, 2Cに論理“0”を設定すれば可能である。

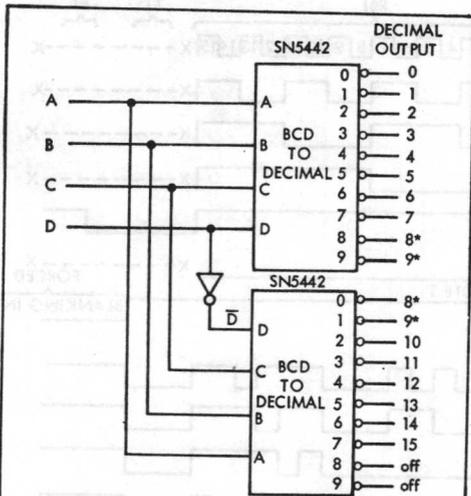
デマルチプレクサとして使用する場合

データ入力端子1C, 2Cにシリアルにデータを加えアドレス選択入力端子A, Bを制御することにより可能で、出力端子から選択された諸要の出力情報を取り出すことができる。分離用ストロブ入力端子1G, 2G

は、両出力部を選択、または、カスケードとして用いる場合に使用される。

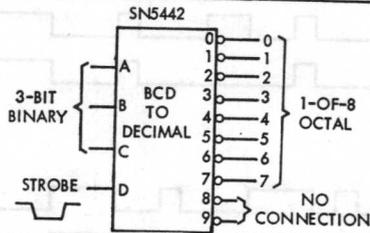
5-3-9 3線—8線 デコーダ/1—8デマルチプレクサSN54/74155, SN54/74156による

デコーダとして使用する場合、データ入力端子1C, 2Cを接続し、第3のアドレス選択端子Cとして使用する。構成図を図5-31に示す。また、ストロブ入力端子G₁ G₂も一緒に結合し、エネーブルあるいはカスケードとして使用する。デマルチプレクサとして使用する場合は、共通ストロブ端子はデータ入力端子(G)として使用する。

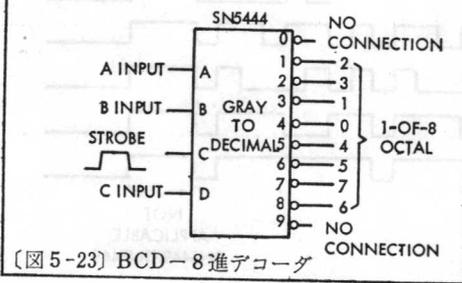


*These decimal outputs are available from both decoders.

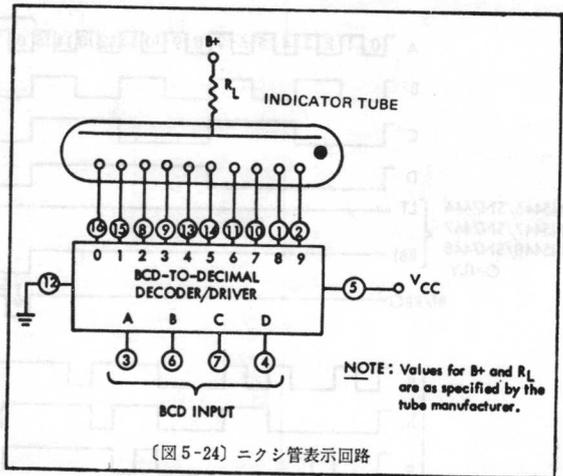
〔図 5-21〕 16-1 (4 線-16 線) 変換回路



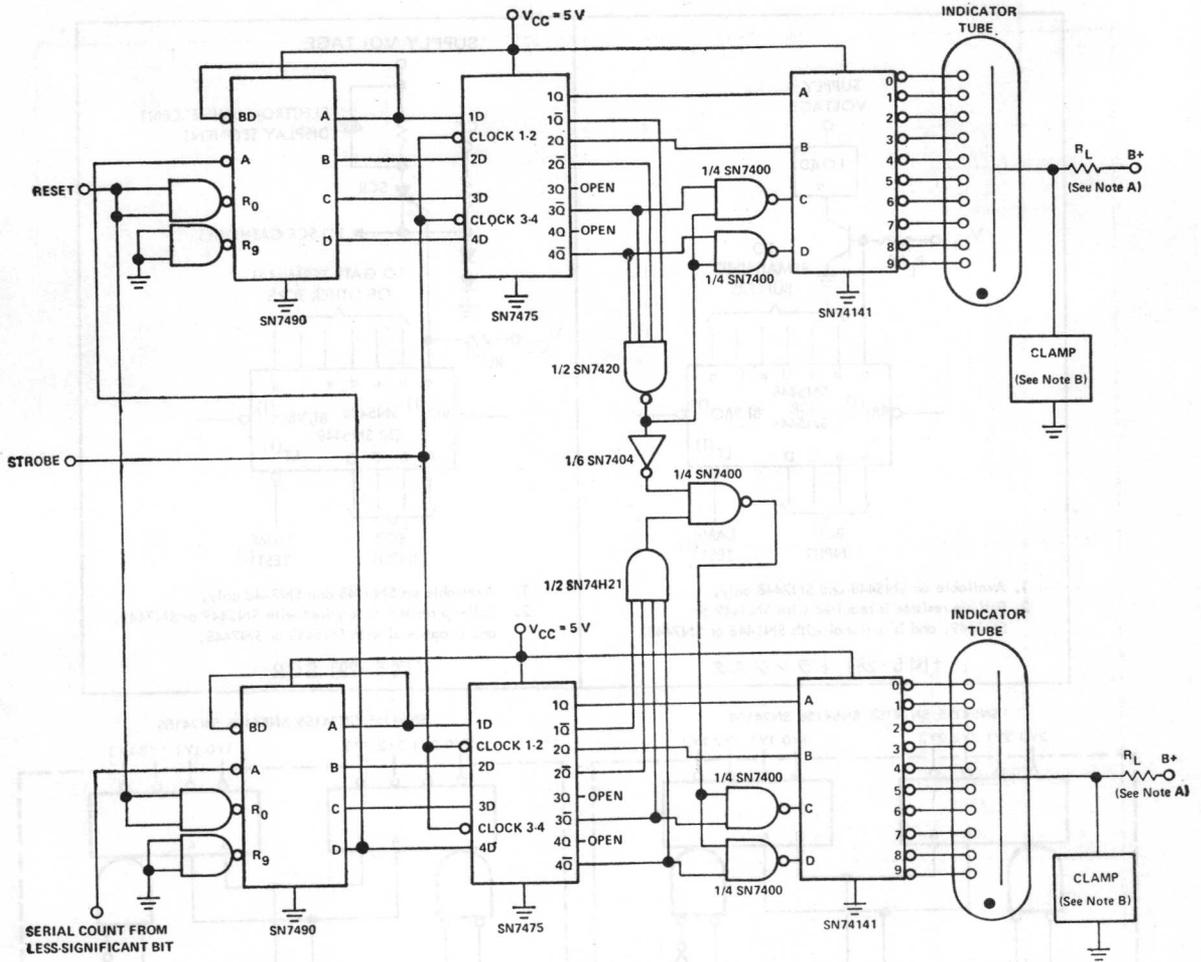
〔図 5-22〕 BCD-8 進変換回路



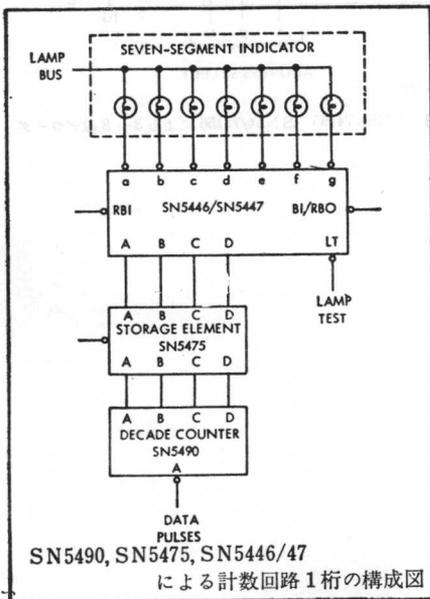
〔図 5-23〕 BCD-8 進デコーダ



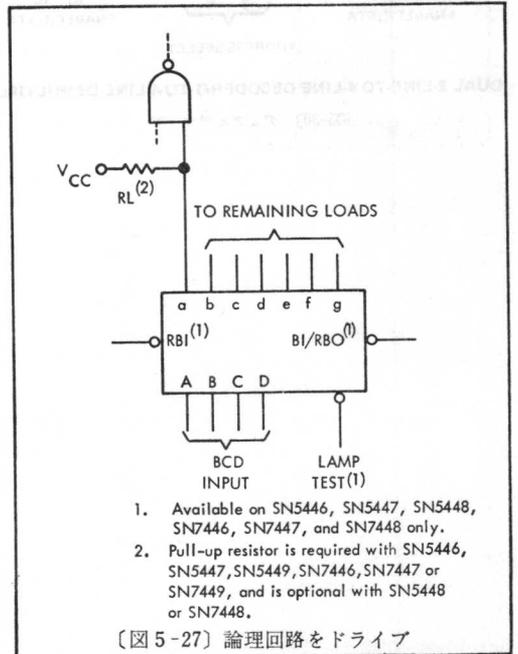
〔図 5-24〕 ニクシ管表示回路

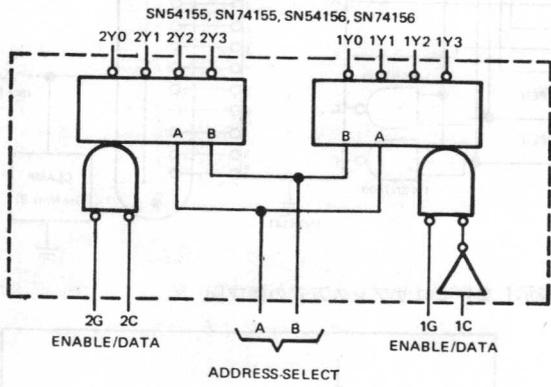
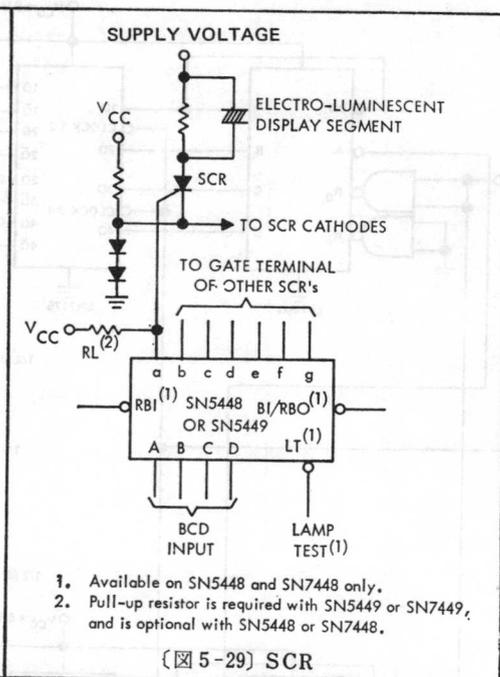
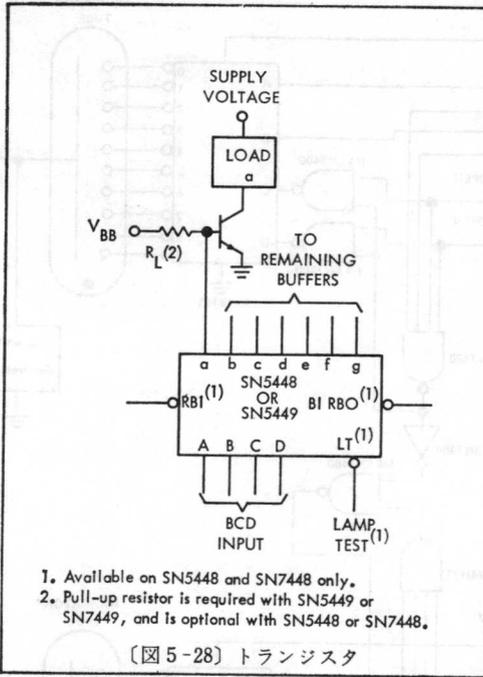


〔図5-25〕不要桁の0を表示しないゼロサプレス方式の構成図

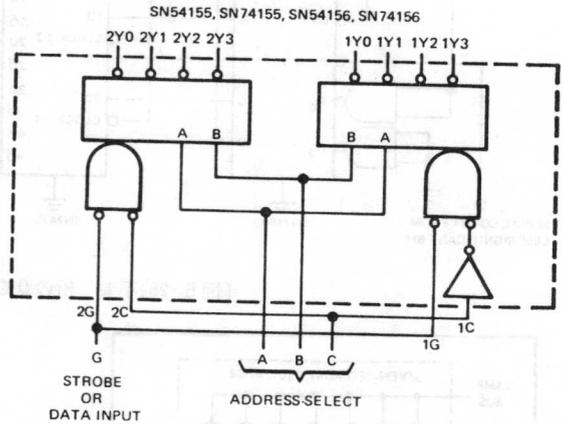


〔図5-26〕





DUAL 2-LINE-TO-4-LINE DECODER/1-TO-4-LINE DEMULTIPLEXER
〔図5-30〕 デュアルデコーダ



〔図5-31〕 SN54/74155 SN54/74156 による 3-8 線デコーダ

6. 論理演算素子とその応用

ここでは、加減算器に使用する全加算回路、エクスクルシブORゲート、補数発生器、キャリー発生器などのいわゆる論理演算のためのMSIについてその種類、動作特徴および加減算器への応用を述べる。

6-1 MSI論理演算素子

6-1-1 SN54/7480 (ゲート付、全加算器)

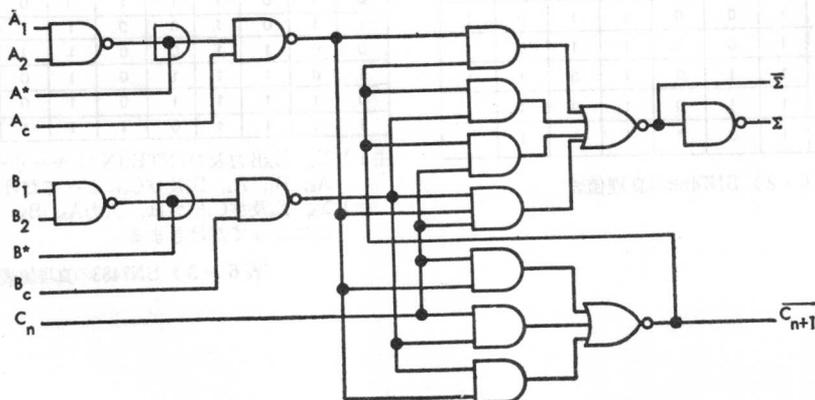
SN54/7480は、2進1ビットの補数入力も可能なΣ、およびΣと補数キャリー $\overline{C_{n+1}}$ 出力を持った高速度全加算器で、nビットの並列加算/直列キャリー方式の加算器などに応用される。

内部論理回路は図6-1に示したとおりであり、平均伝播遅延は加算遅延で、50nS、キャリー遅延8nS消費電力は105mWである。本全加算器の真理値表を表6-1に示す。図6-1および表6-1より明らかなように、2つのバイナリ数AおよびBの入力方法は次のようになる。

- ① バイナリ数AおよびBをそれぞれ A_1 および B_1 (又は A_2 および B_2)に入力し A^* 、 B^* は開放、 A_c および B_c は“1”を印加する。
- ② バイナリ数AおよびBの補数 \overline{A} および \overline{B} をそれぞれ A^* および B^* に入力する。 A_1 および B_1 (または A_2 、 B_2)を“0”とし、同時に A_c および B_c は“1”とする。
- ③ 2つのバイナリ数AおよびBの補数 \overline{A} および \overline{B} をそれぞれ A_c および B_c に入力する。 A_1 および B_1 (又は A_2 、 B_2)を“0”とし A^* および B^* を開放とする。

6-1-2 SN54/7482

(2ビットバイナリ全加算器)



〔図 6-1〕 SN7480 の回路構成

SN54/7482 は、2ビットのバイナリ数の全加算器で1ビット目から2ビット目へのキャリー接続は、内部で結線されている。論理回路を図6-2に、また、真理値表を表6-2に示す。平均加算遅延は40nS、キャリー遅延8nS/ビットで消費電力は175mWである。

6-1-3 SN54/7483

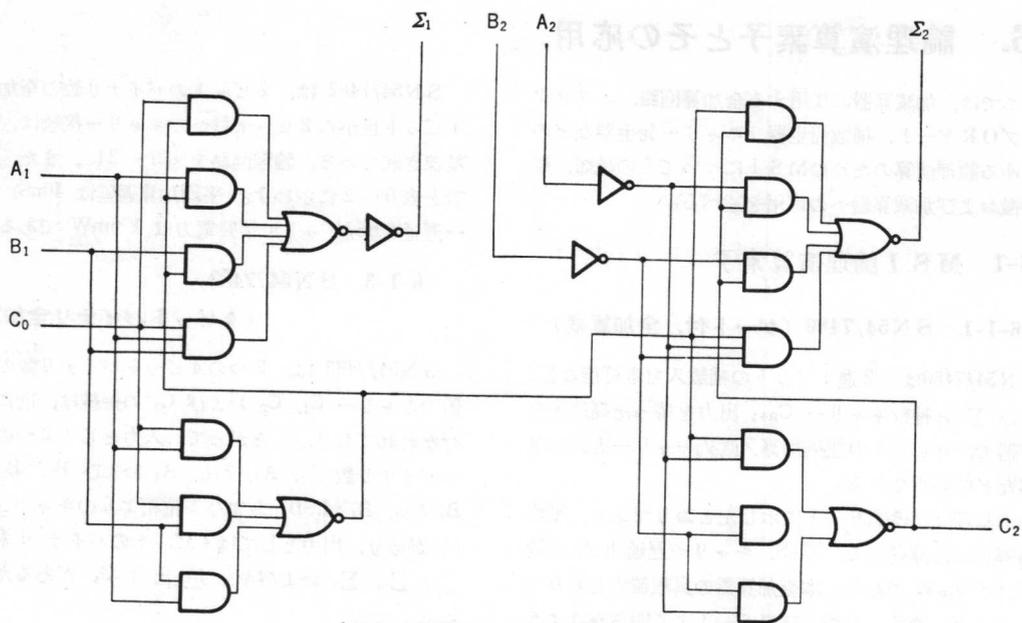
(4ビットバイナリ全加算器)

SN54/7483 は、2つの4ビットバイナリ数の全加算器でキャリー C_1 、 C_2 および C_3 の接続は、既に内部で行なわれており、したがって、入力として2つの4ビットバイナリ数 A_1 、 A_2 、 A_3 、 A_4 および B_1 、 B_2 、 B_3 、 B_4 (A_1 、 B_1 :LSB)および下位桁よりのキャリー入力 C_0 があり、出力としては4ビットのバイナリ和 Σ_1 、 Σ_2 、 Σ_3 、 Σ_4 およびキャリー出力 C_4 があるだけである。

C_n	B	A	$\overline{C_{n+1}}$	Σ	Σ
0	0	0	1	1	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	0	1

- 注 1) $A = \overline{A^* \cdot A_c}$, $B = \overline{B^* \cdot B_c}$
 $A^* = \overline{A_1 \cdot A_2}$, $B^* = \overline{B_1 \cdot B_2}$
- 2) A^* または B^* を入力とするときは、 A_1 または A_2 および B_1 または B_2 を“0”にしなければならない。
- 3) A_1 、 A_2 、 B_1 または B_2 を入力とするときは、 A^* および B^* は開放とすること。

<表 6-1> SN7480 の真理値表



〔図6-2〕SN7482の回路構成

TRUTH TABLE

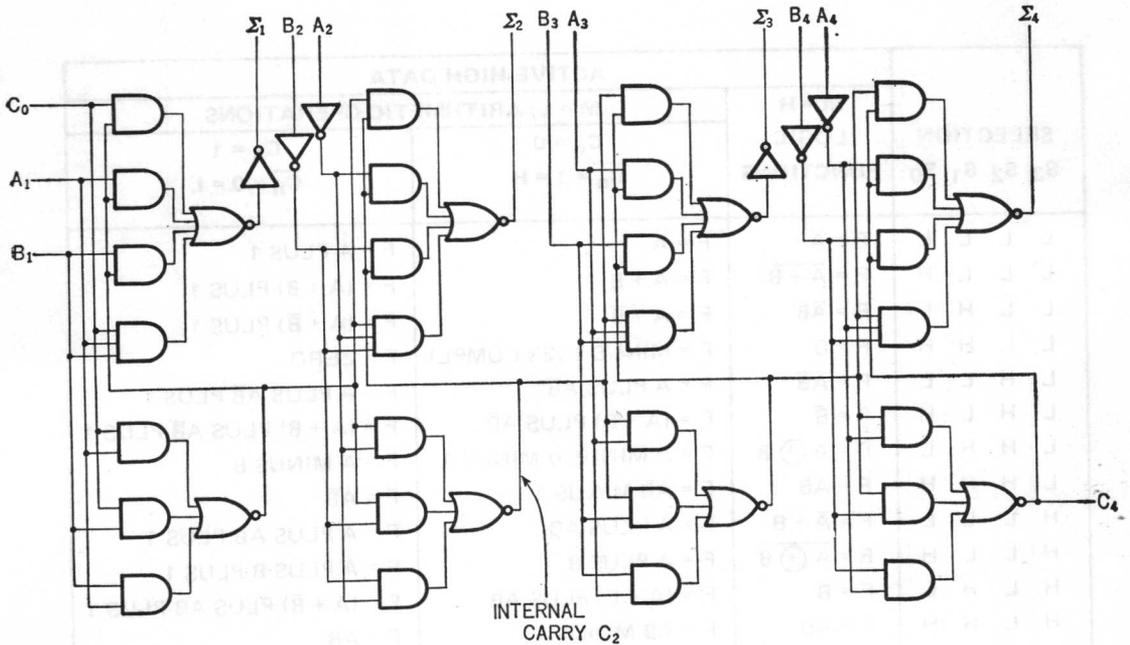
INPUT				OUTPUT					
A ₁	B ₁	A ₂	B ₂	WHEN C ₀ = 0			WHEN C ₀ = 1		
				Σ ₁	Σ ₂	C ₂	Σ ₁	Σ ₂	C ₂
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	0	0	1	0
0	1	0	0	1	0	0	0	1	0
1	1	0	0	0	1	0	1	1	0
0	0	1	0	0	1	0	1	1	0
1	0	1	0	1	1	0	0	0	1
0	1	1	0	1	1	0	0	0	1
1	1	1	0	0	0	1	1	0	1
0	0	0	1	0	1	0	1	1	0
1	0	0	1	1	1	0	0	0	1
0	1	0	1	1	1	0	0	0	1
1	1	0	1	0	0	1	1	0	1
0	0	1	1	0	0	1	1	0	1
1	0	1	1	1	0	1	0	1	1
0	1	1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1	1	1

〈表6-2〉SN7482の真理値表

INPUT				OUTPUT								
A ₁	B ₁	A ₂	B ₂	WHEN C ₀ = 0				WHEN C ₀ = 1				
				WHEN C ₂ = 0				WHEN C ₂ = 1				
				Σ ₁	Σ ₂	C ₂	Σ ₁	Σ ₂	C ₂	Σ ₁	Σ ₂	C ₂
A ₃	B ₃	A ₄	B ₄	Σ ₃	Σ ₄	C ₄	Σ ₃	Σ ₄	C ₄	Σ ₃	Σ ₄	C ₄
0	0	0	0	0	0	0	1	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0	1	0	0
0	1	0	0	1	0	0	0	1	0	1	0	0
1	1	0	0	0	1	0	1	1	0	1	1	0
0	0	1	0	0	1	0	1	1	1	0	1	0
1	0	1	0	1	1	0	0	0	0	0	0	1
0	1	1	0	1	1	0	0	1	0	0	0	1
1	1	1	0	1	1	0	0	1	1	0	0	1
1	1	1	0	0	0	1	1	1	0	1	1	0
1	0	0	1	1	1	1	0	0	0	0	0	1
0	1	0	1	1	1	1	0	0	0	0	0	1
1	1	0	1	0	0	1	1	1	0	1	0	1
0	0	1	1	0	0	1	1	1	0	1	0	1
1	0	1	1	1	0	1	0	1	0	1	1	1
0	1	1	1	1	0	1	0	1	0	1	1	1
1	1	1	1	0	1	1	1	1	1	1	1	1

- 注1) Σ₁, Σ₂出力及びINTERNALキャリー-C₂は、入力 A₁, B₁, A₂, B₂及びC₀によってだけきまる。
 2) Σ₃, Σ₄及びC₄出力は、入力A₃, B₃, A₄, B₄及びC₂によってだけきまる。

〈表6-3〉SN7483の真理値表



〔図6-3〕SN7483の回路構成

各ビットのキャリー回路は、インバータ1段と高速ダ－リントン接続から構成されているため、キャリー遅延が小さく高速並列加算/直列キャリー方式の加算器などに有用である。図6-3および表6-3はそれぞれSN54/7483の論理回路図および真理値表である。なお、加算遅延は40nS、キャリー遅延8nS/ビット、消費電力は350mWである。

6-1-4 SN54/7486 及び SN54L/74L86
(4回路2入力エクスクルシブORゲート)

2入力エクスクルシブORゲートの入力A, Bに対する出力Yの関係は

$$Y = A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B$$

TRUTH TABLE

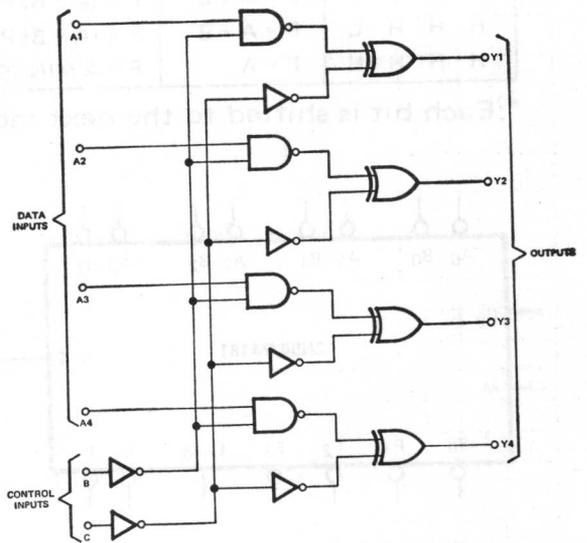
INPUTS		OUTPUT
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

〈表6-4〉SN7486の真理値表

TRUTH TABLE

CONTROL INPUTS		OUTPUTS			
B	C	Y1	Y2	Y3	Y4
0	0	A1	A2	A3	A4
0	1	A1	A2	A3	A4
1	0	1	1	1	1
1	1	0	0	0	0

〈表6-5〉SN74H87の真理値表



〔図6-4〕SN74H87の回路構成

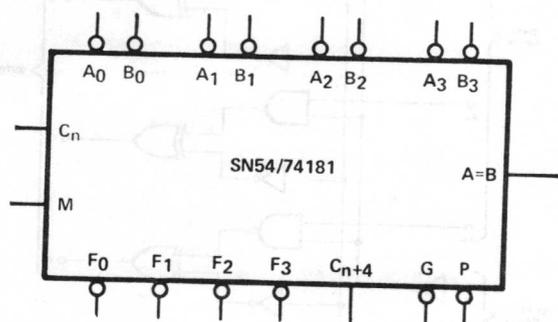
となる。この関係を真理値表として表わしたものが、表6-4で、これから明らかなようにエクスクルシブORは入力AとBの一致検出や、入力AをBによって制御して真数補数の発生を行なうなどの機能を持っていることがわかる。SN54L/74L86はSN54/7486の低電力シリーズTTLで機能、動作はSN54/7486に等価である。

6-1-5 SN54H/74H87

(4ビット真数/補数0/1発生器)

SELECTION S ₃ S ₂ S ₁ S ₀	ACTIVE-HIGH DATA		
	M = H LOGIC FUNCTIONS	M = L; ARITHMETIC OPERATIONS	
		$C_n = 0$ $\overline{C_n} = 1 = H$	$C_n = 1$ $\overline{C_n} = 0 = L$
L L L L	$F = \overline{A}$	$F = A$	$F = A \text{ PLUS } 1$
L L L H	$F = \overline{A + B}$	$F = A + B$	$F = (A + B) \text{ PLUS } 1$
L L H L	$F = \overline{AB}$	$F = A + \overline{B}$	$F = (A + \overline{B}) \text{ PLUS } 1$
L L H H	$F = 0$	$F = \text{MINUS } 1 \text{ (2's COMPL)}$	$F = \text{ZERO}$
L H L L	$F = \overline{A\overline{B}}$	$F = A \text{ PLUS } A\overline{B}$	$F = A \text{ PLUS } A\overline{B} \text{ PLUS } 1$
L H L H	$F = \overline{B}$	$F = (A + B) \text{ PLUS } A\overline{B}$	$F = (A + B) \text{ PLUS } A\overline{B} \text{ PLUS } 1$
L H H L	$F = A \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } 1$	$F = A \text{ MINUS } B$
L H H H	$F = A\overline{B}$	$F = A\overline{B} \text{ MINUS } 1$	$F = A\overline{B}$
H L L L	$F = \overline{A + B}$	$F = A \text{ PLUS } AB$	$F = A \text{ PLUS } AB \text{ PLUS } 1$
H L L H	$F = A \oplus \overline{B}$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$
H L H L	$F = B$	$F = (A + \overline{B}) \text{ PLUS } AB$	$F = (A + \overline{B}) \text{ PLUS } AB \text{ PLUS } 1$
H L H H	$F = AB$	$F = AB \text{ MINUS } 1$	$F = AB$
H H L L	$F = 1$	$F = A \text{ PLUS } A^*$	$F = A \text{ PLUS } A \text{ PLUS } 1$
H H L H	$F = A + \overline{B}$	$F = (A + B) \text{ PLUS } A$	$F = (A + B) \text{ PLUS } A \text{ PLUS } 1$
H H H L	$F = A + B$	$F = (A + \overline{B}) \text{ PLUS } A$	$F = (A + \overline{B}) \text{ PLUS } A \text{ PLUS } 1$
H H H H	$F = A$	$F = A \text{ MINUS } 1$	$F = A$

* Each bit is shifted to the next more significant position.



SN74181のファンクション一覧表
<表6-6>

SN54H/74H87 は、高速TTLシリーズの4ビットバイナリ真数/補数、0/1発生器で、表6-5に示したように入力BおよびCによって、入力Aの真数/補数、あるいは0/1を発生するデバイスで内部論理回路は図6-4に示すとおりである。

6-1-6 SN54/74181

(4ビット論理演算素子：4ビットALU)

表6-6に示すように、SN54/74181は制御入力MおよびS₀, S₁, S₂, S₃により、2つの4ビットバイナリ数A₀~A₃およびB₀~B₃のいろいろな論理演算あるいは数値演算を行なうことができるデバイスである。

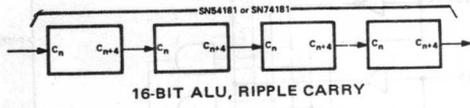
例えば、2つの4ビットバイナリ数A₀~A₃およびB₀~B₃の加算を行なうときは、M=0, S₀;S₁;S₂;S₃=1;0;0;1を与え、A₀~A₃およびB₀~B₃入力に、上記4ビットバイナリ数を与えれば、出力として、F₀;F₁;F₂;F₃=Σ₀;Σ₁;Σ₂;Σ₃ キャリー出力としてC_{n+4}が得られる。

また、減算のときはM=0, S₀;S₁;S₂;S₃=0;1;1;0を与えることにより入力される4ビットのバイナリ数AおよびBに対し出力F=A-B-1(C_n入力=0のとき)が得られる。

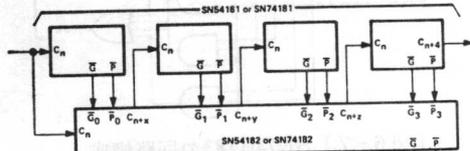
SN54/74181のもう一つの大きな特長は、次に述べるSN54/74182(高速キャリージェネレータ)と組み合わせ

TYPICAL ADDITION TIMES

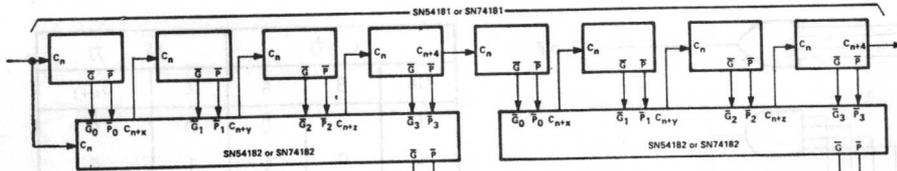
NO. OF BITS	TOTAL ADDITION TIME (ns)	ADD TIME PER BIT (ns)	PACKAGE COUNT	
			SN54181/ SN74181	SN54182/ SN74182
4	24	6.0	1	
8	36	4.5	2	
12	48	4.0	3	
12	36	3.0	3	1
16	60	3.8	4	
16	36	2.2	4	1
32	120	3.8	8	
32	96	3.0	8	1
32	72	2.2	8	2
32	60	1.9	8	3
48	165	3.4	12	
48	148	3.1	12	1
48	132	2.7	12	2
48	108	2.2	12	3
48	60	1.25	12	4
64	220	3.5	16	
64	192	3.0	16	2
64	172	2.7	16	3
64	144	2.2	16	4
64	60	0.94	16	5



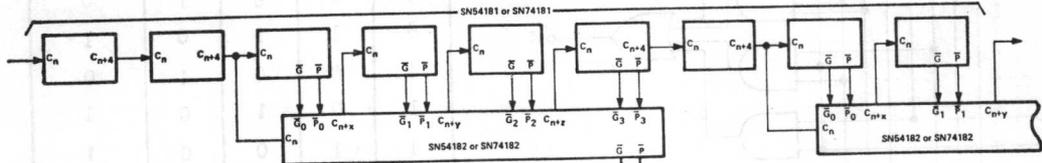
16-BIT ALU, RIPPLE CARRY



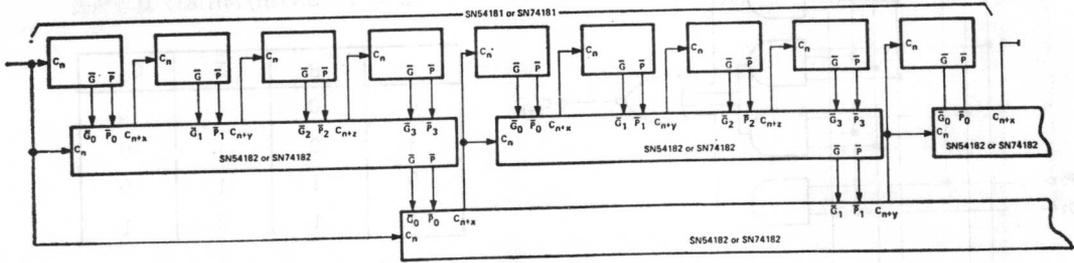
16-BIT ALU, TWO-LEVEL LOOK-AHEAD



32-BIT ALU, TWO-LEVEL LOOK-AHEAD OVER 16-BIT GROUPS



COMBINED TWO-LEVEL LOOK-AHEAD AND RIPPLE-CARRY ALU



64-BIT ALU, FULL-CARRY LOOK-AHEAD IN THREE LEVELS

〔図6-5〕 SN74181及びSN74182による高速度2進並列加算回路

せることにより、多ビットの超高速加減算器を構成できる点で、図6-5にその接続例を示す。このような接続によって、純直列キャリ方式の加減算器より、かなり計算速度を高速化することができる。

6-1-7 SN54/74182

(高速キャリジェネレータ)

SN54/74182は、高速度のLook-Aheadキャリジェネレータで、4つのバイナリ加算器または加算器のグループからの入力によって、先取りしてキャリを発生させるデバイスである。SN54/74181と組み合わせて使

用することにより、全キャリルック・アヘッドによる超高速加減算器を構成することができる(図6-5参照)。

本デバイスの入力に対する出力の論理式は、次のようであり内部論理回路は図6-6のとおりである。

$$C_{n+x} = G_0 + P_0 C_n$$

$$C_{n+y} = G_1 + P_1 G_0 + P_1 P_0 C_n$$

$$C_{n+z} = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 \cdot P_1 \cdot P_0 \cdot P_n$$

$$\bar{G} = \bar{G}_3 + P_3 \bar{G}_2 + P_3 \cdot P_2 \cdot \bar{G}_1 + P_3 \cdot P_2 \cdot P_1 \cdot \bar{G}_0$$

$$\bar{P} = \bar{P}_3 \cdot \bar{P}_2 \cdot \bar{P}_1 \cdot \bar{P}_0$$

6-1-8 SN54H/74H183

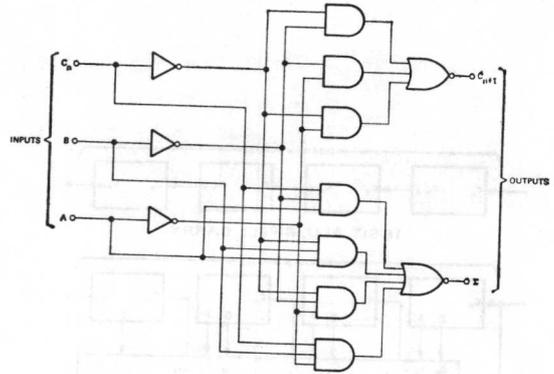
(2回路キャリアセーブ全加算器)

この2回路全加算器は、2段以上の論理レベルを持たないで、和およびキャリアを作るキャリアセーブテクニックを採用したキャリア出力を別々に設けた全加算器である。

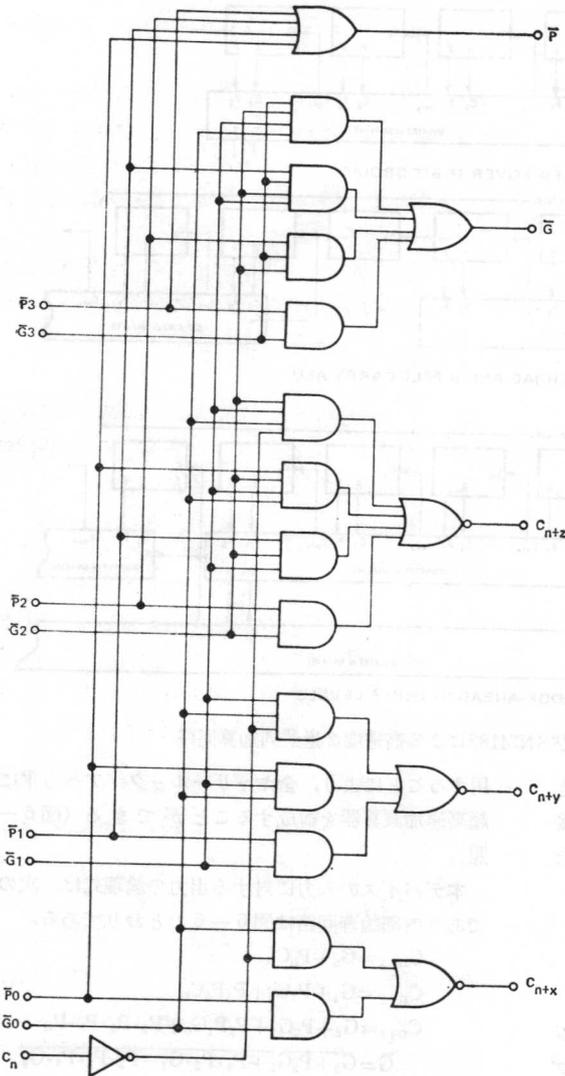
平均加算時間、およびキャリア遅延は11nsで、消費電力は110mW/ビットである。図6-7および表6-7はそれぞれSN54H/74H183の論理回路図および真理値表である。

6-2 論理演算素子の応用

ここでは、特にTTL演算素子の純2進、および、BCDコード(1-2-4-8)加減算回路への応用について



〔図6-7〕SN74H183の回路構成



〔図6-6〕SN74182の回路構成

入 力			出 力	
Cn	B	A	Σ	Cn+1
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

〈表6-7〉SN54H/74H183の真理値表

A	B	Σ	COUT
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

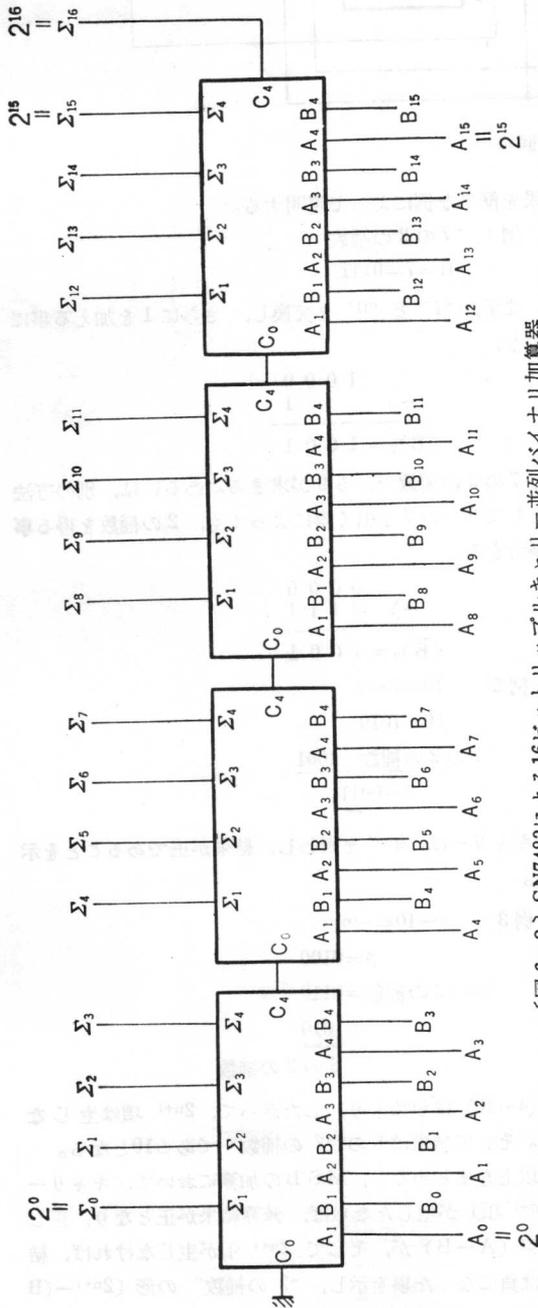
〈表6-8〉2入力加算の真理値表

A	B	CIN	Σ	COUT
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

〈表6-9〉全加算器の真理値表

述べる。まず、加減算の基本回路である全加算器について簡単にふれ、続いて並列2進、直列2進加算回路について考察する。

2進減算については、2の補数による方法を示し、加算回路を加減算回路に拡張する。BCD回路は、2進演算の方法を利用し、TTL全加算器を基本素子として使用する。最初BCD加算の方法と、並列10進加算回路を次いで、10の補数による並列BCD10進減算回路を説明する。



〔図6-8〕SN7483による16ビットリップルキャリー並列バイナリ加算器

6-2-1 加算の基礎 (全加算器)

2つの数を加える場合基本となるのは、2進数の1桁(1ビット)を加算する回路(半加算回路)であり、その真理値表を表6-8に示す。

和出力(Σ)とキャリー出力(C_{OUT})の論理式は次のようになる。

$$\Sigma = A\bar{B} + \bar{A}B = A \oplus B$$

$$C_{OUT} = AB$$

この加算回路は下位桁の加算で生じたキャリーを処理する機能を持っていない。したがって、あるビット数からなる数値を加える回路としては十分ではなく、キャリー入力を持った入力加算器、即ち、全加算器が必要である。この全加算器回路の真理値表は表6-9のようになる。和出力(Σ)キャリー出力(C_{OUT})に対する論理式は、

$$\Sigma = A\bar{B}C_{IN} + \bar{A}BC_{IN} + \bar{A}B\bar{C}_{IN} + ABC_{IN}$$

$$C_{OUT} = BC_{IN} + AC_{IN} + AB$$

となる事が判る。この機能を持ったTTL MSIの主なものとして、SN7480(1ビット全加算器)SN7482(2ビット全加算器)SN7483(4ビット全加算器)およびSN74H183(高速デュアル1ビット加算器)がある。

以下これらのTTL全加算器を利用した2進およびBCD10進加減算回路について述べていく。

6-2-2 並列2進回路

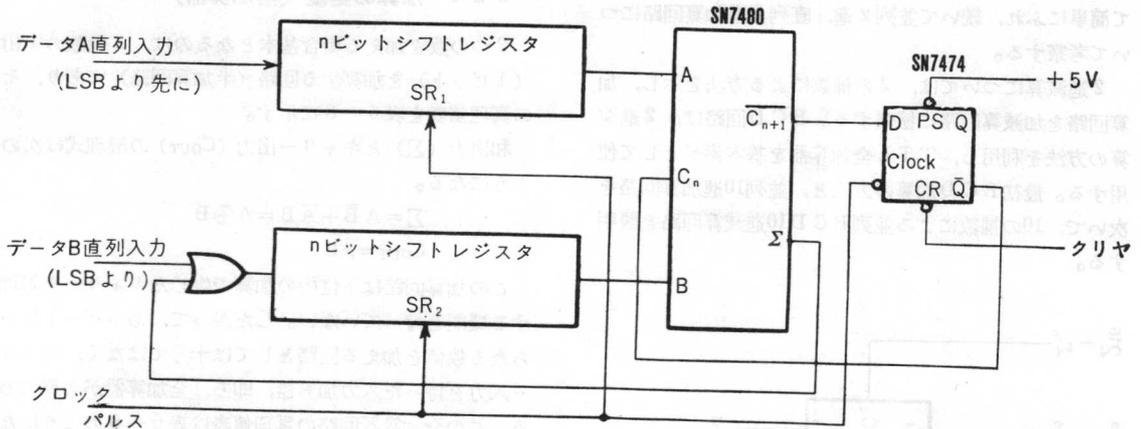
4ビット全加算器SN7483を用いた高速リップル・キャリー並列2進加算回路を図6-8に示す。この回路では、和出力は並列の形で得られるが、キャリーはLSBからMSBへ直列の形で作り出される。

したがって、加算時間は、段数が少ない時、システムのクロック周波数で決まるが、桁数(ビット数)が増加するにつれてキャリーが各ビットをとおして、上位桁へ伝播するのに必要な時間によって制限をうける。SN7480シリーズ全加算器には、この時間遅れを最小にするために高速キャリー伝播回路が採用されている。

6-2-3 直列2進加算回路 (図6-9参照)

2個のシフト・レジスタSR1, SR2は、互に加算されるnビットの数値AおよびBを記憶する。AおよびBは、SR1, SR2からSN7480(1ビット全加算器)へLSBから直列に1ビットずつ送り出される。

SN7480の和出力(Σ)は、SR2へシフトされ、キャリーはDフリップ・フロップによって、1ビット遅延されて次の上位桁のキャリー入力となる。SN7480は簡単な加算器として使用する場合、必要としない余分の入力端子を持っている。



〔図6-9〕直列2進加算回路

図6-9のような場合には、 A^* 、 B^* を開放にし、 A_2 、 B_2 、 A_c 、 B_c を論理“1”状態に保持して、 A_1 、 B_1 および C_n を入力端子として使用すれば良い(6-1-1参照)また A_2 、 B_2 はデータの流れを制御する入力端子としても使用する事ができる。

6-2-4 2進減算の方法

2進減算は、補数の加算によって行なう事ができる。例えば、AからBを引く場合、通常Bの1の補数あるいはこの補数をAに加える。Bの1の補数は次式によって表わされるが、

$$(\bar{B})_1 = (2^{n+1} - 1) - B \dots \dots \dots (1)$$

実際にはBの各ビットを反転する事によって簡単に得ることができる。

ここで $(\bar{B})_1$ は、Bの1の補数を、nは有効ビット数で表わす。1の補数による減算方法は、次式で表わすことができる。

$$A - B = A + (2^{n+1} - 1 - B) \dots \dots \dots (2)$$

この補数は1の補数に1を加える事によって容易に変換できる。

したがって、この補数を用いた減算は(2)式から

$$\begin{aligned} A - B &= A + (2^{n+1} - 1 - B) + 1 \dots \dots \dots (3) \\ &= A + (2^{n+1} - B) \end{aligned}$$

$$\therefore A - B = 2^{n+1} + (A - B) \dots \dots \dots (3)'$$

となる。ここで $(2^{n+1} - B)$ は、Bの2の補数である。

(3)'式において、 $A \leq B$ すなわち、減算結果が正になる場合、 2^{n+1} 項は、MSBの加算の段階でキャリーとして現われ、そして $(A - B)$ が結果として校ることが判る。また、減算結果が負になる場合($A < B$) (3)'式は、

$$A - B = 2^{n+1} - (B - A) \dots \dots \dots (3)''$$

となり、答えが2の補数として得られる。次に以上の結

果を簡単な例によって説明する。

例1 7の2の補数
 $B = 7 = 0111$

まず、“1”と“0”を交換し、さらに1を加える事により、

$$\begin{array}{r} 1000 \\ +) \quad 1 \\ \hline (\bar{B})_2 = 1001 \end{array}$$

7の2の補数である9が求まる。あるいは、別の方法として0から7を引く事によっても、2の補数を得る事ができる。

$$\begin{array}{r} 0000 \\ -) 0111 \\ \hline (\bar{B})_2 = 1001 \end{array}$$

例2 $10 - 7 = 3$
 $10 = 1010$

$$\begin{array}{r} 7 \text{ の } 2 \text{ の 補数 } 1001 \\ 1 \leftarrow 0011 \\ \hline \end{array}$$

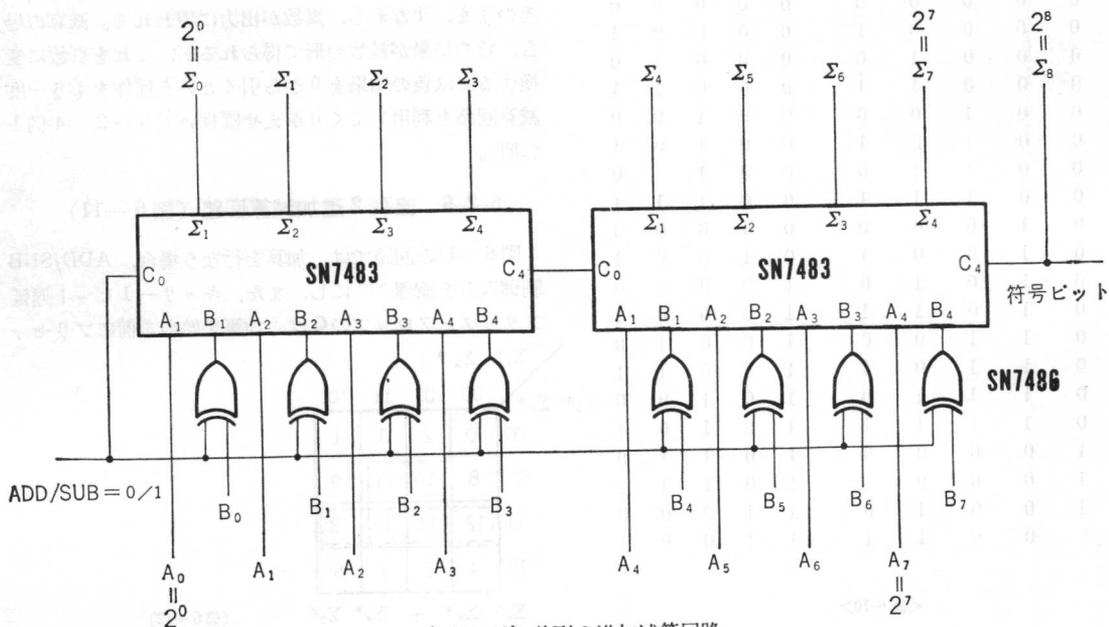
キャリーは、 2^{n+1} を表わし、結果が正であることを示す。

例3 $4 - 10 = -6$

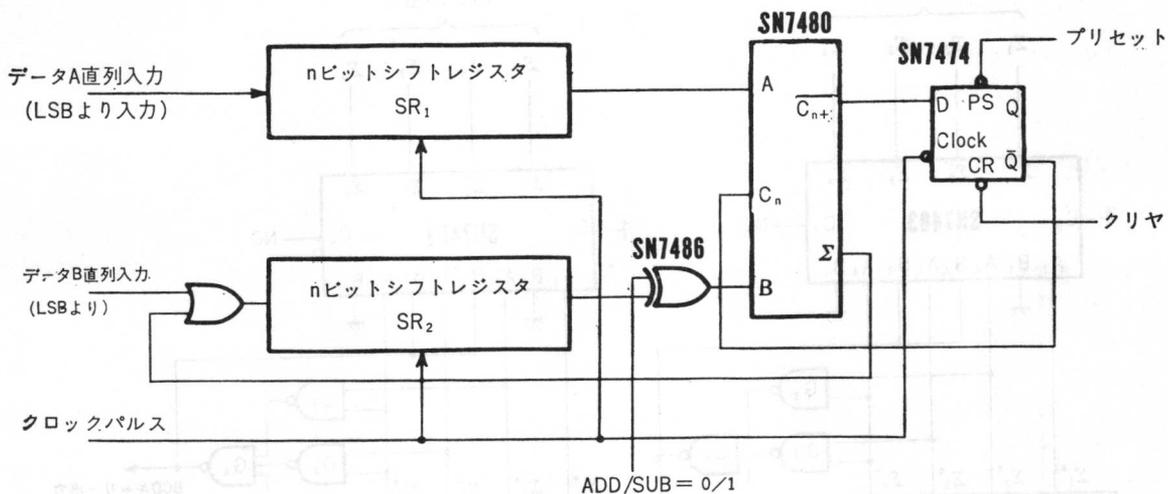
$$\begin{array}{r} 4 = 0100 \\ 10 \text{ の } 2 \text{ の 補数} = 0110 \\ \hline 1010 \\ \hline 6 \text{ の } 2 \text{ の 補数} \end{array}$$

(4-10)は負であり、したがって、 2^{n+1} 項は生じない。そして結果は6の“2の補数”である10となる。

以上をまとめると、MSBの加算において、キャリー(2^{n+1} 項)が生じたならば、減算結果が正となり、正しい答 $(A - B)$ が、そして 2^{n+1} 項が生じなければ、結果は負になった事を示し、“2の補数”の形 $[2^{n+1} - (B - A)]$ で答えが得られる。



〔図 6-10〕 並列 2 進加減算回路



〔図 6-11〕 直列 2 進加減算回路

6-2-5 並列 2 進加減算回路

図 6-10 に、並列 2 進加減算回路の例を示す。減算は 2 の補数で行なわれるが、2 の補数を得る簡単な方法はまず減数 (B) の “1” と、“0” を交換し (1 の補数)、全加算器を利用して最下位桁キャリー入力に 1 を加える方法である。

図 6-10 では “1 の補数” を得るのに QUAD EXCLUSIVE-OR ゲート SN7486 (6-1-4 参照) が使用されている。

表 6-4 の真理値表から B が “0” であれば、A はその

まま出力として現われ、B が “1” ならば A の反転、すなわち、“1 の補数” が得られる事が判る。したがって、図 6-10 の回路例では、表 6-4 の B が加減算の制御入力、A が減数 (B) の入力となる。

また、制御信号 B は、最下位桁のキャリー入力に入っているから減算時 L S B に 1 が加えられ、2 の補数による減算が実行される事が判る。また、並列 2 進加減算回路の場合は、SN7486 の代りに 4 ビット真数/補数ジェネレータ SN74H87 を用いる事ができる (表 6-5 参照)。

SN74H87 では、制御入力 B と C が “0” の時 “1 の補

	C_{n+1}^*	Σ_4^*	Σ_3^*	Σ_2^*	Σ_1^*	C_{n+1}	Σ_4	Σ_3	Σ_2	Σ_1
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	1
2	0	0	0	1	0	0	0	0	1	0
3	0	0	0	1	1	0	0	0	1	1
4	0	0	1	0	0	0	0	1	0	0
5	0	0	1	0	1	0	0	1	0	1
6	0	0	1	1	0	0	0	1	1	0
7	0	0	1	1	1	0	0	1	1	1
8	0	1	0	0	0	0	1	0	0	0
9	0	1	0	0	1	0	1	0	0	1
10	0	1	0	1	0	1	0	0	0	0
11	0	1	0	1	1	1	0	0	0	1
12	0	1	1	0	0	1	0	0	1	0
13	0	1	1	0	1	1	0	0	1	1
14	0	1	1	1	0	1	0	1	0	0
15	0	1	1	1	1	1	0	1	0	1
16	1	0	0	0	0	1	0	1	1	0
17	1	0	0	0	1	1	0	1	1	1
18	1	0	0	1	0	1	1	0	0	0
19	1	0	0	1	1	1	1	0	0	1

<表 6-10>

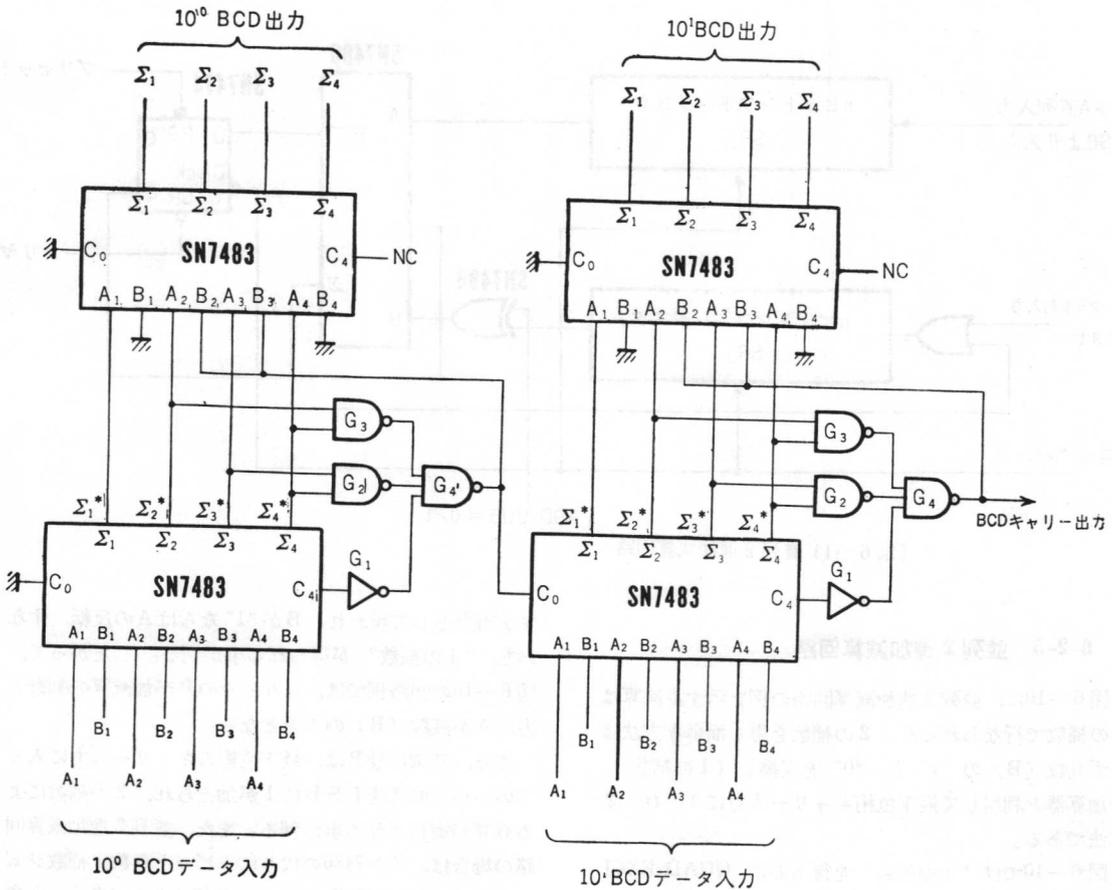
数”が、そして $B=“0”$ 、 $C=“1”$ で入力 ($B_1 \sim B_4$) がそのまま、すなわち、真数が出力に現われる。減算の場合、負の結果が補数の形で得られるが、これを真数に変換するには負の結果を0から引くという操作をもう一度減算回路を利用してくりかえせば良い(6-2-4例1参照)。

6-2-6 直列2進加減算回路 (図6-11)

図6-11の回路では、加算を行なう場合、ADD/SUB制御入力を論理“1”にし、また、キャリー1ビット遅延フリップ・フロップのQは、加算を始める前にプリセット

Σ_3^*	Σ_4^*	Σ_1^*	Σ_2^*
00	01	11	10
00	0	2	3
01	8	10	11
11	12	14	15
10	4	6	7
Σ_4^*	Σ_3^*	Σ_4^*	Σ_2^*

〔図 6-12〕



〔図 6-13〕 並列BCD加算回路

ト入力端子を用いて0にする。そして、減算時はクリアー入力によってフリップ・フロップのQ出力に最初1をセットし、ADD/SUB 入力は1にする。

6-2-7 並列BCD (1-2-4-8) 10進加算

BCDコードの2つの10進数値、およびキャリーが加算されると、0~19の20種の和出力が得られる。これらの内0~9迄の結果については、BCDコードへの変換は必要ないが、残りの10~19の結果については、加算が2進で行なわれるため、BCDコードに修正しなければならない。

表6-10には、修正の行なわれていない和、出力 Σ^* と必要なBCD和出力 Σ が示されている。10より大きな和出力が得られた場合、それらの和から10を引くとともに、10進キャリーを作り出さなければならない。10を引くという事は、10の“2の補数”すなわち6 (0110) を

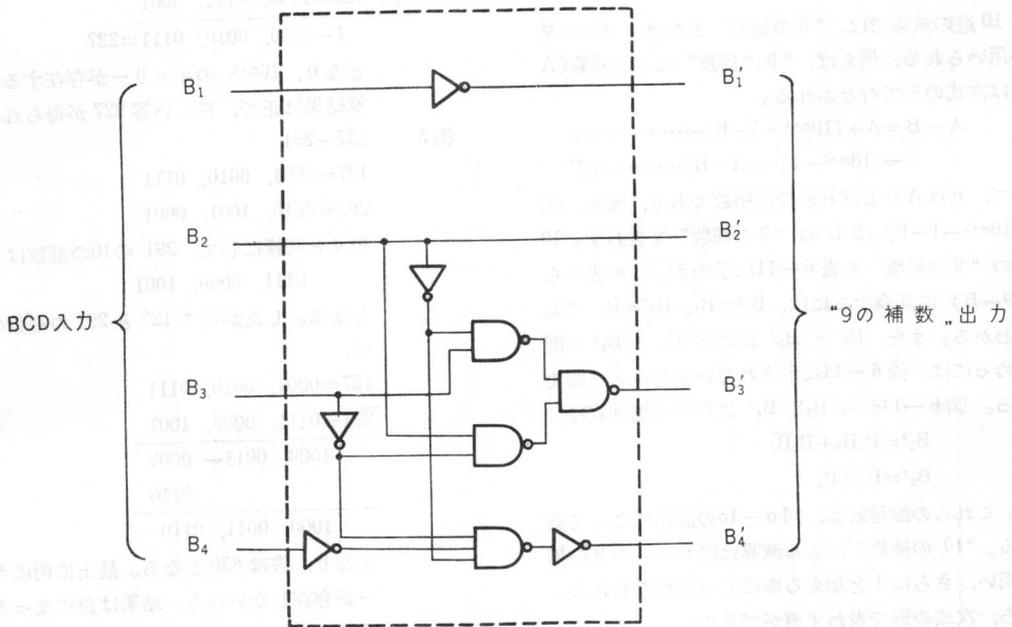
	$B_2 B_1$	B_3			$B_2 B_1$	B_4		
$B_4 B_3$	00	01	11	10	00	01	11	10
00	0	0	1	1	1	1	0	0
01	1	1	0	0	0	0	0	0
11	×	×	×	×	×	×	×	×
10	0	0	×	×	0	0	×	×

〔図6-14〕 9の補数カルノー図表

加える事によって行なわれる。

10以上の結果を検出するための論理は、カルノー図、(図6-12) を用いて求める事ができる。図6-12から $\Sigma^*=10\sim 15$ を検出するのに必要な論理は、 $\Sigma_4^* \Sigma_2^* + \Sigma_4^* \Sigma_2^*$ となる。また、 $\Sigma^* > 15$ を検出するには、 $C_{n+1} = 1$ になる事を利用する。

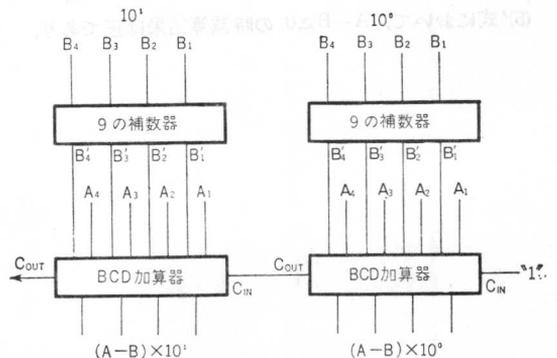
図6-13は並列10進加算回路の例である。図6-13で



〔図6-15〕 “9の補数”回路

		(B)				(9-B)			
B	9-B	B_4	B_3	B_2	B_1	B_4'	B_3'	B_2'	B_1'
0	9	0	0	0	0	1	0	0	1
1	8	0	0	0	1	1	0	0	0
2	7	0	0	1	0	0	1	1	1
3	6	0	0	1	1	0	1	1	0
4	5	0	1	0	0	0	1	0	1
5	4	0	1	0	1	0	1	0	0
6	3	0	1	1	0	0	0	1	1
7	2	0	1	1	1	0	0	1	0
8	1	1	0	0	0	0	0	0	1
9	0	1	0	0	1	0	0	0	0

<表6-11> BCDによる9…補数



〔図6-16〕 並列10進減算回路

Σ^*_2 と Σ^*_4 あるいは Σ^*_3 と Σ^*_4 に論理“1”が現われる場合、すなわち $\Sigma^*=10\sim 15$ になる時、ゲート G_2 と G_3 が論理“0”になり、 G_4 は論理“1”となる。この G_4 出力は、BCD 10進キャリーであると共に、修正のために SN7483の B_2, B_3 入力に入る。 B_1 入力、 B_4 入力は論理“0”に保たれているから 6 (0110)、すなわち、10の“2の補数”が Σ^* に加えられる。16から19の Σ^* 出力は最初の SN7483にキャリーが現われる事によって検出され、 G_4 の出力を論理“1”にする。

そして、同様に 2番目の SN7483 によって 6 (0110) が加えられ、正しい BCD 出力 Σ と BCD キャリー C_{n+1} が得られる事がわかる。 Σ^* が 0~9 の値を取る時、 G_1, G_2, G_3 は、共に論理“1”になり、 G_4 の出力は“0”となって、 Σ^* は 2番目の SN7483 をとおしてそのまま Σ となる。

6-2-8 並列BCD (1-2-4-8) 10進減算

通常 10 進の減算では、“9の補数”または、“10の補数”が用いられる。例えば、“9の補数”による減算($A-B$)は次式の形で行なわれる。

$$A-B = A + (10^{n+1}-1-B) \dots \dots \dots (4)$$

$$= (10^{n+1}-1) + (A-B) \dots \dots \dots (4)'$$

ここで、 n は A および B の最高桁数であり、また、(4) 式の $(10^{n+1}-1-B)$ は B の“9の補数”を表わす。10進1桁の“9の補数”を表 6-11 に示す。この表から B を $(9-B)$ に変換するには、 $B_1' = \bar{B}_1, B_2' = B_2$ である事がわかる。また、 B_3 と B_3' および B_4 と B_4' の関係を求めるには、図 6-14 に示されているカルノー図を使用する。図 6-14 から B_3', B_4' に対する論理式は、各々

$$B_2' = \bar{B}_2 B_3 + B_2 \bar{B}_3$$

$$B_3' = \bar{B}_2 \bar{B}_3 B_4$$

となる。これらの論理式は、図 6-15 の回路によって実現される。“10の補数”による減算は図 6-15 の 9の補数器を用い、さらに 1 を加える事によって行なわれる。すなわち、次式の形で表わす事ができる。

$$A-B = A + (10^{n+1}-1-B) + 1 \dots \dots \dots (5)$$

$$= 10^{n+1} + (A-B) \dots \dots \dots (5)'$$

(5)' 式において、 $A-B \geq 0$ の時減算結果は正であり、

それに 10^{n+1} が加わっている。 10^{n+1} は 1 の後に 0 が $(n+1)$ 個並んでいるものであるから、それは和にはなんの影響もおよぼさず、和は正しいものである。

もし、 $A-B < 0$ ならば結果は $10^{n+1}-(B-A)$ となり、それは正の数 $(B-A)$ の 10 の補数である。次に、10の補数による減算を数値例によって示す。

例 4

$$356 - 129$$

$$356 = 0011, 0101, 0110$$

$$129 = 0001, 0010, 1001$$

129 の 9 の補数 $(10^{n+1}-1-B)$ は表 5 から

$$1000, 0111, 0000$$

となる。これにさらに 1 を加えると、10の補数を得る事ができる。

$$1000, 0111, 0001$$

356 と 129 の 10 の補数の加算は、

$$356 = 0011, 0101, 0110$$

$$+) \overline{129} = 1000, 0111, 0001$$

$$1 \leftarrow 0010, 0010, 0111 = 227$$

となり、 10^{n+1} のキャリーが存在するから減算結果は正で、正しい答 227 が得られる。

例 5

$$127 - 291$$

$$127 = 0001, 0010, 0111$$

$$291 = 0010, 1001, 0001$$

例 4 と同様にして、291 の 10 の補数は

$$0111, 0000, 1001$$

となる。したがって 127 と 291 の補数の加算は、

$$127 = 0001, 0010, 0111$$

$$\overline{291} = 0111, 0000, 1001$$

$$1000, 0011 \leftarrow 0000$$

$$0110$$

$$1000, 0011, 0110$$

となり、答は 836 となる。最上位桁にキャリーが存在しないから、結果は負になった事を示し、10の補数の形で答が得られた事がわかる。

図 6-16 は、10の補数による代表的な並列 10 進減算回路のブロック・ダイアグラムである。

7. データセクタとその応用

7-1 概要

データ、セクタは、複数個の信号から必要に応じて1つを選択し、1つの出力信号を取り出す回路である。

データ、セクターには、アナログ信号を取扱うものと、デジタル信号を取扱うものがある。アナログ信号のデータ、セクタには、MOS型トランジスタを用いたアナログスイッチ回路等があり、デジタル信号のデータ、セクタは、一般の論理回路で構成される。ここでは、後者のTTLデータ、セクタ回路について話を進めることにする。

デジタルシステムにおいて、複数個の情報を記憶したり、データを伝送したりする場合、従来はSSIでこれらの回路を構成していたが、装置の経済性、スペース、ファクタや信頼性等の面でも、かなり神経を使って

来たが、TI社では以上のことを十分考慮して、信頼度の高いMSIシリーズに3種類のデータ、セクタ(SN54/74150, SN54/74151, SN54/74152)を付加し、すでに市販されている。次に上記デバイスの概要を説明する。

7-2 各デバイスの説明

7-2-1 SN54/74150の回路構成及び特性

SN54/74150は、16入力のデジタル信号から1つの信号を選択して、これを出力に取り出す16-1デジタルデータセクタである。

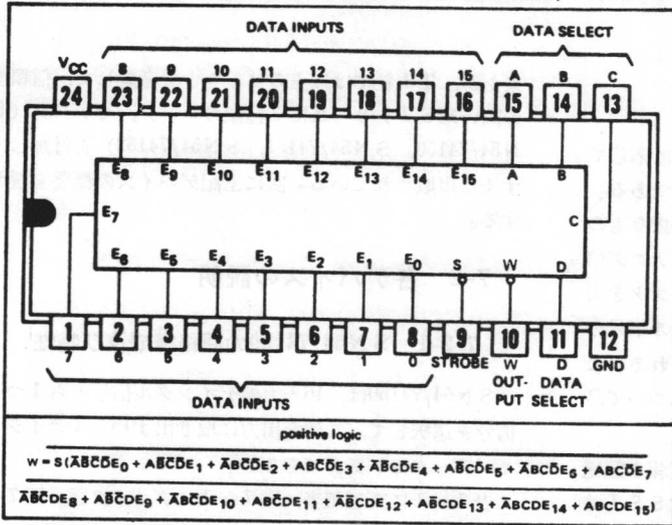
表7-1に真理値表、図7-1にブロック図、図7-2に機能図、図7-3に回路図を示す。これは図からわかるように、4ビットのデータ選択入力A, B, C, お

TRUTH TABLE (SN54150/SN74150 ONLY)

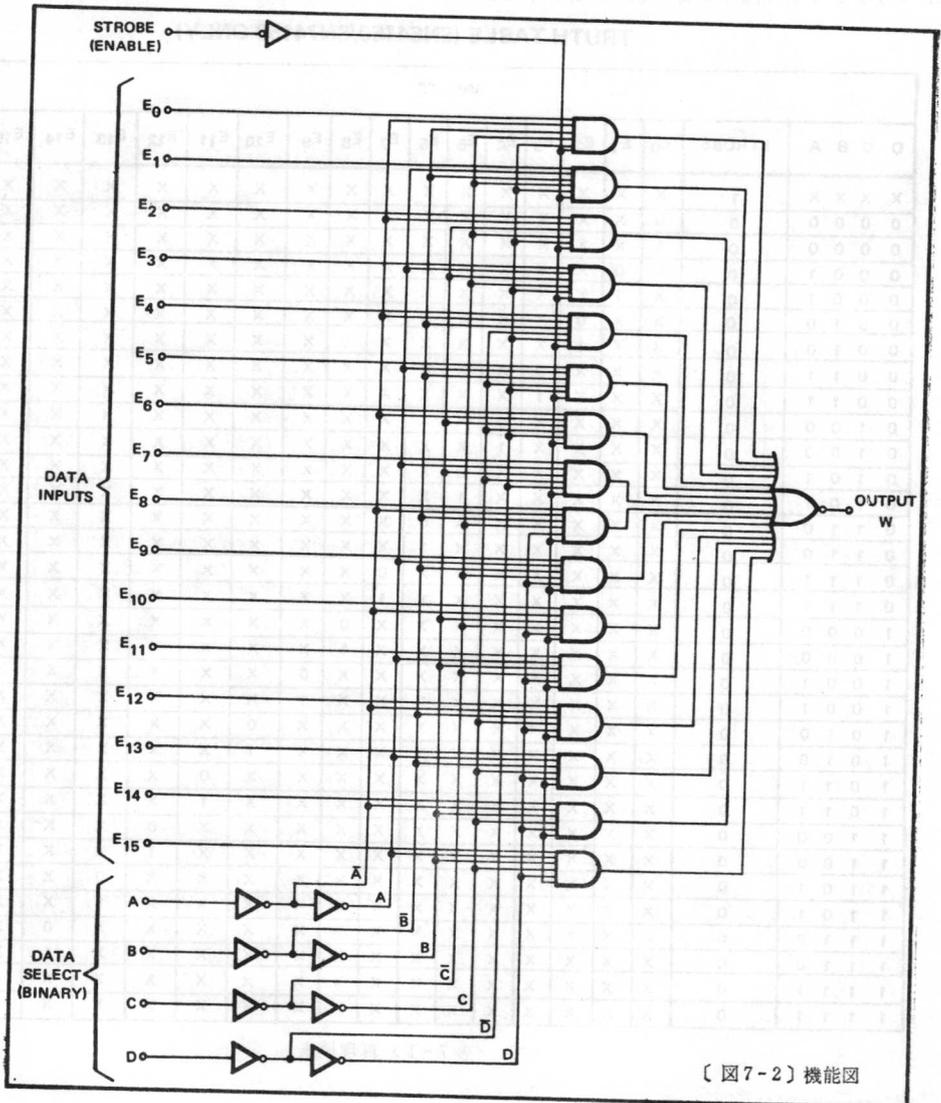
INPUTS																	OUTPUT				
D	C	B	A	STROBE	E ₀	E ₁	E ₂	E ₃	E ₄	E ₅	E ₆	E ₇	E ₈	E ₉	E ₁₀	E ₁₁	E ₁₂	E ₁₃	E ₁₄	E ₁₅	W
X	X	X	X	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1
0	0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1
0	0	0	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0
0	0	0	1	0	X	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1
0	0	0	1	0	X	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0
0	0	1	0	0	X	X	0	X	X	X	X	X	X	X	X	X	X	X	X	X	1
0	0	1	0	0	X	X	1	X	X	X	X	X	X	X	X	X	X	X	X	X	0
0	0	1	1	0	X	X	X	0	X	X	X	X	X	X	X	X	X	X	X	X	1
0	0	1	1	0	X	X	X	1	X	X	X	X	X	X	X	X	X	X	X	X	0
0	1	0	0	0	X	X	X	X	0	X	X	X	X	X	X	X	X	X	X	X	1
0	1	0	0	0	X	X	X	X	1	X	X	X	X	X	X	X	X	X	X	X	0
0	1	0	1	0	X	X	X	X	X	0	X	X	X	X	X	X	X	X	X	X	1
0	1	0	1	0	X	X	X	X	X	1	X	X	X	X	X	X	X	X	X	X	0
0	1	1	0	0	X	X	X	X	X	X	0	X	X	X	X	X	X	X	X	X	1
0	1	1	0	0	X	X	X	X	X	X	1	X	X	X	X	X	X	X	X	X	0
0	1	1	1	0	X	X	X	X	X	X	X	0	X	X	X	X	X	X	X	X	1
0	1	1	1	0	X	X	X	X	X	X	X	1	X	X	X	X	X	X	X	X	0
1	0	0	0	0	X	X	X	X	X	X	X	0	X	X	X	X	X	X	X	X	1
1	0	0	0	0	X	X	X	X	X	X	X	1	X	X	X	X	X	X	X	X	0
1	0	0	1	0	X	X	X	X	X	X	X	0	X	X	X	X	X	X	X	X	1
1	0	0	1	0	X	X	X	X	X	X	X	1	X	X	X	X	X	X	X	X	0
1	0	1	0	0	X	X	X	X	X	X	X	X	0	X	X	X	X	X	X	X	1
1	0	1	0	0	X	X	X	X	X	X	X	X	1	X	X	X	X	X	X	X	0
1	0	1	1	0	X	X	X	X	X	X	X	X	X	0	X	X	X	X	X	X	1
1	0	1	1	0	X	X	X	X	X	X	X	X	X	1	X	X	X	X	X	X	0
1	0	1	1	1	0	X	X	X	X	X	X	X	X	X	0	X	X	X	X	X	1
1	0	1	1	1	0	X	X	X	X	X	X	X	X	X	1	X	X	X	X	X	0
1	1	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	0	X	X	X	1
1	1	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	1	X	X	X	0
1	1	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	0	X	X	1
1	1	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	1	X	X	0
1	1	1	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	X	1
1	1	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	1
1	1	1	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	0

<表7-1> 真理値表

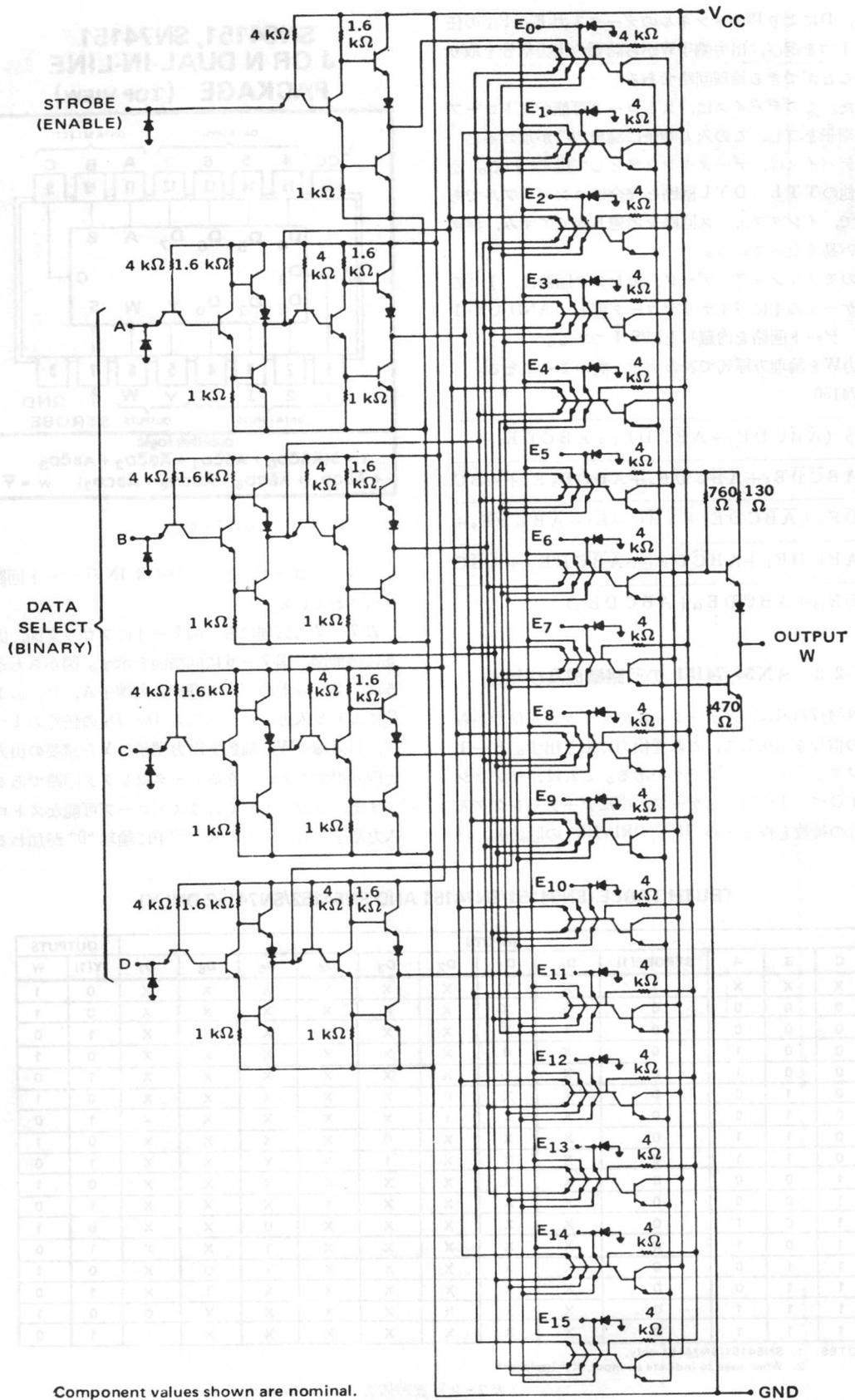
SN54150, SN74150
N DUAL-IN-LINE PACKAGE (TOP VIEW)



(図7-1) ブロック図



(図7-2) 機能図



Component values shown are nominal.

(图 7-3) 回路图

よび、Dにより16チャンネルのデータ入力 $E_0 \sim E_{15}$ の任意の1つを選び、出力端子Wから諸要の出力信号を取り出すことができる論理回路である。

また、このデバイスは、ストロブ可能なストロブ入力端子を有し、この入力端子に論理“0”が加わると、このデバイスは、データセクタとして動作する。また、他のTTL DTL回路と完全にコンパチブルであるので、インタフェース回路を考慮しなくてすみ、非常に使い易くなっている。

このモノリシック データ セクタ回路は、1つのパッケージの中にバイナリデコーダ部と AND-OR-1 NV ゲート回路を内蔵したMSIである。

出力Wを論理方程式で表わすと、次のようになる。

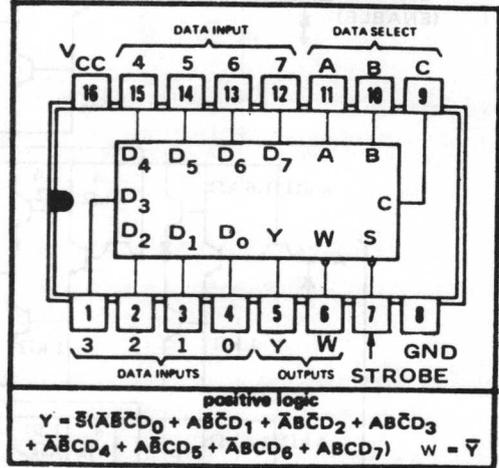
SN74150 :

$$W = \overline{S} (\overline{A}\overline{B}\overline{C}D_0 + \overline{A}\overline{B}C\overline{D}_1 + \overline{A}B\overline{C}\overline{D}_2 + \overline{A}B\overline{C}D_3 + \overline{A}B\overline{C}D_4 + \overline{A}B\overline{C}D_5 + \overline{A}B\overline{C}D_6 + \overline{A}B\overline{C}D_7 + \overline{A}B\overline{C}D_8 + \overline{A}B\overline{C}D_9 + \overline{A}B\overline{C}D_{10} + \overline{A}B\overline{C}D_{11} + \overline{A}B\overline{C}D_{12} + \overline{A}B\overline{C}D_{13} + \overline{A}B\overline{C}D_{14} + \overline{A}B\overline{C}D_{15})$$

7-2-2 SN54/74151 の回路構成及び特性

SN54/74151は、8チャンネルのデジタル信号から1つの信号を選択して、これを出力に取り出す。8-1 デジタル データセクタである。これは、モノリシック ICで、1つのパッケージの中にデータセクタ入力信号の補数を作るため INV/DRIVER の回路と、バ

SN54151, SN74151 J OR N DUAL-IN-LINE PACKAGE (TOP VIEW)



〔図7-4〕

イナリ デコーダ部と AND-OR-INV ゲート回路から構成されている。

表7-2に真理値表、図7-4にブロック図、図7-5に機能図、図7-6に回路図を示す。図からわかるように、3ビットのデータ選択入力端子A、B、および、Cにより8入力のデータ入力 $D_0 \sim D_7$ の任意の1つを選び、出力端子W、補数を出力端子かYから諸要の出力信号を取り出すことができるデータセクタ回路である。

また、このデバイスはストロブ可能なストロブ入力端子を有し、この入力端子に論理“0”が加わると、

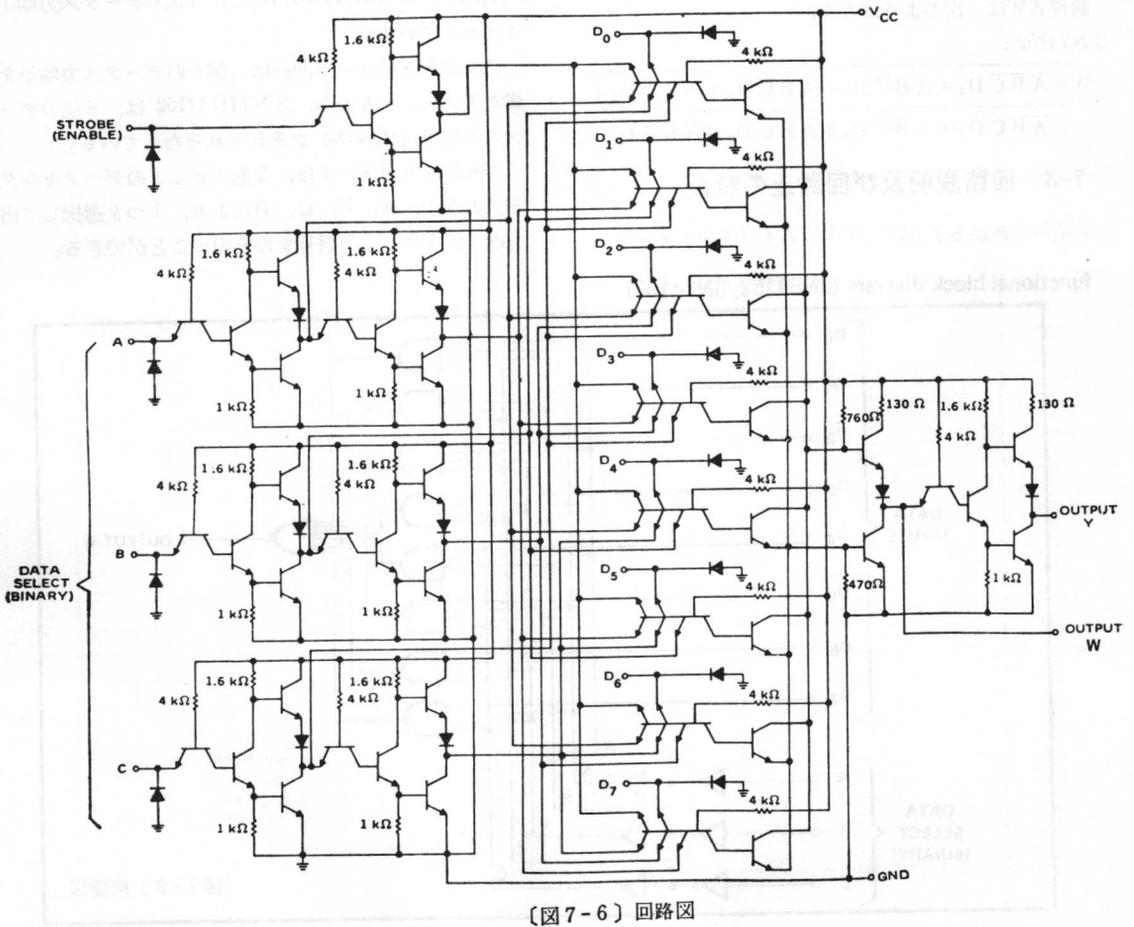
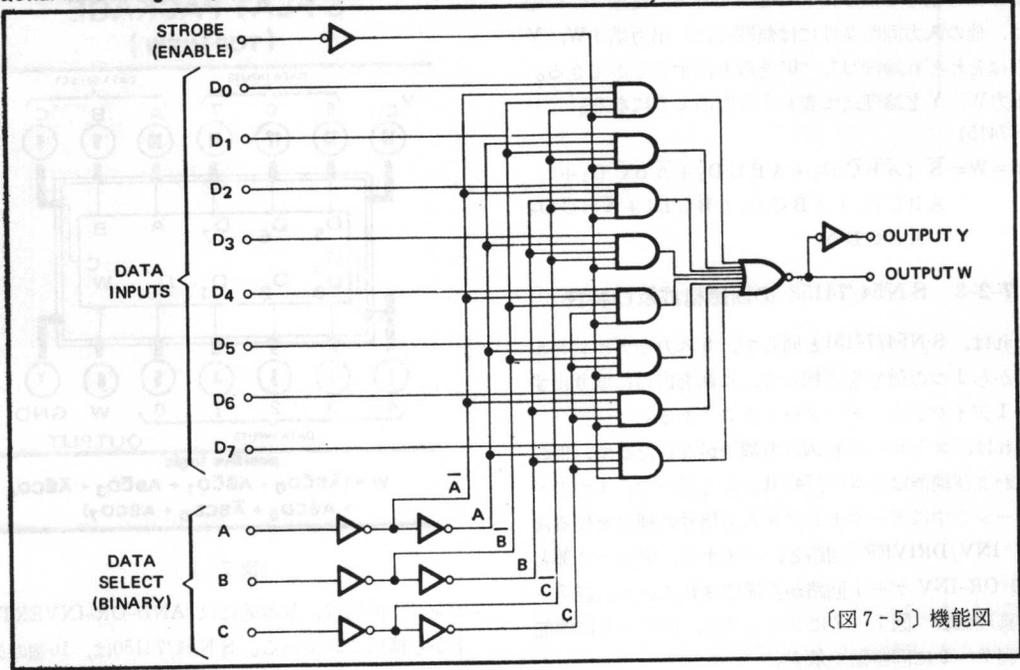
TRUTH TABLE (SN54151/SN74151 AND SN54152/SN74152 ONLY)

			INPUTS										OUTPUTS	
C	B	A	STROBE(1)	D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	Y(1)	W	
X	X	X	1	X	X	X	X	X	X	X	X	0	1	
0	0	0	0	0	X	X	X	X	X	X	X	0	1	
0	0	0	0	1	X	X	X	X	X	X	X	1	0	
0	0	1	0	X	0	X	X	X	X	X	X	0	1	
0	0	1	0	X	1	X	X	X	X	X	X	1	0	
0	1	0	0	X	X	0	X	X	X	X	X	0	1	
0	1	0	0	X	X	1	X	X	X	X	X	1	0	
0	1	1	0	X	X	X	0	X	X	X	X	0	1	
0	1	1	0	X	X	X	1	X	X	X	X	1	0	
1	0	0	0	X	X	X	X	0	X	X	X	0	1	
1	0	0	0	X	X	X	X	1	X	X	X	1	0	
1	0	1	0	X	X	X	X	X	0	X	X	0	1	
1	0	1	0	X	X	X	X	X	1	X	X	1	0	
1	1	0	0	X	X	X	X	X	X	0	X	0	1	
1	1	0	0	X	X	X	X	X	X	1	X	1	0	
1	1	1	0	X	X	X	X	X	X	X	0	0	1	
1	1	1	0	X	X	X	X	X	X	X	1	1	0	

NOTES: 1. SN54151/SN74151 only.
2. When used to indicate an input, X = irrelevant.

〈表7-2〉真理値表

functional block diagram (SN54151, SN74151)



このデバイスはデータセクタとして動作し、出力から諸要の出力信号を取り出すことができる。論理“1”の場合は、他の入力回路条件には無関係に、出力端子W、Yからはそれぞれ論理“1”、“0”を取り出すことができる。

出力W、Yを論理式で表わすと次のようになる。

SN74151:

$$Y = \overline{W} = \overline{S} (\overline{A}\overline{B}\overline{C}D_0 + \overline{A}\overline{B}C\overline{D}_1 + \overline{A}\overline{B}CD_2 + \overline{A}B\overline{C}\overline{D}_3 + \overline{A}B\overline{C}D_4 + \overline{A}BC\overline{D}_5 + \overline{A}BCD_6 + ABC\overline{D}_7)$$

7-2-3 SN54/74152 の回路構成及び特性

これは、SN54/74151と同じで、8入力のデジタル信号から1つの信号を選択して、これを出力に取り出す8-1デジタルデータセクタである。

これは、ストロブ制御入力端子がないだけで、他の特性および機能はSN54/74151と全く同一で、1つのパッケージの中にデータセクタ入力信号の補数を作るためのINV/DRIVER回路と、パイナル、デコーダ部とAND-OR-INVゲート回路から構成されている。表7-2に真理値表 図7-7にブロック図、図7-8に機能図、図7-9に回路図を示す。

論理式Wは、次のようになる。

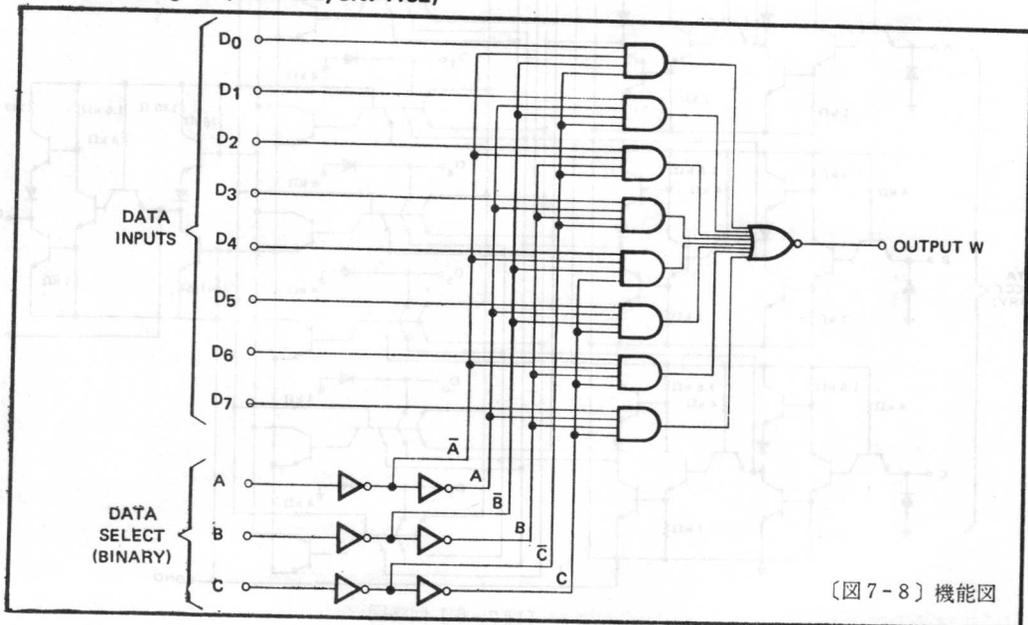
SN74152:

$$W = \overline{A}\overline{B}\overline{C}D_0 + \overline{A}\overline{B}C\overline{D}_1 + \overline{A}\overline{B}CD_2 + \overline{A}B\overline{C}\overline{D}_3 + \overline{A}B\overline{C}D_4 + \overline{A}BC\overline{D}_5 + \overline{A}BCD_6 + ABC\overline{D}_7$$

7-3 回路説明及び回路上の特徴

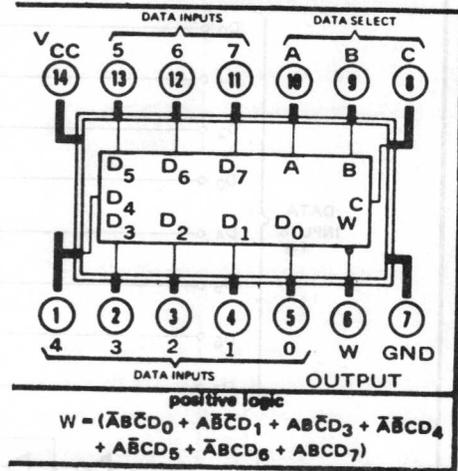
前項からわかるように、TTLデジタルデータ

functional block diagram (SN54152, SN74152)



〔図7-8〕機能図

SN54152, SN74152 S FLAT PACKAGE (TOP VIEW)

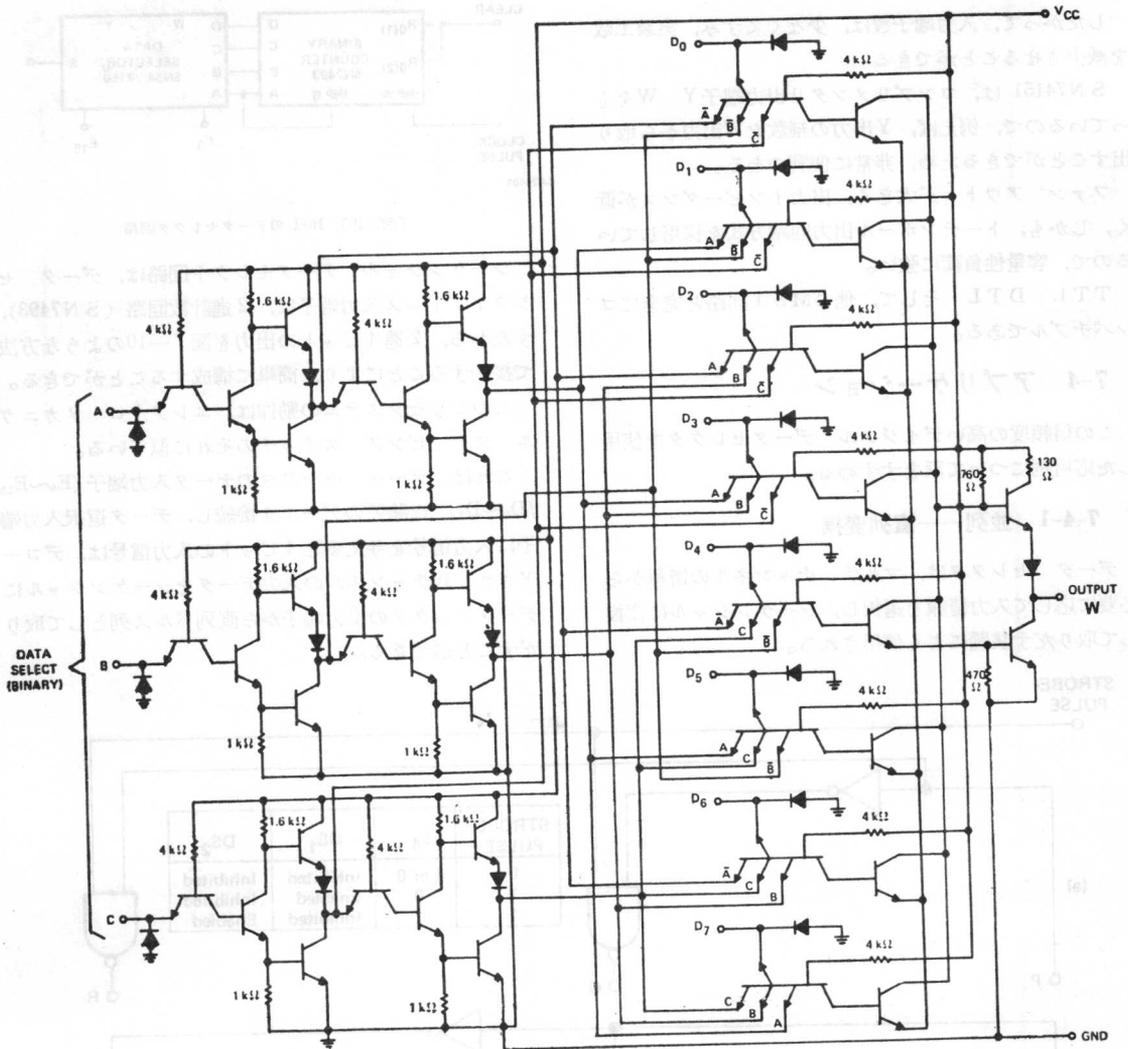


〔図7-7〕

セクタ回路は、基本的にはAND-OR-INVERTゲートから構成されている。SN54/74150は、16個のデータ入力端子、SN54/74151/152は、8個のデータ入力端子をそなえている。

各々のANDゲート回路は、個々のデータ入力端子を備えている。すなわち、SN74151/152は、8個のデータ入力端子(D₀~D₇)をそれぞれそなえている。

これらの入力データは、2進4ビットのデータセレクト入力端子、A、B、C、Dにより、1つを選択して出力端子に導き、出力信号を取り出すことができる。



〔図7-9〕回路図

データセクタ SN74150, SN74151はストロブ可能なストロブ入力端子を有し、アドレス入力信号と同時に使用される。

ストロブ入力端子に、論理“0”レベルの入力信号がきたとき、選択された入力データが出力回路へ結合され出力端子から諸要のデータを取り出すことができる。

論理“1”レベルの時は、この機能は否定され、出力端子からの出力信号は、シャ断される。

SN74152は、ストロブ入力端子を持っていないので、内部でインビットすることができないので、選択された入力情報は、常に出力回路に現われ、出力端子に常時出ている。

SN74152を用いたデータセクタ回路でストロブ機能を持たせたい場合は、外部に制御回路を附加しなければならない。

7-3-1 回路上の特徴

すべての入力回路には、クランプ用のダイオードが附加されているので、負の入力信号に対して、ICの入力回路を保護するばかりでなく、ラインのリンギングを減少させる役目をするので、信頼度の高いシステムを容易に構成できる。

ストロブ入力端子のついたデータセクタ SN74150/SN74151は、内部にストロブパルス INV/DRIVER回路をもっているため、外部ストロブ回路の負荷係数を減少させる。

この INV/DRIVER回路は、1つの入力から8個あるいは16個のANDゲート回路をドライブしている。

各々のデータセクタ入力端子は、2進3～4ビットの入力信号を受け、カスケードに接続された2つのインバータ回路をとおして、適切なANDゲート回路に接

続される。

したがって、入力端子数は、少なくすみ、実装工数を減少させることができる。

SN74151は、コンプリメンタリ出力端子Y Wをもっているため、例えば、Y出力の補数をW出力から取り出すことができるため、非常に便利である。

ファンアウトが大きく、出力インピーダンスが低く、しかも、トーテンポール出力回路方式を採用しているので、容量性負荷に強い。

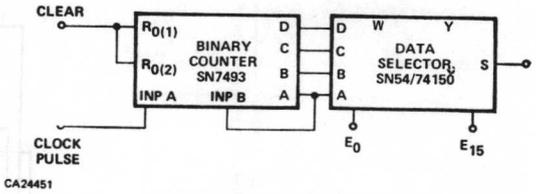
TTL DTL そして、他のMSI回路と完全にコンパチブルである。

7-4 アプリケーション

この信頼度の高いデジタルデータセクタを使用した応用例について話をすすめる。

7-4-1 並列—直列変換

データセクタは、マルチチャンネルの情報から、必要に応じて入力情報を選択し、シーケンシャルに変換して取り出す装置によく使用される。

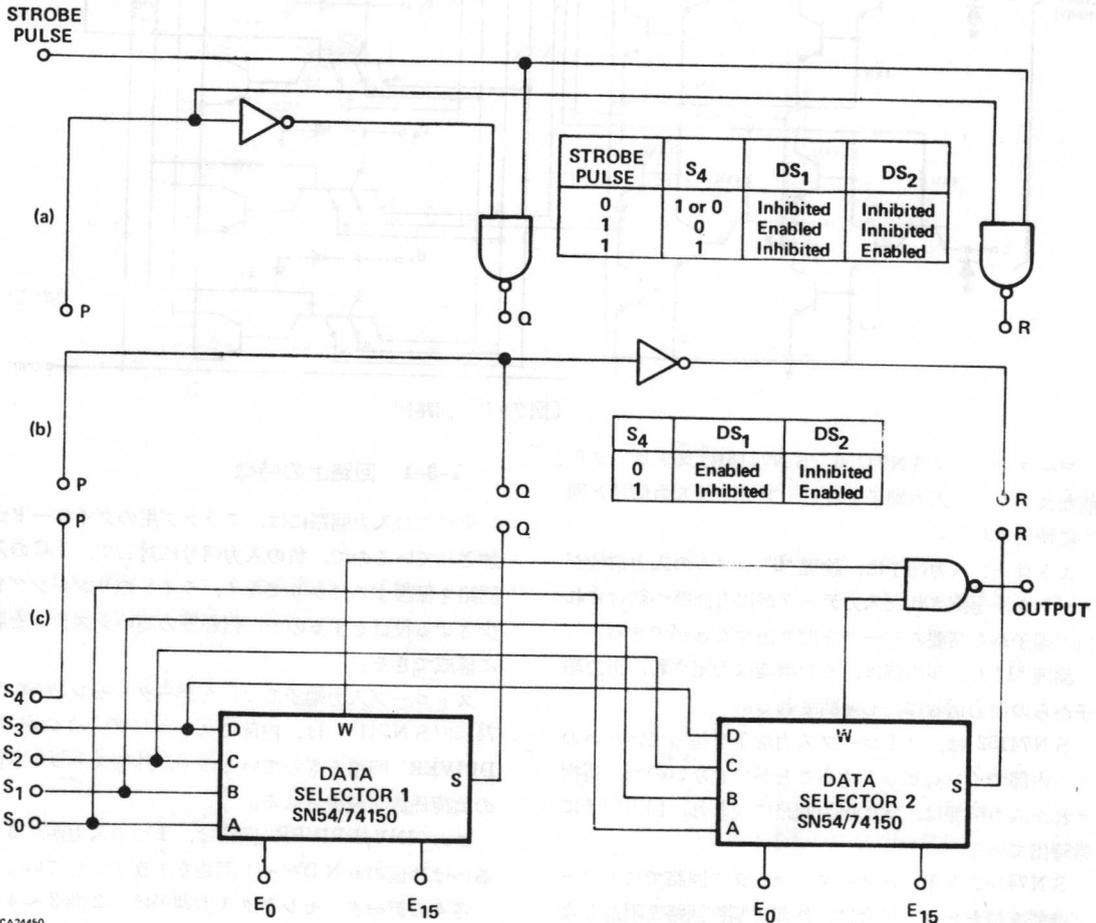


〔図7-10〕 16-1のデータセクタ回路

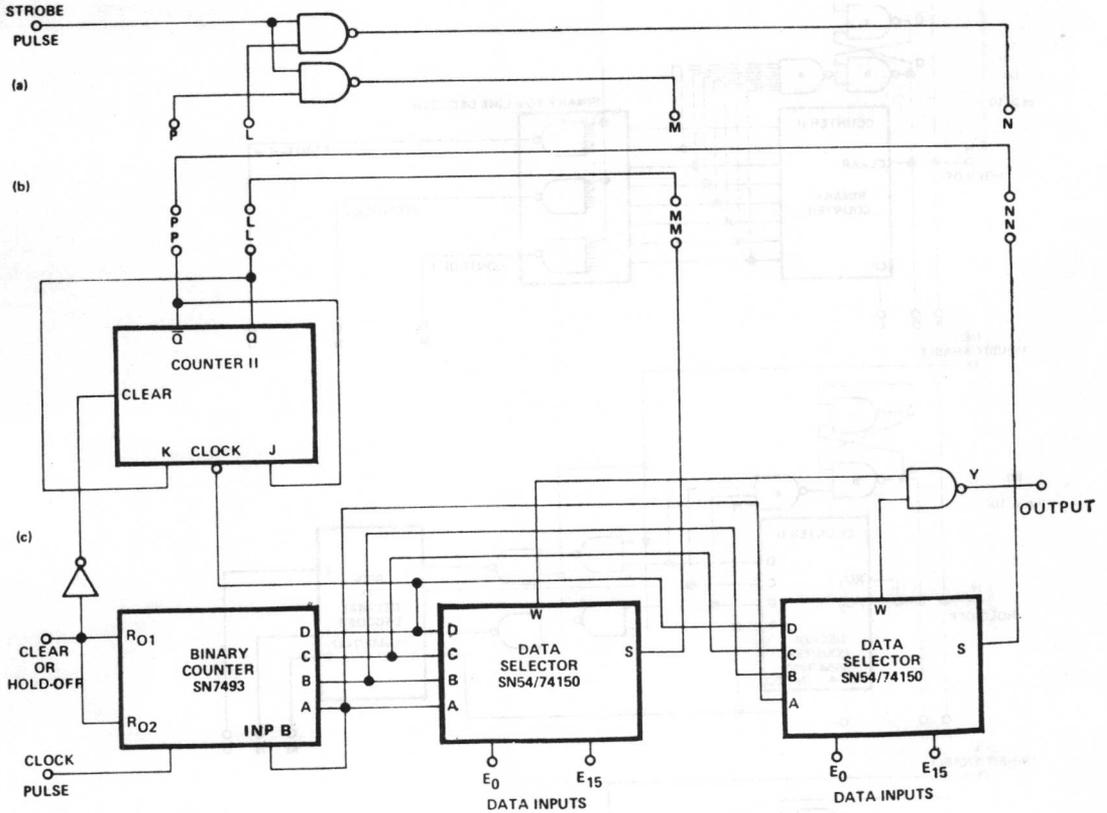
シーケンシャルデータセレクト回路は、データセレクトアドレス入力端子に、2進計数回路(SN7493)、すなわち、2進4ビットの出力を図7-10のような方法で接続することにより、簡単に構成することができる。

このようなシステムの動作は、エレクトロメカニカルステッピングスイッチのそれに似ている。

これは、データセクタのデータ入力端子($E_0 \sim E_{15}$ / $D_0 \sim D_7$)に諸要のデータを接続し、データ選択入力端子に入力信号を与えると4ビットの入力信号は、デコードされ、16チャンネルの入力データをシーケンシャルにデータセクタの出力端子から直列パルス列として取り出すことができる。



〔図7-11〕 32-1 デジタルデータセクタ



CA24452

〔図 7-12〕 32チャンネル デジタル データセレクト

データ入力端子数を増加させる場合は、これらのデータセレクトをカスケードに接続すればよい。

図 7-11 に 32 チャンネルの並列情報を 1 ライン上にすなわち、32-1 のデジタルデータセレクト回路でストロブ付〔(a)+(b)〕とストロブなし〔(b)+(c)〕の回路例である。

図 7-12 に 16 入力 デジタル データセレクト SN 54/74150 を用いて、32 入力のデジタルマルチプレクサ回路を示す。

図 7-13 に $n \times 16$ チャンネル データセレクト回路構成を示す。

7-4-2 マルチチャンネルワードの並列/直列変換

1 つのデータセレクト SN 54/74150 を使用して、16 チャンネルのワードを 1 つのライン上への変換する場合、すなわち、16-1 デジタルワードセレクト回路を図 7-14 に示す。

ワードの長さは、シフトレジスタの内容によって決定される。図からもわかるように、16 チャンネルのワード

は、2 組の BCD-TO-DECIMAL デコーダの出力信号 $LS_0 \sim LS_{15}$ によって選択される。

この選択信号 $LS_0 \sim LS_{15}$ とレジスタ制御端子 $RC_0 \sim RC_{15}$ を接続し、データ入力端子 0 ~ 15 に諸要の入力を接続することにより行なう。この回路は、レジスタ制御端子 RC が論理“0”のとき、選択されたシフトレジスタの内容はシリアルに読み出される。

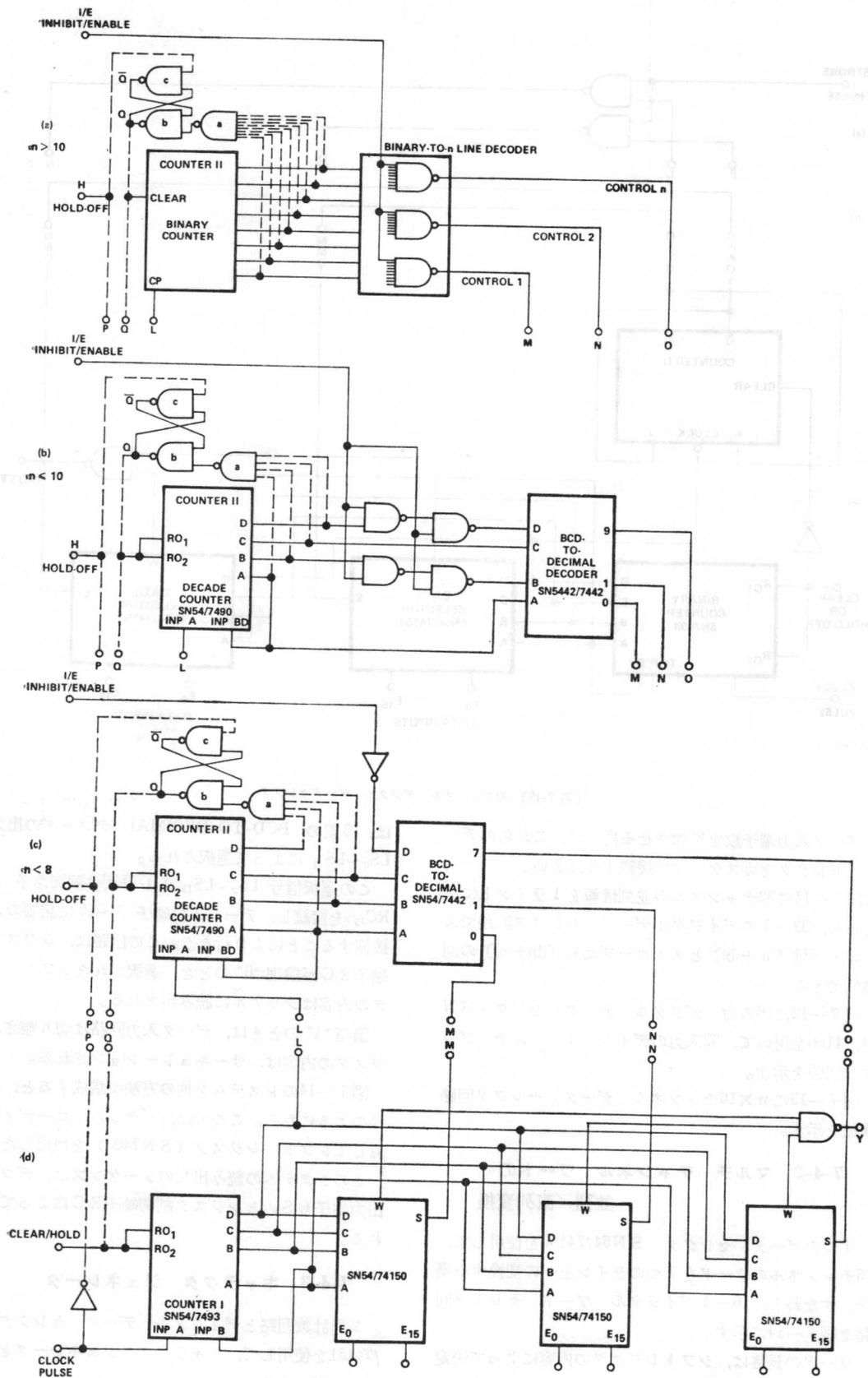
論理“1”のときは、データ入力回路は切り離され、レジスタの内容は、サーキュレーションされる。

図 7-14 のシステムを他の方法で構成すると、図 7-15 のようになる。ここでは、パラレルローディングに対してシフトレジスタ (SN 7495) を使用した。

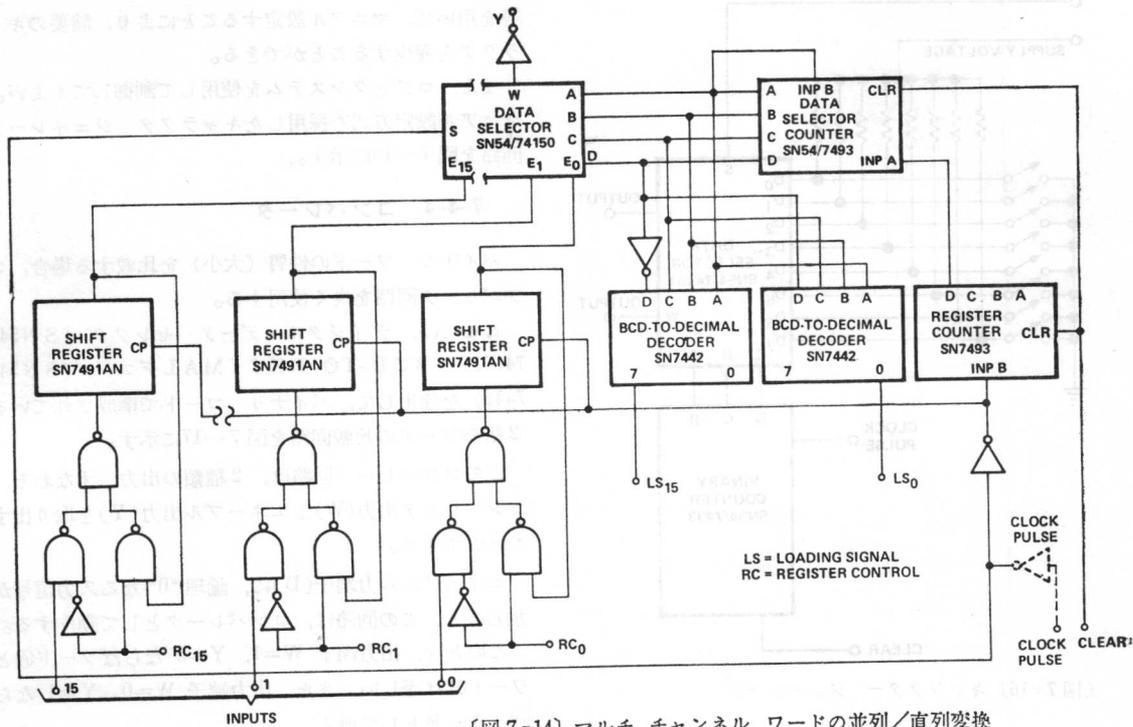
このシステムの読み出しのシーケンスは、デコーダの出力端子 LS とレジスタ制御端子 RC によって行なわれる。

7-4-3 キャラクタジェネレータ

2 進計数回路とデジタルデータセレクト SN 54/74151 を使用して、キャラクタジェネレータを構成することができる。

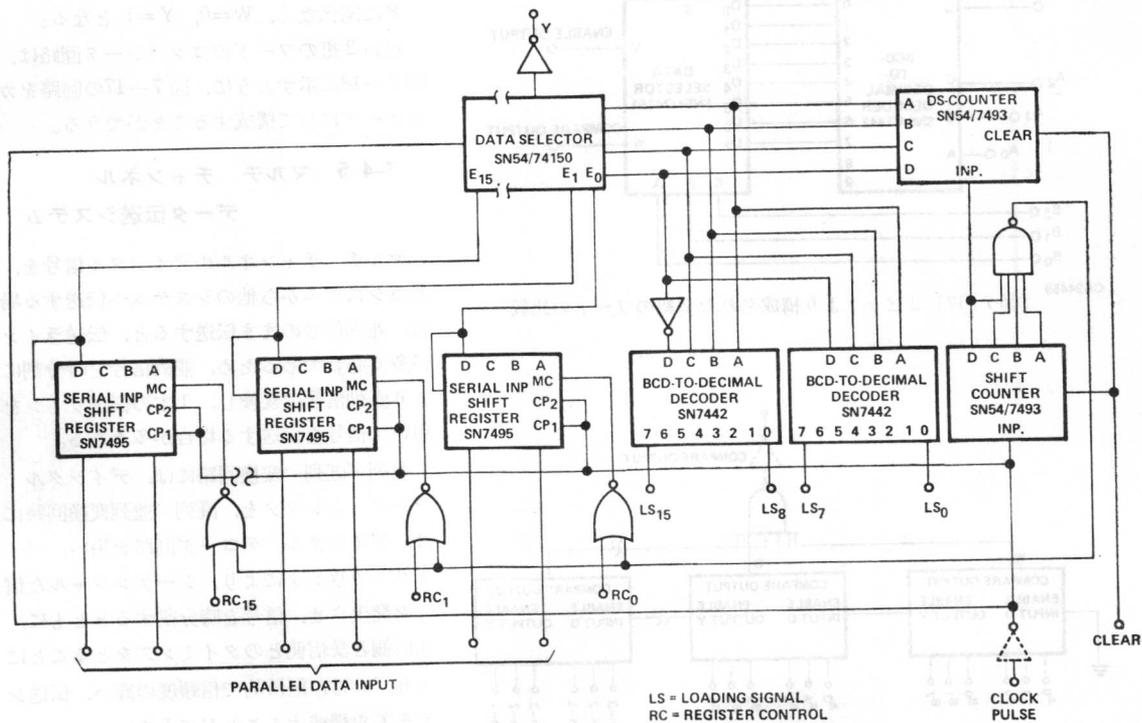


(图 7-13)

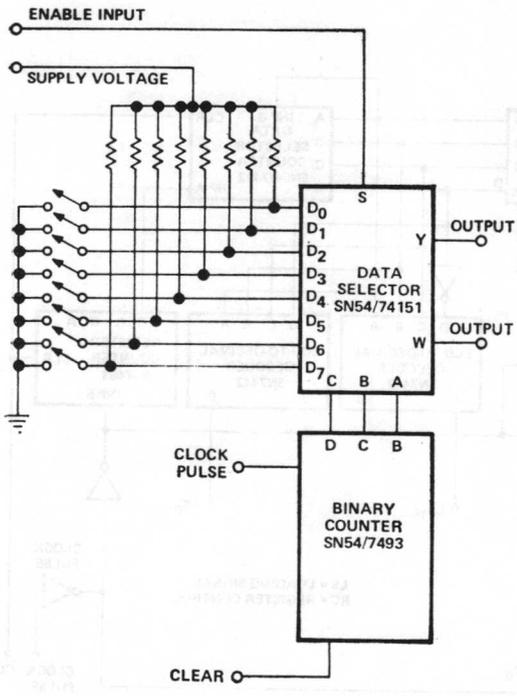


〔図 7-14〕 マルチ チャンネル ワードの並列/直列変換

CA24454



〔図 7-15〕 マルチ チャンネル ワードの並列/直列変換



〔図7-16〕キャラクター ジェネレータ

発生すべきキャラクタは、固定あるいは切換スイッチ等を用いて、マニュアル設定することにより、諸要のキャラクタを発生することができる。

また、ロジックシステムを使用して制御してもよい。マニュアル設定方式を採用したキャラクタ ジェネレータ回路を図7-16に示す。

7-4-4 コンパレータ

バイナリ ワードの性質(大小)を比較する場合、コンパレータ回路を良く使用する。

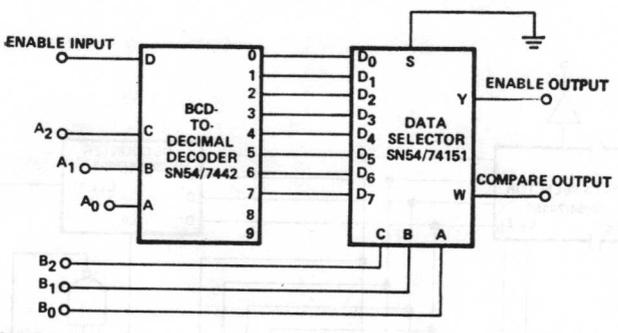
ここでは、デジタル データ セレクタ(SN54/74151)とBCD-TO-DECIMALデコーダ(SN54/7442)を使用して、バイナリ コードで構成されている2組のワードの比較回路を図7-17に示す。

このコンパレータ回路は、2種類の出力、すなわち、コンパレータ出力(W)とエネープル出力(Y)を取り出すことができる。

エネープル入力端子(D)に、論理“0”なる入力信号が加わると、この回路は、コンパレータとして動作する。このとき、出力端子 $W=1, Y=0$ ならばワードⒶとワードⒷは等しい。また、出力端子 $W=0, Y=1$ ならば、 $A \neq B$ として働く。

エネープル入力端子(D)の入力信号が“1”の時は、前記の動作は否定され、 $A=B, A \neq B$ に関係なく、 $W=0, Y=1$ となる。

長い2組のワードのコンパレータ回路は、図7-18に示すように、図7-17の回路をカスケードにして構成することができる。



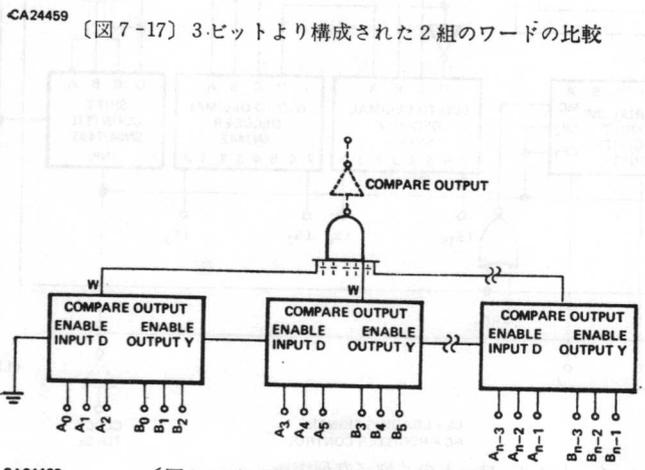
〔図7-17〕3ビットより構成された2組のワードの比較

7-4-5 マルチ チャンネル データ伝送システム

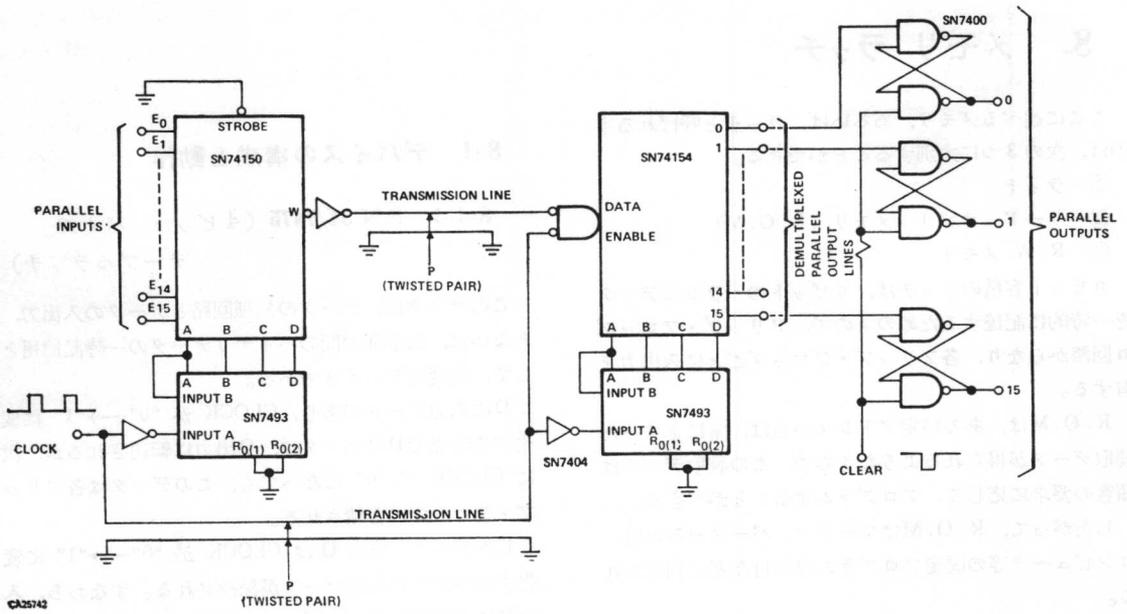
マルチ チャンネルのデジタル信号を、あるシステムから他のシステムへ伝送する場合、並列信号のまま伝送すると、伝送ラインが多く必要であるため、並列信号を時分割により直列信号に変換し、1本の伝送ラインを用いて信号を伝送する場合が多々ある。

並列/直列 変換回路には、デジタル データ セレクタを、直列/並列変換回路には、デジタル デコーダ回路を用い、バイナリ カウンタにより、シーケンシャルな信号を発生させ、信号を時分割するとともに、送信側と受信側とのタイミングをとることにより、非常に経済的で信頼度の高い、伝送システムを構成することができる。

図7-19に、この伝送システム例を示す。これは、16ビットの並列信号を伝送する場合で、16-1データ セレクタ、1-16デコー



〔図7-18〕語長の長いワードの比較回路



〔図 7-19〕 マルチ チャンネル データ伝送システム

が、2進-16進カウンタにより構成したものである。

多ビットのデータ セレクタ デコーダおよびカウンタを使用することにより、マルチチャンネルのデータ伝送システムは容易に構成することができる。



図 7-19 のタイミング図

種類	出力	機能	説明
2-8	1-8	W	ストロブ信号
2-8	2-8	A, B, C, D	データ入力
2-8	3-8	R0(1), R0(2)	カウンタ出力
2-8	4-8	0, 1	デコーダ出力
2-8	5-8	15	デコーダ出力
2-8	6-8	CLEAR	クリア信号
2-8	7-8	0, 1, 15	最終出力

8. メモリ ラッチ

ここに述べるメモリ、あるいは、ラッチと呼ばれるものは、次の3つに大別することができる。

- ① ラッチ
- ② リード オンリ メモリ (R.O.M)
- ③ R/W メモリ

nビット容量のラッチは、nビットの平行データを一時的に記憶するためのもので、フリップ・フロップ n回路からなり、各フリップ・フロップごとに入出力を有する。

R.O.Mは、ある特定アドレスからは、常にきまった読取データが得られるようなもので、この読取データは顧客の要求に応じて、プログラムすることができる。

したがって、R.O.Mはコードコンバータあるいは、コンピュータ等の固定プログラムの実行などに利用される。

なお、回路構成は他のタイプのメモリとは異なり、普通フリップ・フロップなどは使用しない。

R/W メモリは、コアメモリなどと同様に普通XYアドレスライン等によって選択されたメモリ エレメント (主にフリップ・フロップ) に外部からデータを書込み、あるいは、選択されたエレメントに蓄積されているデータを読み出すことができるようなものである。

いずれのタイプのものも、TTLメモリはMOSなどに比し、動作速度が非常に速いことが大きな特徴である。

表8-1は、現在TI社から納入可能なTTLメモリの一覧表である。

従来、TTLメモリの記憶容量は、割合少なかったが、大容量化のための技術的な問題が解決されつつあるので、今後かなり大きな容量のものが製造発売される予定である。以下、各デバイスの構成、動作およびその応用について説明する。

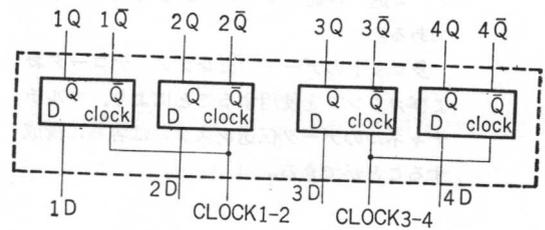
8-1 デバイスの構成と動作

8-1-1 SN54/7475 (4ビット バイス テーブルラッチ)

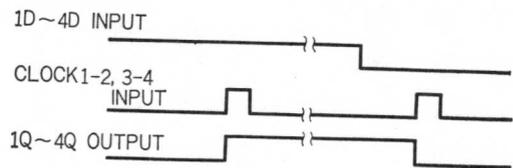
このラッチは、データの処理回路とデータの入出力、あるいは、表示部の間のバイナリデータの一時的記憶用として、最適なデバイスである。

Dに入力データがあり、CLOCK が“0”→“1”に変化する時点でDのデータは、Q出力に転送されるが、次にCLOCK が“0”になっても、このデータは各フリップ・フロップに蓄積される。

したがって、出力QはCLOCK が“0”→“1”に変化する時点のD入力データが保持される。すなわち、入力Dに印加されているデジタル・データは、クロック・パルスによってサンプリングされ、次のクロックパル



〔図8-1〕SN54/7475の回路構成



〔図8-2〕SN54/7475の動作波形

型名	機能	代表的特性		回路構成	動作波形
		アクセス タイム	消費電力		
SN54/7475	4ビットバイステーブルラッチ	15ns	136mW	☒8-1	☒8-2
SN54/7481	16ビットR/Wメモリ	22	275	☒8-3	☒8-5
SN54/7484	16ビットR/Wメモリ(書込ゲート付)	22	275	☒8-3	☒8-5
SN7488	256ビットR.O.M	40	240	☒8-6	—
SN7489	64ビットR/Wメモリ	40	400	☒8-8	☒8-9
SN54/74100	8ビットバイステーブルラッチ	15	170	☒8-10	☒8-2
SN54/74170	4×4ビットレジスタ	30	500	☒8-11	☒8-12
SN74185	2進—BCDコンバータ	40	240	☒8-13	—

<表8-1> TTLメモリラッチ一覧表

スまでそのデータを保持する。

SN54/7475 は、出力としてQ, および, \bar{Q} があり、16PのDIPに収められている。このデバイスの論理回路構成および動作のタイムチャートをそれぞれ図8-1および図8-2に示す。

8-1-2 SN54/7481, SN54/7484

(16ビットR/Wメモリ)

この2種類は、4×4ビットマトリックス構成による非破壊読出のメモリである。各メモリエレメントは、たすきがけに接続された3エミッタ型トランジスタのフリップ・フロップで構成され、4本のXアドレス線および、4本のYアドレス線によって、16ビットのうちの1ビットのメモリエレメントが選択される。

このたすきがけにされたトランジスタのエミッタのうち、1対はデータの書込、あるいは、読出用に用いられる。他の1対は、Xアドレス線に、また、残りの1対は、Yアドレス線に接続されて、エレメントの選択用として使われる。

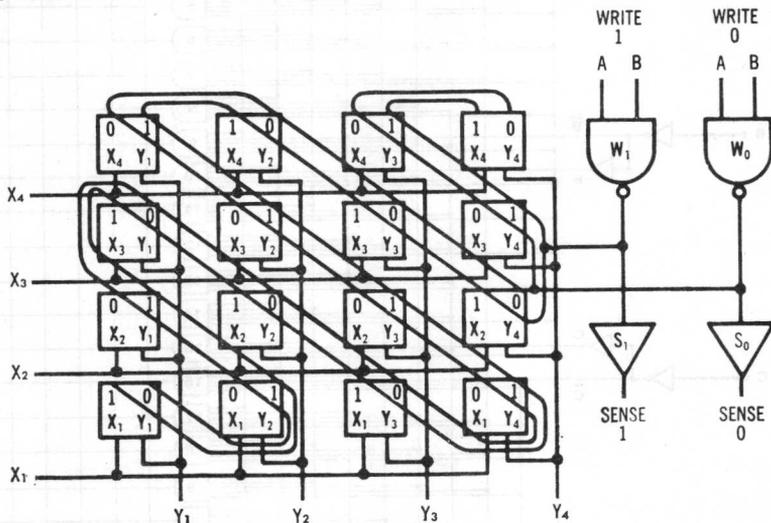
して使われる。

データの読出の場合、アドレス入力通常“0”に保持しておき、エレメントの選択時に、XYアドレスを“1”にしてやると、選択されたメモリエレメントに蓄積されているデータが、SENSE LINE (または、WRITE LINE) に生じ、SENSE AMPによって、レベルが増幅されて、SENSE 出力に論理レベルデータが得られる。

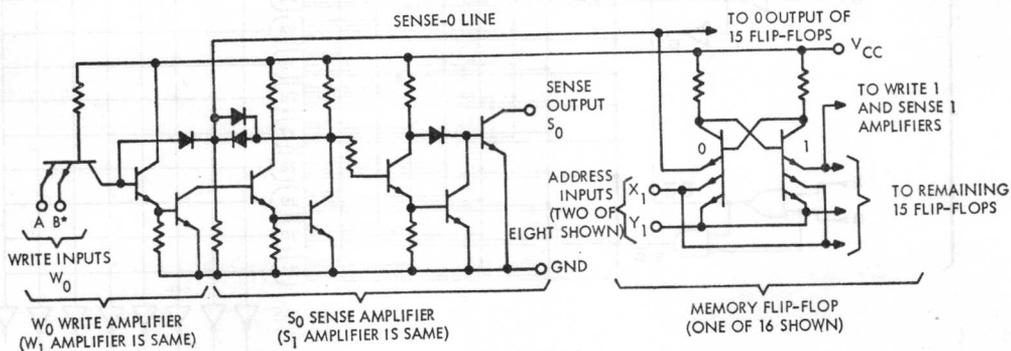
例えば、このメモリエレメントに“0”が蓄積されている場合には、通常“1”レベルのS₀出力がアドレスしている間は、“0”になるような出力が得られる。

データ書込の場合、XYアドレスを“0”→“1”にしておいて、“0”または“1”のWRITE 入力に“1”を与える。これにより、WRITE AMPの出力は“0”になり、選択されたメモリエレメントにデータが貯えられる。

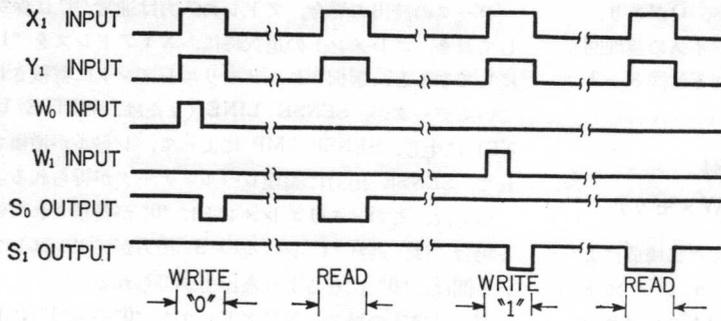
例えば、“1”を書き込みたいときは、アドレスと同時にWRITE “1” 入力に“1”を印加し、“0”を書き込みたい時は、WRITE “0” 入力に“1”を印加すればよい。



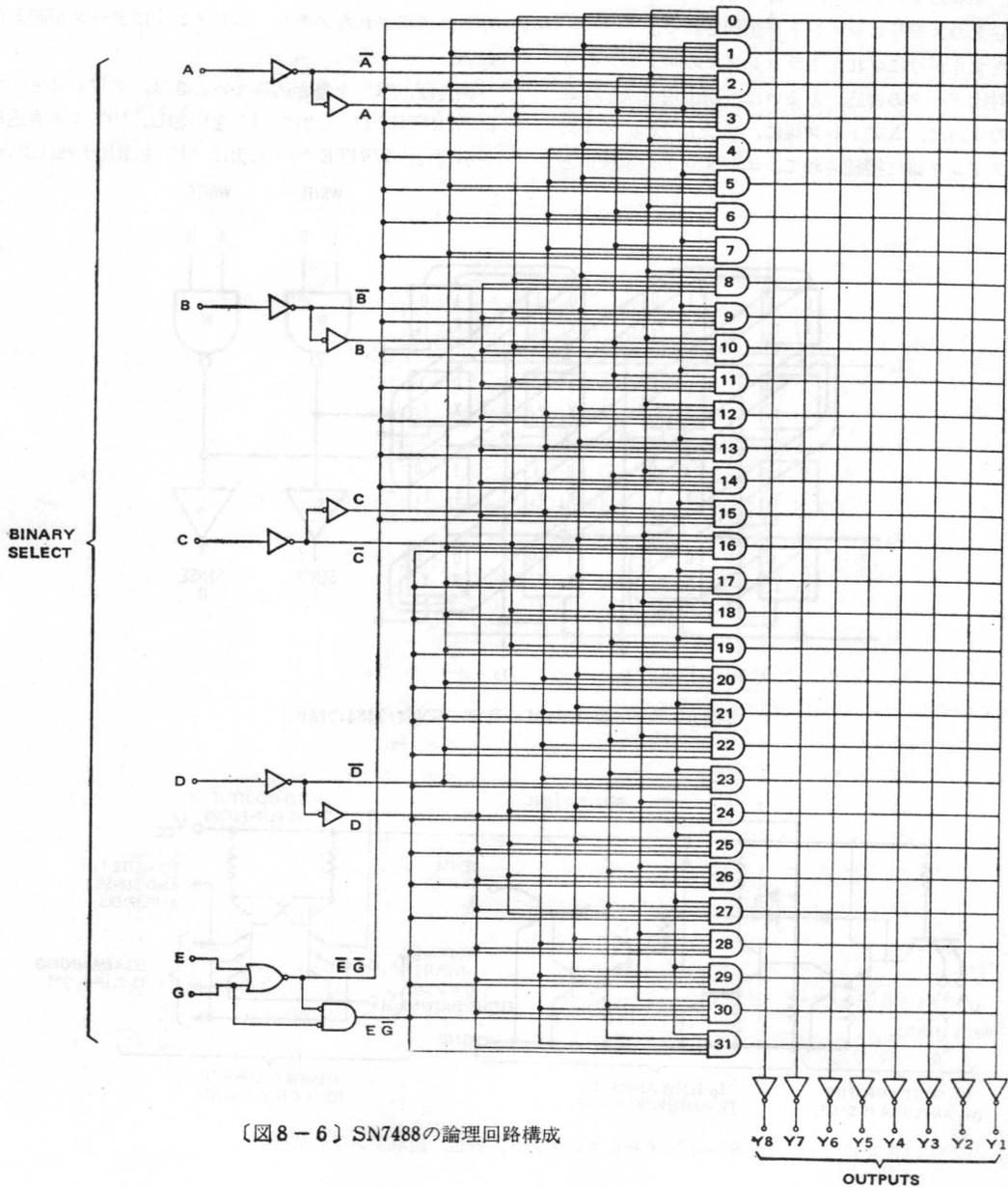
〔図8-3〕SN54/7481 及び SN54/7484の構成



〔図8-4〕メモリエレメント、書込、読取アンプの回路



〔図 8 - 5〕 SN54/7481, SN54/7484動作波形



〔図 8 - 6〕 SN7488の論理回路構成

ただし、ここで注意しなければならない点は、WRITE AMP 出力と SENSE AMP 入力、共通に接続されているから WRITE AMP が動作している間は、情報の読出は不能であるという点である。

SN54/7481, SN54/7484の論理回路構成を、図8-3にまた、WRITE AMP, SENSE AMP およびメモリエレメントの動作を説明するための詳細な回路構成を図8-4に、また、動作タイムチャートを図8-5に示す。

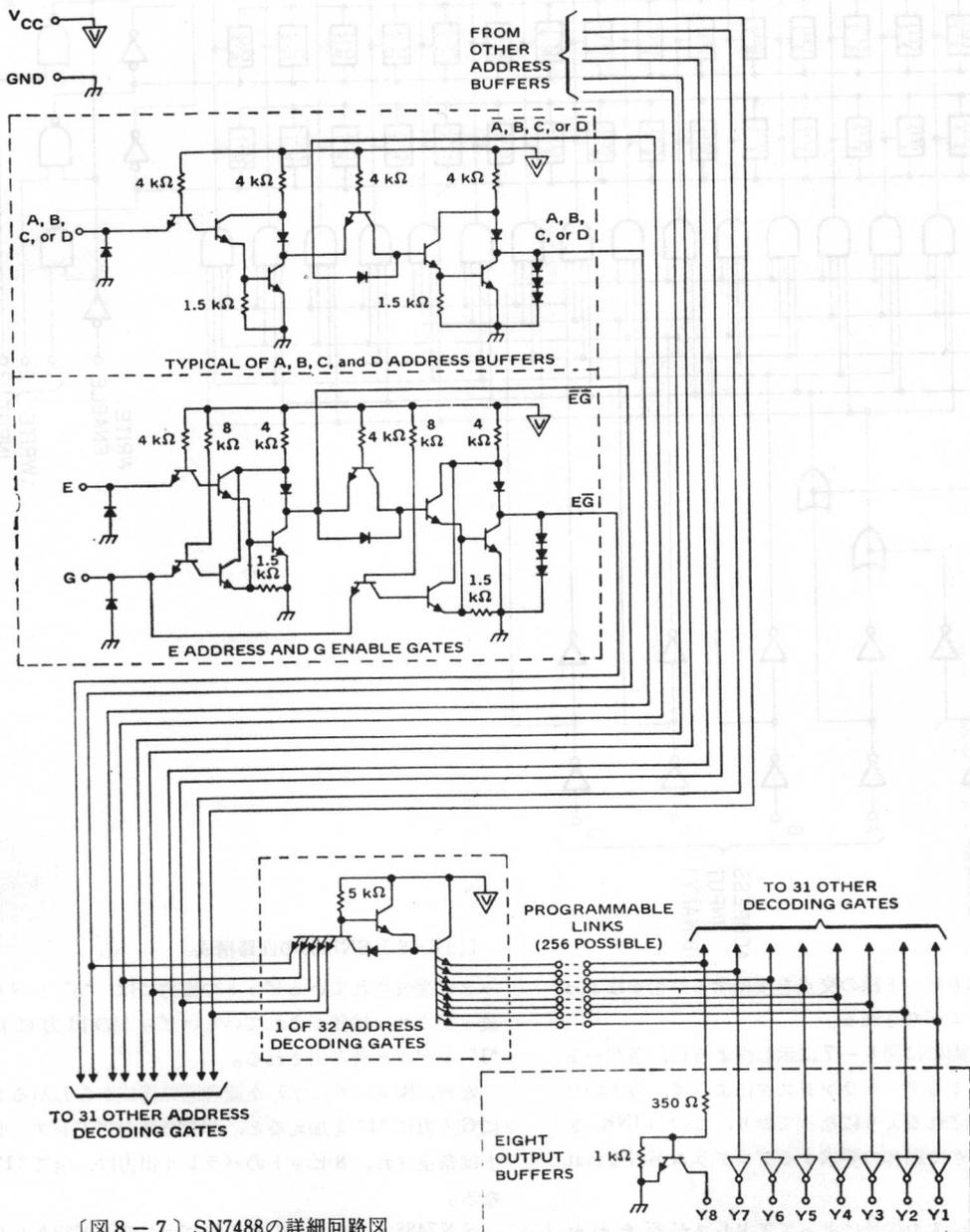
なお、図8-3から知られるように、SN54/7481は、SN54/7484の書き込みゲートを省略したもので、他は一

切SN54/7484と同一である。

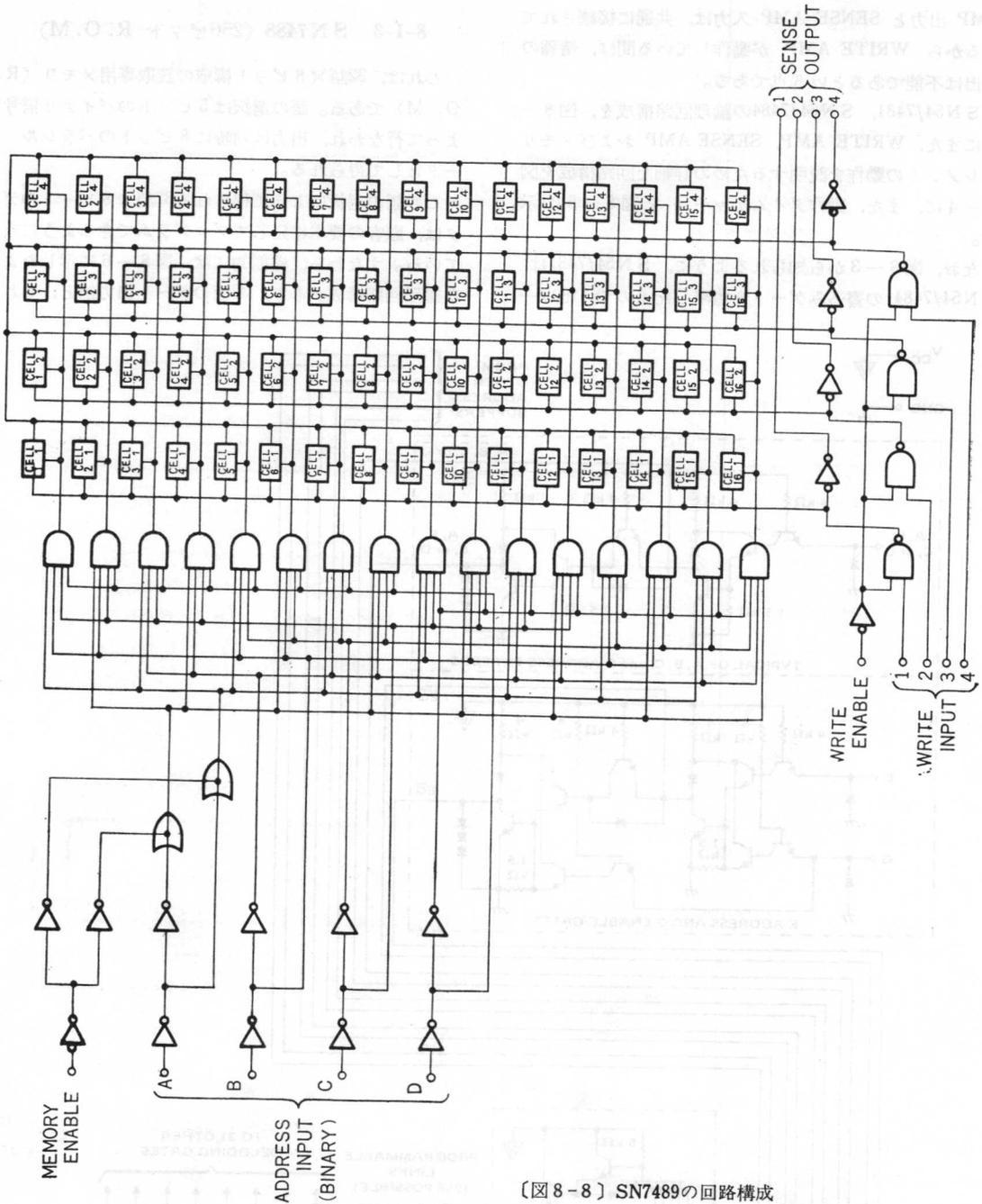
8-1-3 SN7488 (256ビット R.O.M)

これは、32語×8ビット構成の読取専用メモリ (R.O.M) である。語の選択は5ビットのバイナリ信号によって行われ、出力は同時に8ビットの平行データとして得られる。

この語の選択によって得られる32語×8ビットのデータは、顧客の要求に応じてプログラムできるようになっている。すなわち、機能的には、図8-6に示したような論理回路構成があり、32箇のゲート出力線と、これに



〔図8-7〕SN7488の詳細回路図



〔図8-8〕 SN7489の回路構成

直交する8本のビット線の交点を接続するか否かによって、プログラムがなされる。

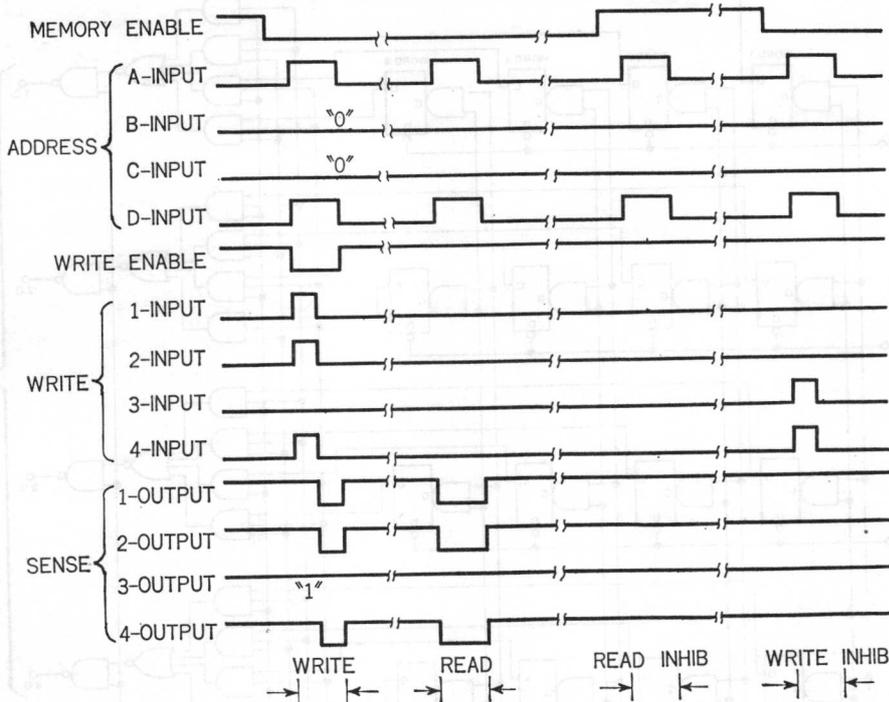
しかし、実際には図8-7に示したように、各ゲート出力は、8エミッタトランジスタによって、各々のビット線に接続されるようになっており、このLINKを接続するか否かで顧客の要求するプログラムが行なわれる。

したがって、入力信号によってアドレスが行なわれて、あるゲートが選択されると、そのゲート出力のエミ

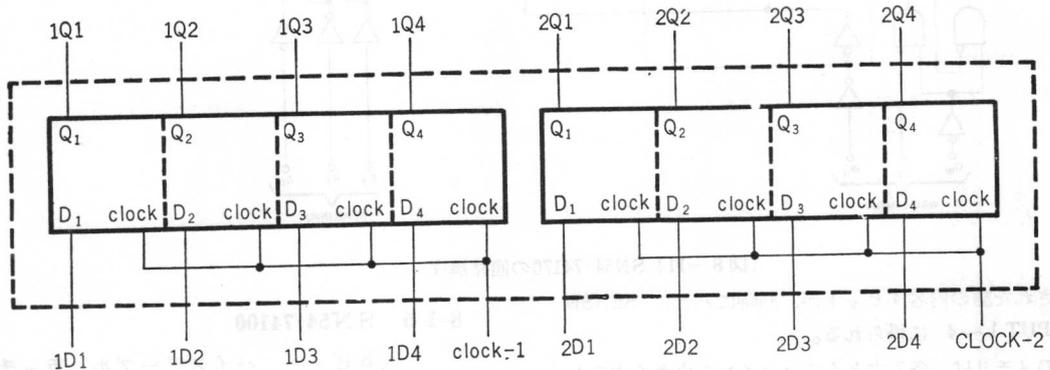
ッタに接続されているビットの出力には、“0”レベルが読み出され、接続がされていないビットの出力には、“1”レベルが読み出される。

なお、図8-6に示した論理回路構成からわかるようにG入力に“1”を加えると、32箇全部のアドレスゲートは禁止され、8ビットの平行出力は、全て“1”になる。

SN7488は、全々このようなプログラムが行なわれていないので、このままの状態では何んの機能も持たな



〔図8-9〕SN7489の概略動作波形



〔図8-10〕SN54/74100の回路構成

い。顧客の要求によって、初めて、プログラムされて特定の機能を発揮するデバイスである点に注意されたい。

ただし、このSN7488を利用して、2進→BCDコンバータとして、プログラムされたSN74185があるが、これについては後でふれる。

8-1-4 SN7489 (64ビットR/Wメモリ)

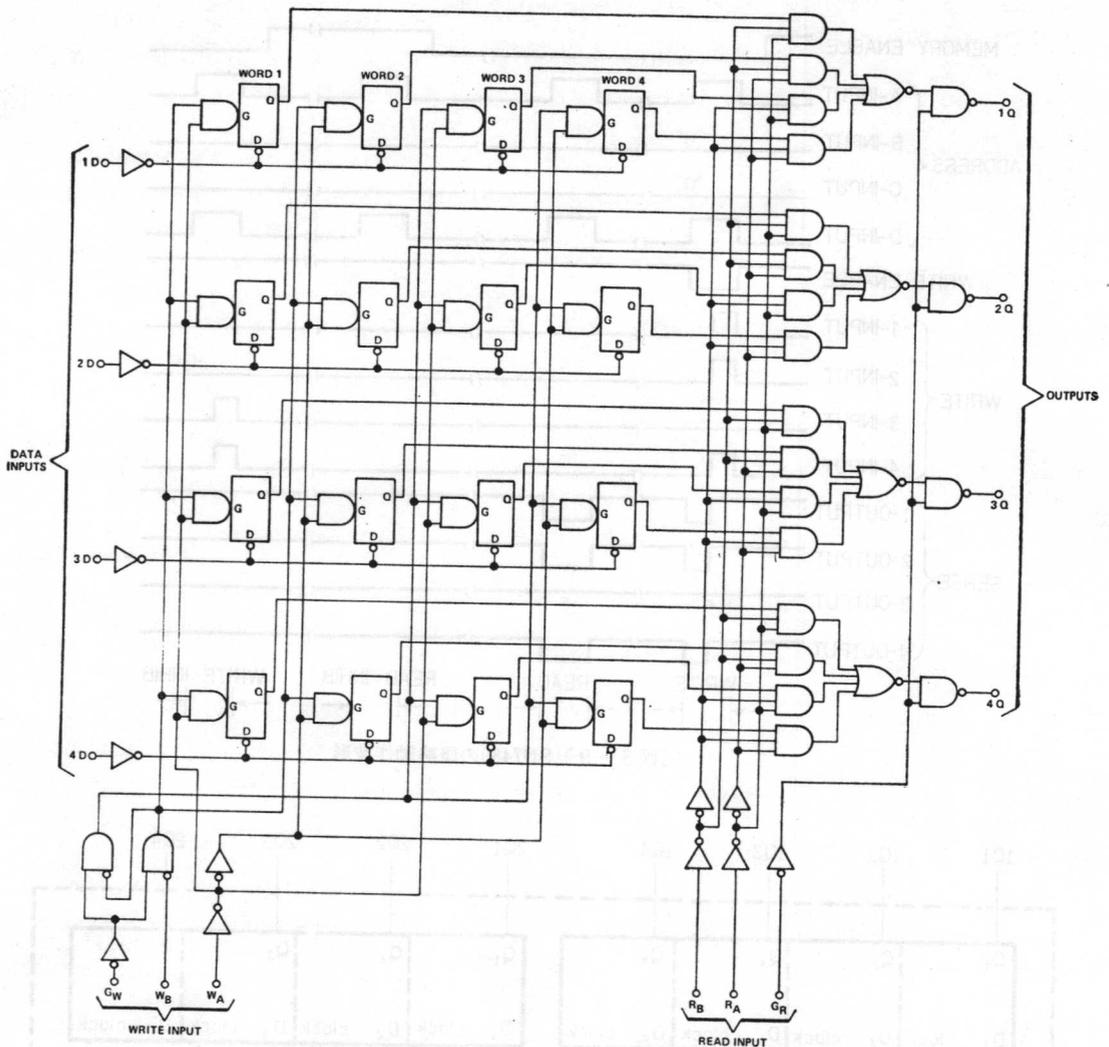
このデバイスは、16語×4ビット構成の非破壊読出型R/Wメモリで、各メモリエレメントは、2エミッタトランジスタをたすきがけしたフリップフロップにより構成されている。

データの書込の場合、A～Dの4ビットのアドレス入

力によって語を指定すると共に、MEMORY ENABLEおよびWRITE ENABLEを“0”にして、WRITE INPUTの各入力に書込むべきデータを与える。このとき、MEMORY ENABLEを“1”にしておくと、前に貯わえられていた内容を保護することができる。

各書込ゲートの出力は、それぞれ、SENSE AMPの入力に接続され、さらにメモリエレメントに接続されているので、SENSE AMP出力(SO₁～SO₄)は、WRITE INPUTから書き込んだデータの状態とは、反対のデータになる。

読取の場合は、4ビットによるアドレス指定を行ないMEMORY ENABLEを“0”にをにすることにより、



〔図8-11〕SN54/74170の回路構成

選択された語の内容4ビットが、同時にパラに SENSE OUTPUT 1~4 に得られる。

このメモリは、各入力ともファンインを小さくするための入力バッファを持っているので、規準化入力負荷係数は、全ての入力に対して1.0になっている。さらに、入力には、スクランプ ダイオードが入れられているので、伝送線の影響を最小にし、システム設計の簡素化を計れる。

また、SENSE OUTPUT は開放コレクタ出力となっているため、WIRED-OR が可能であり、語長を拡張する場合に適するようになっている。

図8-8は、SN7489の論理回路構成であり、図8-9はこの動作を説明するための概略タイムチャートである。

8-1-5 SN54/74100

(8ビット バイステープル ラッチ)

このデバイスは、図8-10に示した論理回路構成からわかるように、SN54/7475 (4ビット バイステープルラッチ) の容量をそのまま8ビットにしたもので、その機能動作および応用等については、SN54/7475 と同様に考えることができる。なお、パッケージは24PのDIPが使用されている。

8-1-6 SN54/74170

(4×4 ビット レジスタ)

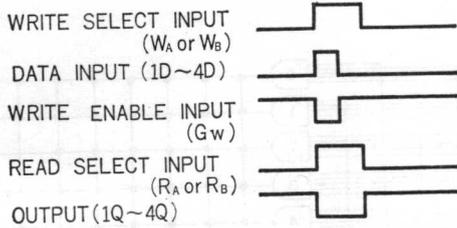
このデバイスは、4語×4ビット構成で、各メモリエレメントはゲートによるラッチ構成である。

図8-11に示した論理回路構成から判るように、このレジスタの最大の特徴は、2ビットの書込側アドレス指

定、および、2ビットの読取側アドレス指定が用意されており、書込および読取りを別々のアドレスを選択したときには、読／書が同時に行なえるという点である。

したがって、メモリの利用効率が非常に高められ、高速度の動作が期待できる。また、他のものと同様に、非破壊読出 (N. D. R. O) 型のメモリである。

動作は、図8-12の動作タイムチャートに示したとお



〔図8-12〕SN54/74170動作タイムチャート

りである。すなわち、書込の場合 WRITE INPUT W_A および W_B で語の選択を行ない、WRITE ENABLE G_W を“0”とし、DATA INPUT 1D~4Dより書き込むべきデータを入力する。

また、読取の場合には、READ INPUT R_A および R_B により、語を選択し同時に READ ENABLE G_R を“0”にすることにより、ストアされた情報が OUTPUT 1Q~4Q に同時にバラに出力される。

なお、出力は開放コレクタになっており、1024語または、それ以上の容量にできるように256個以上の出力を WIRE-AND 接続することが可能である。

8-1-7 SN74185 (2進-BCDコンバータ)

このデバイスは、5桁の2進数→2桁BCD数の変換の機能を持ったように、前のSN7488 (256ビットR.O.M) をプログラムして、標準製品としたものである。

WORD	INPUTS						OUTPUTS							
	BINARY SELECT					ENABLE	NOT USED		TENS		UNITS			
	E	D	C	B	A	G	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1
0	L	L	L	L	L	L	L	L	L	L	L	L	L	L
1	L	L	L	L	H	L	L	L	L	L	L	L	L	H
2	L	L	L	H	L	L	L	L	L	L	L	L	H	H
3	L	L	L	H	H	L	L	L	L	L	L	H	L	L
4	L	L	H	L	L	L	L	L	L	L	L	H	L	H
5	L	L	H	L	H	L	L	L	L	L	L	H	H	L
6	L	L	H	H	L	L	L	L	L	L	L	H	H	H
7	L	L	H	H	H	L	L	L	L	L	L	H	L	L
8	L	H	L	L	L	L	L	L	L	L	H	L	L	L
9	L	H	L	L	H	L	L	L	L	L	H	L	L	L
10	L	H	L	H	L	L	L	L	L	L	H	L	L	H
11	L	H	L	H	H	L	L	L	L	H	L	L	H	L
12	L	H	H	L	L	L	L	L	L	H	L	L	H	H
13	L	H	H	L	H	L	L	L	L	H	L	H	L	L
14	L	H	H	H	L	L	L	L	L	H	L	H	L	H
15	L	H	H	H	H	L	L	L	L	H	L	H	L	L
16	H	L	L	L	L	L	L	L	L	H	L	H	H	L
17	H	L	L	L	H	L	L	L	L	H	L	H	L	L
18	H	L	L	H	L	L	L	L	L	H	H	L	L	H
19	H	L	L	H	H	L	L	L	H	L	L	L	L	L
20	H	L	H	L	L	L	L	L	L	H	L	L	L	H
21	H	L	H	L	H	L	L	L	H	L	L	L	L	H
22	H	L	H	H	L	L	L	L	H	L	L	L	H	L
23	H	L	H	H	H	L	L	L	H	L	L	L	H	H
24	H	H	L	L	L	L	L	L	H	L	L	H	L	H
25	H	H	L	L	H	L	L	L	H	L	L	H	H	L
26	H	H	L	H	L	L	L	L	H	L	L	H	H	H
27	H	H	L	H	H	L	L	L	H	L	H	L	L	L
28	H	H	H	L	L	L	L	L	H	L	H	L	L	L
29	H	H	H	L	H	L	L	L	H	L	H	L	L	H
30	H	H	H	H	L	L	L	L	H	H	L	L	L	L
31	H	H	H	H	H	L	L	L	H	H	L	L	L	H
ALL	X	X	X	X	X	H	H	H	H	H	H	H	H	H

H = high level, L = low level, X = irrelevant

〈表8-2〉SN74185の真理値表

論理回路構成は、図 8-13 に示すように、SN7488 の 32本のゲート出力線と、8本のビット線の交点を接続したものにすぎない。

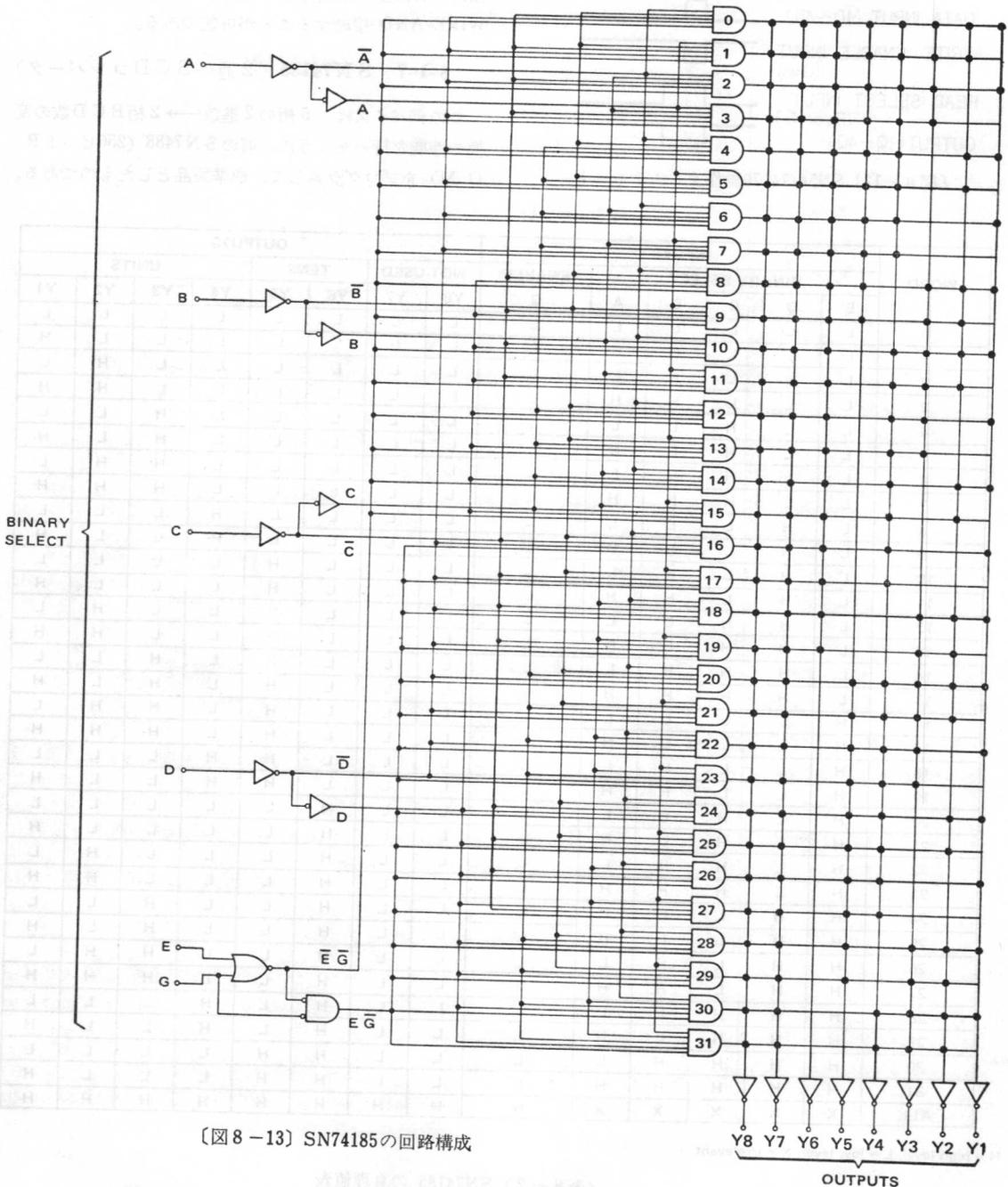
したがって、表 8-2 の SN74185 の真理値表に示したような 2 進数入力に対する BCD 出力が得られる。

なお、このデバイスは、32語×6ビット構成の R.O.M となっていることがわかる。

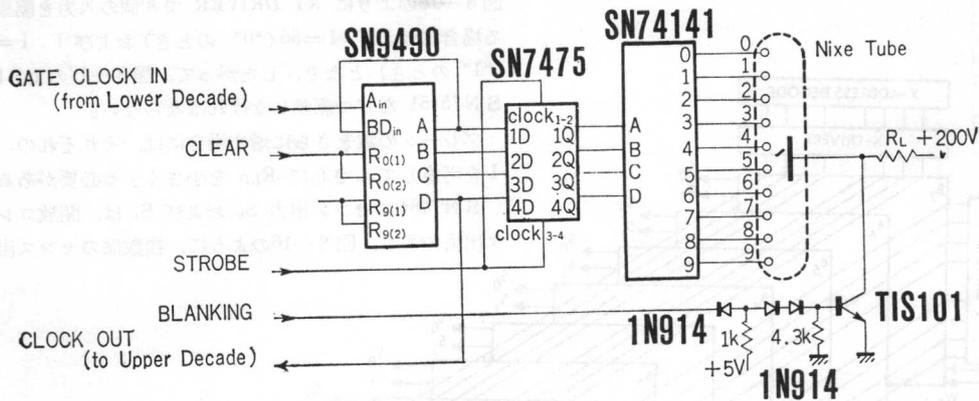
8-2 メモリ ラッチの応用例

従来、半導体メモリは、小容量データの一時的なレジスタあるいはバッファメモリとして使用されるケースが多かったが、近ごろでは、その範囲が拡大され、計算機、その他のデジタル機器のメインメモリなどにも利用されるようになってきている。

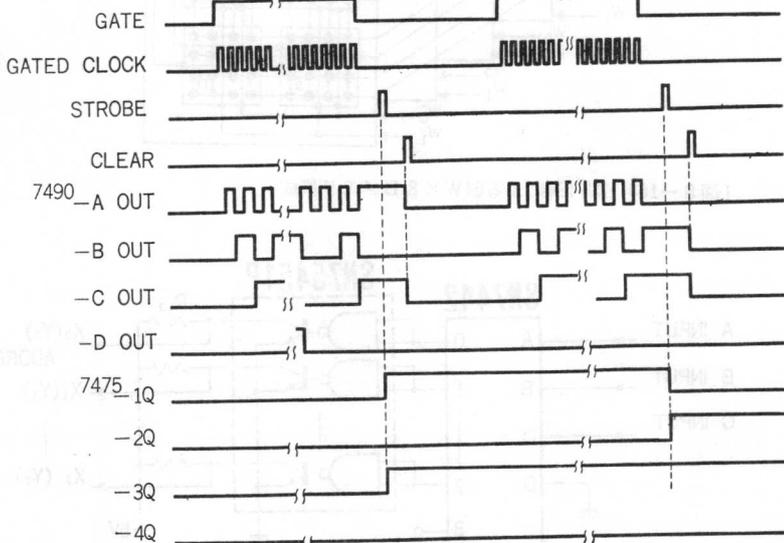
ここでは、機器への応用というより、主に 8-1 項に述べたデバイスによるメモリの構成方法について説明する。



〔図 8-13〕 SN74185 の回路構成



〔図8-14〕BCDカウンタの構成



〔図8-15〕図8-14の動作タイムチャート

8-2-1 SN54/7475のカウンタへの応用

周波数カウンタ等では、一定周期の一定時間内に入力されるパルス数をカウント、表示するが、パルスのカウント中は、表示される数字は常に変化しており、殊にゲート時間が長くなると、計測機器としても、その価値を半減してしまう。

このようなとき、カウント時間中時間外にかかわらず数字を静止表示させておくために、カウンタのカウントデータをSN54/7475を用いて一時蓄積させておく。

図8-14は、このようなBCD1桁のカウンタの構成例で、動作タイムチャートは、図8-15のようである。

n桁のBCDカウンタを構成する場合には、これをn回路接続すればよい。BLANKINGはNixie Tubeの表

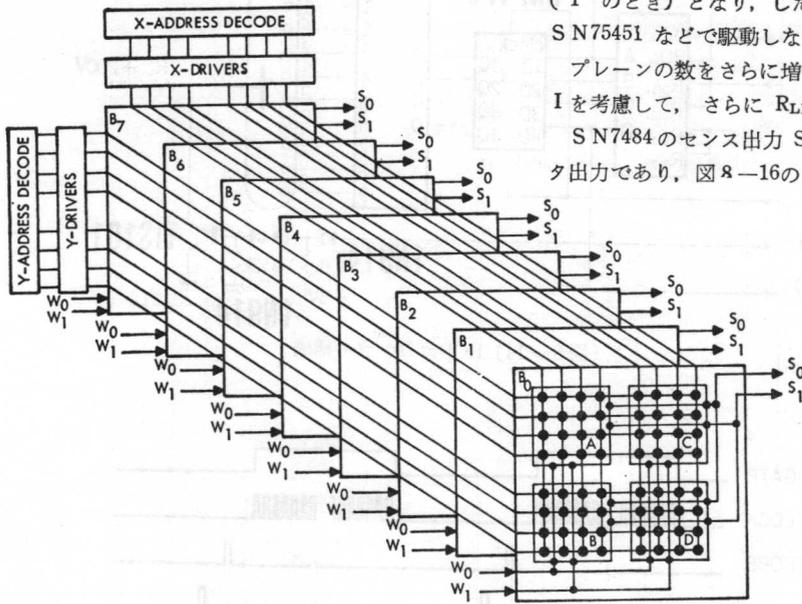
示を停止するとき使用するが、不要なときは、 T_r は省略できる。

8-2-2 SN7484による64W×8Bメモリ

図8-16は、SN7484を使用した超高速、直接アドレスによる64W×8B構成によるスクラッチパッドメモリの構成例である。

各プレーンにSN7484を4個ずつ使用し、8×8ビット構成とし、これを8プレーン(8ビット)重ね合わせたもので、プレーン内のビット容量、および、プレーンの数は、必要に応じて増すことができる。

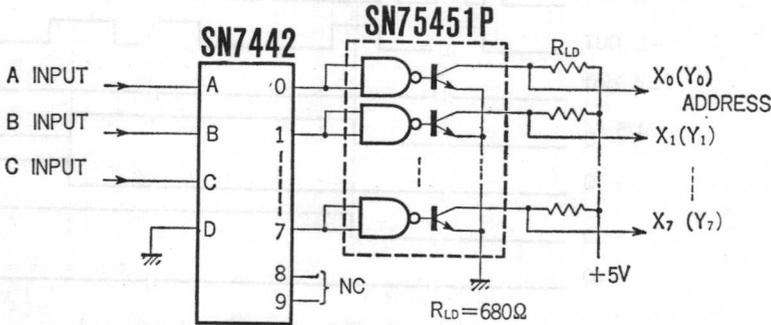
XY ADDRESS DECODER および DRIVER の構成例を図8-17に示す。SN7484のXおよびYアドレス線の入力負荷係数は、第1章の表4-8より“0”のとき、 $F.I=7.0$ 、“1”のとき、 $F.I=10.0$ であるから、



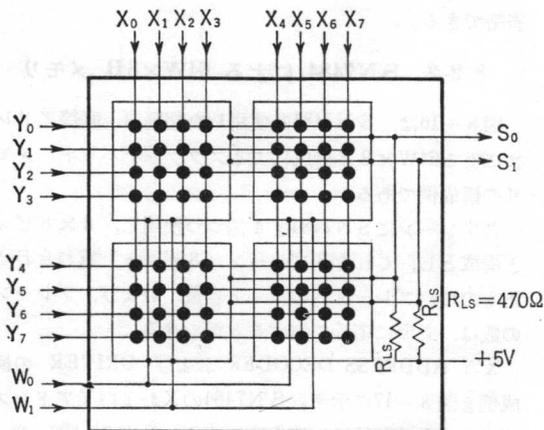
〔図 8-16〕 SN7484による64W×8Bメモリ構成

図 8-16のように XY DRIVER で 8 個の入力を駆動する場合には、 $F \cdot I = 56$ (“0” のとき) および $F \cdot I = 80$ (“1” のとき) となり、したがって、図 8-17のように、SN75451 など駆動しなければならない。

プレーンの数をさらに増す場合には、それぞれの $F \cdot I$ を考慮して、さらに R_{LD} を小さくする必要がある。SN7484 のセンス出力 S_0 および S_1 は、開放コレクタ出力であり、図 8-16のように、複数個のセンス出力



〔図 8-17〕 X(Y) アドレス デコーダ/ドライバ



〔図 8-18〕 メモリプレーンの構成

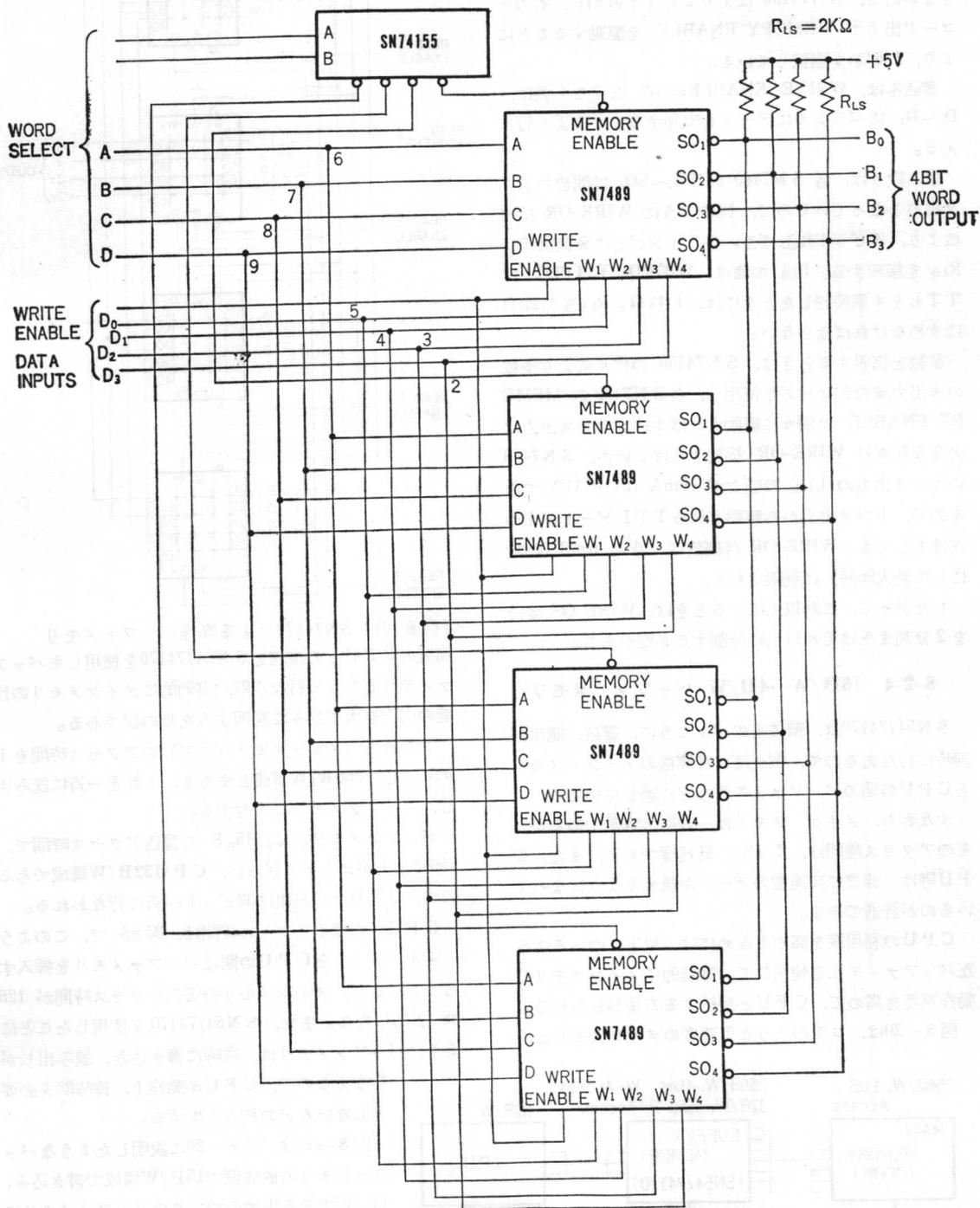
を WIRE-OR にするのに都合がよいが、この負荷抵抗 R_{LS} の値は、図 8-18 のように求める。この R_{LS} の求め方は図 1-40 の計算式を利用して求められる。この場合には WIRE-OR 数 $m=4$ であり、また、駆動する TTL ゲートを 4 とすれば、 $150\Omega \leq R_{LS} \leq 2k\Omega$ となる。

このことから、プレーンに搭載するデバイスのセンス出力を全て WIRE-OR で接続するとすれば、プレーンに載せうる最大デバイス数 $n \leq 16$ に制限される。

したがって、これ以上載せる場合には、WIRE-OR を 2 回路以上に分割しなければならない (但し、 $n=4$ と仮定して)。

8-2-3 SN7489 による 64W×4B メモリ

図 8-19 は、SN7489 を使用した 64W×4B メモリ



〔図 8-19〕 SN7489による64W×4Bメモリ

バンクの構成例である。

6ビットの語選択線によって語を選択するわけであるが、SN7489の語選択線は4ビットで16語の選択しかできないので、SN74155により2ビット追加し、このデコード出力でMEMORY ENABLEを駆動することにより、1/64語を選択している。

書き込みは、WRITE ENABLE="0" とすると共に、 $D_0 \sim D_3$ に平行にデータを印加することにより行なえる。

読み取りは、各SN7489の $SO_1 \sim SO_4$ は開放コレクタ出力となっているので、図のようにWIRE-OR接続により、4ビットにしぼり、各ラインごとに負荷抵抗、 R_{LS} を接続する。 R_{LS} の値は、WORD OUTPUTにTTLを4個接続したときには、 $1.4k\Omega \leq R_{LS} \leq 4.3k\Omega$ にきめなければならない。

語数を拡張するときは、SN74155の代りにより多数の入出力線のデコードを使用し、各SN7489のMEMORY ENABLEを別々に駆動すればよい。センス出力は必要な数だけWIRE-OR接続すればよいが、SN7489のセンス出力の I_{sink} の能力が10mA (at 0.4V)であるので、センス出力から駆動されるTTLゲートが1つだけとしても、WIRE-OR接続数は、最大 $n \leq 6$ (語数にして最大96語)に制限される。

したがって、これ以上にするときは、WIRE-OR接続を2分割またはそれ以上に分割する必要がある。

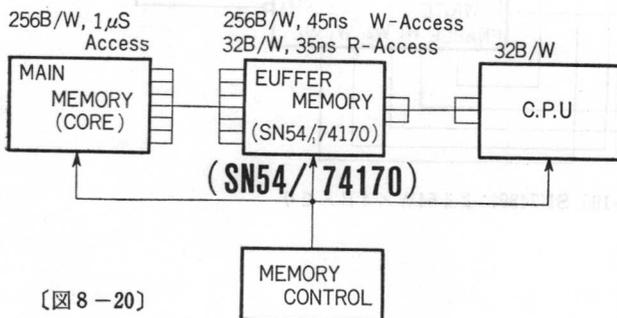
8-2-4 16B/W→4B/W バッファメモリ

SN54/74170は、前にものべたように、書込、読出が同時に行なえるので、例えば、計算機のメインメモリとCPUの間のバッファメモリなどに適している。

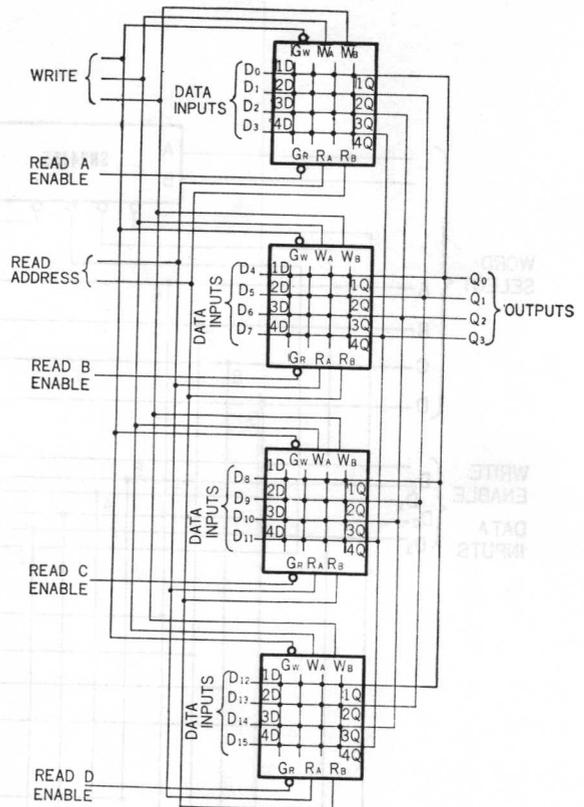
すなわち、メインメモリは一般に大容量であるが、そのアクセス時間は、 $1\mu S$ と低速度であり、また、CPU等は、非常に高速度のデータが扱えるようになっているのが普通である。

CPUの利用度を高めるためには、以下にのべるようなバッファメモリを使用して、等価的にメインメモリの動作速度を高めて、CPUと接続する方法がとられる。

図8-20は、コアのような低速度のメインメモリと、



〔図8-20〕



〔図8-21〕SN74170による高速バッファメモリ

高速のCPUとの接続をSN54/74170を使用したバッファメモリを介して行なう際、実効的にメインメモリの性能の向上を大づかみに説明するための図である。

すなわち、メインメモリ(コア)のアクセス時間を $1\mu S$ とし、256B/W構成とすると、これを一斉に読み出し、バッファメモリに入力する。

バッファメモリには、 $45nS$ の書込アクセス時間で、256ビットがストアされるが、CPU32B/W構成であるので、CPUへの読出は32ビット一斉に行なわれる。

CPUへの読出アクセス時間は、 $35nS$ で、このようにメインメモリとCPUの間にバッファメモリを挿入することにより、メインメモリの実効アクセス時間が $125nS$ と $1/8$ になる。また、SN54/74170を使用したことにより、バッファメモリは、同時に書き込み、読み出しが

行なえるので、CPUが動作上、待時間を必要としないなどの利点も生ずる。

図8-21は、図8-20に説明したようなバッファメモリの構成例で16B/W構成で書き込み、4B/Wで読み出すので、このバッファメモリに読み出されるメモリの実効アクセス時間は4倍になる。SN54/74170の出力は、開放コレクタ出力であるので、負荷抵抗を各出力線($Q_0 \sim Q_3$)ごとに接続しなければならない。抵抗値は、図1-40の式にしたがって計算できる。

第3章 システムインターフェース及び 74SシリーズTTL

1. ま え が き

計算機，データ伝送装置，I/O 機器などのいわゆるデジタル機器は，TTL，DTLなどの論理ICだけで構成されることは，ほとんどまれで，これらの論理ICの他にMOS IC，MOS %メモリ，磁気メモリ，あるいは，伝送線路などのIC，あるいは，諸システムが混在する。

このような，デジタル機器では，TTL，あるいはDTLなどの論理回路と他の諸回路とのインターフェースが，その機器の性能を左右してしまう場合が多く，したがって，インターフェース回路については，充分吟味された部品，回路，方式がとられなければならない。

従来，このようなインターフェースは，デスクリートによって行われてきたので，全ゆる角度から検討されつくしたインターフェース回路を設計しなければならないなど，機器設計者にとって，わずらわしい問題が多く，充分な性能のインターフェース回路を実現することが，非常に困難であった。

最近では，モノリシック技術によるいろいろな優れたインターフェース用ICが開発，製造され，安価に入手できるようになったので，機器設計は上述のような問題から解放されつつある。SN 55/75シリーズICは，計算システム・インターフェース用IC (CSIC) として，TTL (またはDTL) と完全コンパチブルを目標に設

計されたモノリシックICで，TTLの高速性が充分発揮されるように考慮されている (図1-1参照)。

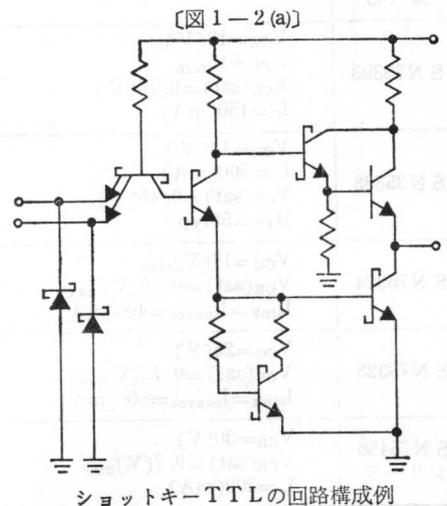
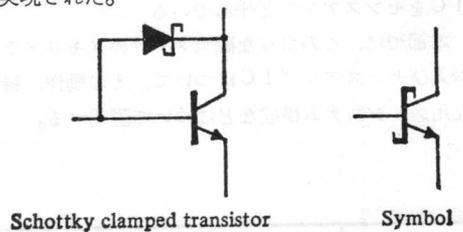
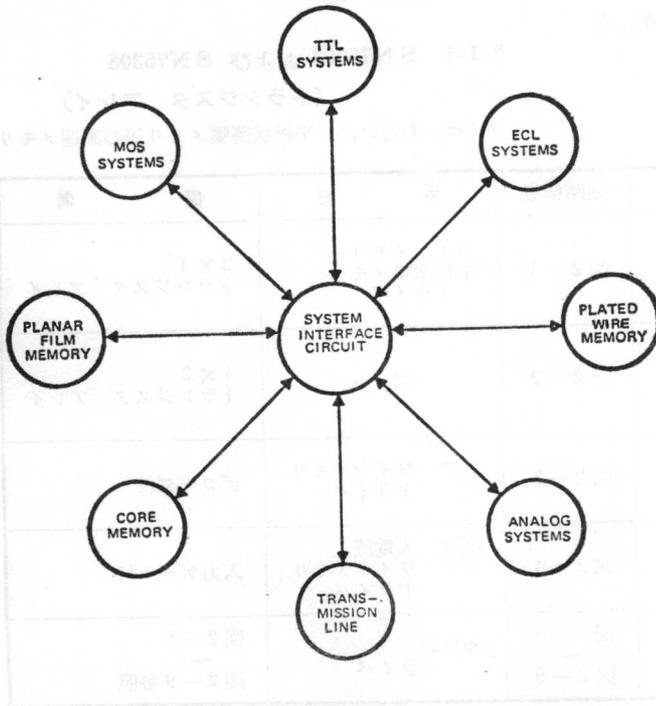
なお，MOSとのインターフェースでは，MOSが扱えるパワーとTTLのパワーには，大きな差がなく，特にこのようなCSICを使わない方法を述べている。

TTLは現在，高速度の論理ICとして，最も広く用いられているが，最近，計算機などのデジタル機器の性能向上を計るため，より高速度の論理ICの要求が高まっている。TTLより，高速度のICとして，ECLがあったが，これは，論理振幅の問題，非飽和形論理であること，電力消費などの問題があり，非常に使用し難いなどの欠点を持っている。

このようなECLに代るべき論理ICとして，TIで開発されたものが54S/74SシリーズTTLである。

飽和動作をするトランジスタをショットキーバリア・ダイオード (SBD) によってクランプして余分な電流をベースに流さないように，くふうされたトランジスタにおき換えたものである (図1-2参照)。

この結果，従来のTTLと完全コンパチブルで伝播遅延3ns，消費電力20mW，しかも，実装方法も従来のTTLと同一でよいという，非常に優れた飽和形の論理ICが実現された。



ショットキーTTLの回路構成例

2. 磁気メモリとのインターフェース

今日、磁気メモリとしては、コア、ワイヤメモリ、あるいは、磁気ドラム、磁気ディスク、磁気カード、磁気テープなどがある。

これらの磁気メモリとTTL、あるいは、DTLなどの論理ICとインターフェースを行なう場合、メモリ駆動側と、メモリの読取側にそれぞれインターフェース回路が必要である。

磁気メモリを駆動して、情報を書き込む場合には、かなりの電力が要求されるので、駆動側のインターフェース用ICとしては、基本的には、TTL(またはDTL)の論理レベル入力を受けて、メモリを駆動できる電力まで増幅する、いわゆる電力増幅機能が必要で、このようなインターフェース回路、または、ICを一般にメモリドライバと呼んでいる。

一方、磁気メモリの読出し電圧(または電流)は、一般に微小であり、また、雑音など不要信号の混入があるが、このような中から信号だけを抽出して、TTL(またはDTL)を駆動するためには、磁気メモリの読取側のインターフェース回路としては、基本的には線形増幅、および信号、雑音弁別の機能を備えていなければならない。

このような読取側のインターフェース回路、あるいはICをセンスアンプと呼んでいる。

本節では、このような磁気メモリのメモリドライバ、およびセンスアンプICについて、その動作、特徴、主な用途、システム構成などについて説明する。

2-1 SN75シリーズメモリドライバ

SN75シリーズCSICのうち、メモリドライバ、あるいは、メモリドライバとして利用できるものとして、表2-1に示したようなものがある。

これは、いずれもメモリドライバとしての用途の他に凡用スイッチング、レベルコンバータ、MOSドライバリレードライバ、あるいは、高ファンアウトの論理ゲートとしても利用できる。

これらのメモリドライバは、いずれもモノリシックIC技術によるものであり、従来のディスクリートによるメモリドライバと比較すると、

- ① TTLの論理レベル入力で、磁気メモリを充分駆動できる出力が得られ、めんどろな回路設計が不要である。このため、システム設計が楽になる。
- ② ICは本質的に小形であり、実装上からもメモリシステムを小形化できる。従って、システムの高速度化が可能である。
- ③ ワイヤリングの減少によって高い信頼性が期待できる。
- ④ 安価に構成できる。

などの利点を有する。以下、表2-1に示したメモリドライバの特徴、用途、およびTTLとの接続について、簡単に説明する。

2-1-1 SN75303 および SN75308

(トランジスタ アレイ)

ワイヤ、あるいは、平板状薄膜メモリ等の高速メモリ

型名	回路構成	用途	備考
SN75303	$V_{CE}=18[V]$ $H_{FE}=15_{min}$ $V_{CE(sat)}=0.75[V]$ $I_C=150[mA]$	図2-1 ワイヤメモリ 平板薄膜メモリ ドライバ	2×4 トランジスタ アレイ
SN35308	$V_{CE}=18[V]$ $I_C=500[mA]$ $V_{CE(sat)}=0.45[V]$ $H_{FE}=50_{typ}$	図2-2 同上	4×2 トランジスタ アレイ
SN75324	$V_{CC}=17[V]_{max}$ $V_{CE(sat)}=0.75[V]_{max}$ $I_{sink}=I_{source}=400[mA]$	図2-3 コア ワイヤメモリ ドライバ	デコード付
SN75325	$V_{CC}=25[V]$ $V_{CE(sat)}=0.75[V]_{max}$ $I_{sink}=I_{source}=600[mA]$	図2-4 高速、大電流 コア ワイヤメモリ ドライバ	入力ゲート付
SN75450 シリーズ	$V_{CE}=30[V]$ $V_{CE(sat)}=0.7[V]_{max}$ $I_C=300[mA]$	図2-5 ~ 図2-9 多目的 ドライバ	図2-5 ~ 図2-9参照

◀表2-1▶ SN75シリーズ メモリドライバ

のドライブ選択回路は、トランジスタ・マトリクス方式が、速度、雑音、回路構成などの点で優れているが、このSN75303、および、SN75308は、メモリドライブとして使用できるような高速、大電流スイッチングトランジスタをモノシリックICとして配列したもので、ワイヤあるいは、平板状薄膜メモリ等の2D、または、線形選択方式のドライブとして使用される。

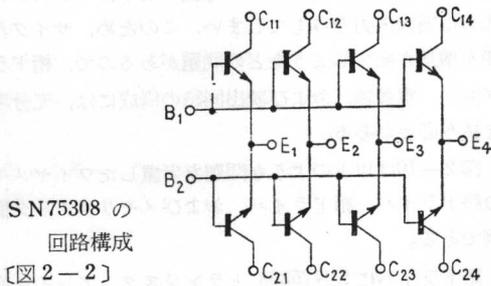
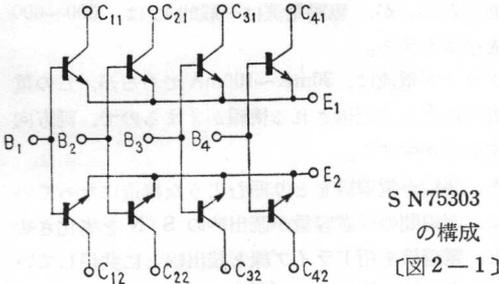


図2-1、および、図2-2から明らかなように、ベ-ース選択ラインとエミッタ選択ラインによってアレイ中の1つのトランジスタを選択することができる。

選択されたトランジスタのコレクタは、メモリの語線を駆動する。

ワイヤメモリ、あるいは、平板状薄膜メモリ等の語ドライブの場合、トランジスタのコレクタ電流、および、ブレークダウン電圧に対する条件は、300~600mA、10~30V程度であり、桁線ドライブでは、30~100mA、10~20V程度であるので、SN75308はこれらの要求を満足するよう設計されている。

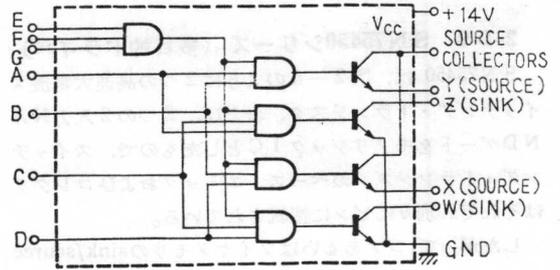
なお、SN75308の各トランジスタは、電気的に2N3724と等価に作られている。

2-1-2 SN75324 および SN75325

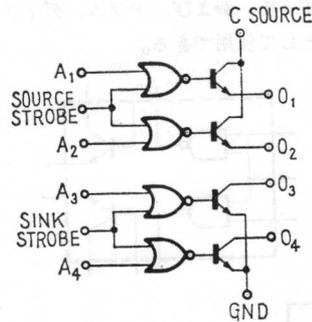
(Sink—Source スイッチ)

高速、大電流スイッチング・トランジスタの入力に、TTLゲートが付加されたもので、このゲートによって、デコード・タイミングなどの制御を行ない、同時にこのゲートは電流増幅としても動作する。

図2-3および図2-4から判るように、SN75324および、SN75325は共に2½D、または、3D構成のメモリをドライブするのに便利のように作られており、X線、あるいは、Y線に300~600mAの電流を双方向に



【図2-3】



【図2-4】

流することができる。

例えば、SN75324はデスクリ-ット・トランジスタとトランスによるメモリドライブにとって代わるように、400mAのスイッチングが可能な2組のsource/sinkスイッチ、および、デコーダからなっている。

すなわち、BおよびC入力はモード選択(sink/source)用であり、AおよびD入力は、スイッチペア(W—X/Y—Z)の選択に用いられる。

なお、パッケージの電力消費の問題から4つのスイッチのうち、1つ以上を同時にオンにすることは許されない。

SN75325は、コレクタの耐圧をSN75324より高くし、しかもさらに大電流のスイッチング能力を持たせ、SN75324よりさらに広い用途のメモリドライブとしたもので、SN75324と同様、2組のsource/sinkスイッチおよび、これらのスイッチを駆動するNORゲートからなっている。

sink/source strobeによってモードが選択され、A₁~A₄によってスイッチの選択が行なわれる。

source電流は、source外部抵抗R_xによって制御することができる。SN75325も、電力消費の問題から4つのスイッチのうち1つ以上を同時にオンすることを禁止されている。

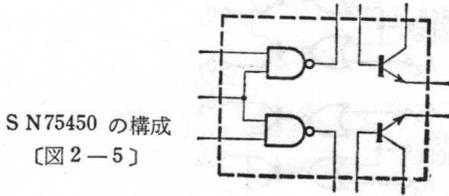
SN75325の各入力は、TTLゲートで直接ドライブすることができる。

SN75324の各入力条件は、一般のTTLゲートの入力条件とは若干異なるので、TTLで駆動する場合には、抵抗などによって入力レベルをプルアップする必要がある。

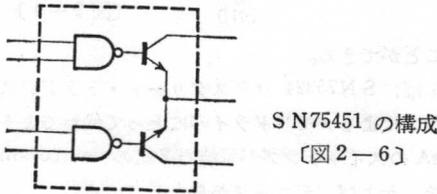
2-1-3 SN75450シリーズ (多目的ドライバ)

SN75450 は、図2-5のように2つの高速大電流スイッチング・トランジスタ、および、2つの2入力NANDゲートをモノリシックICとしたもので、スイッチング・トランジスタのベース、エミッタおよびコレクタはそれぞれ別々にピンに接続されている。

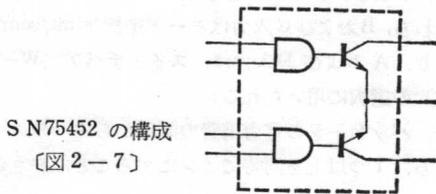
したがって、コアあるいはワイヤメモリのsink/sourceスイッチ、デスクリット部品を若干付加することにより、フローティングスイッチ、および、ドラム、ディスク等のメモリドライバとして使用できる。



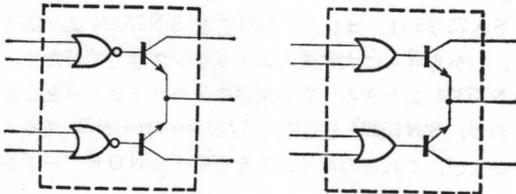
SN75450 の構成
[図2-5]



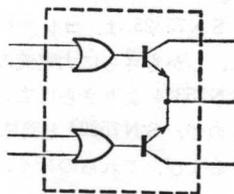
SN75451 の構成
[図2-6]



SN75452 の構成
[図2-7]



SN75453 の構成
[図2-8]



SN75454 の構成
[図2-9]

SN75451, SN75452, SN75453, および, SN75454 は、図2-6～図2-9にそれぞれ示したように、高速、大電流スイッチングトランジスタのベースを、TTLゲートで直接駆動するものである。このスイッチング・トランジスタの仕様は、SN75451～SN75454とも同一である。

これら、SN75450シリーズの多目的ドライバは、入力はTTL完全コンパチブルであるから、TTLとの接続は、一般のTTL論理回路と同様に扱ってよい。

2-1-4 メモリドライバの

メモリスシステムへの応用

表2-1に示したSN75シリーズ・メモリ・ドライバをいくつかのメモリスシステムに応用する例を述べる。

i) ワイヤメモリへの応用

ワイヤメモリでは、語ドライブ電流は、一方向にしか流す必要がないが、駆動電流は一般的には、300～600mAを必要とする。

桁ドライブ電流は、30mA～100mAであるが、この電流の方向によって記憶される情報がきまるので、両方向に流す必要が生ずる。

また、語線が電着線を取り囲むような構造になっているので、両線間の浮遊容量が読出時のS/Nを劣化させること、電着線を桁ドライブ線と読出線とに共用しているため、書込時の桁ドライブ電流により、センスアンプ入力に過大入力を与えてしまい、このため、サイクル時間を増加させてしまうなどの問題があるので、桁ドライブ回路、電着線、および読出回路の構成には、充分考慮を払う必要がある。

図2-10は以上のような問題を考慮したワイヤメモリの語ドライブ、桁ドライブ、およびメモリスティック構成例である。

語ドライブにSN75308トランジスタアレイを使用し、これのベースドライバとして、SN75451、エミッタドライバとしてSN75451の並列接続を使用している。

桁ドライブとしては、SN75450、および、PNPトランジスタ2N4058によるフローティング・ドライバを使用している。桁ドライブとしては、この他に、SN75324、SN75325なども使用することができる。

語ドライブの構成は、図2-11に示したように、トランジスタ・アレイのベース・ドライバとして、SN7437を使用する方法もある。

ii) 高速度R.O.Mへの応用

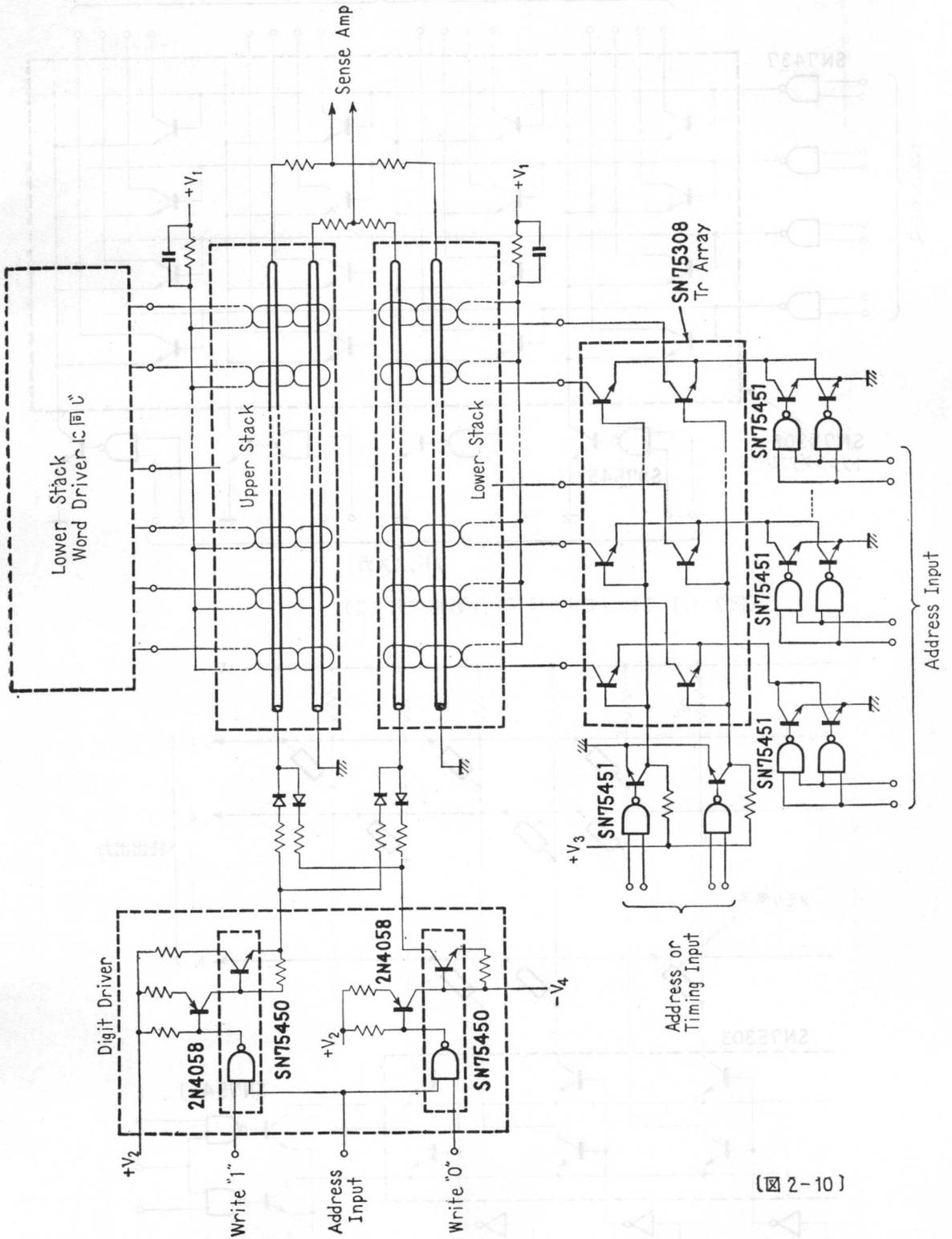
R.O.M (Read Only Memory) は、使用頻度の高いサブルーチン・プログラム、文字発生器、あるいはロックアップ・テーブルなどの情報記憶として、最近よく利用されている。

図2-12は、SN75303を使用したR.O.Mの構成例で、語の選択はSN75303のベースラインとエミッタラインの選択によって行なえる。

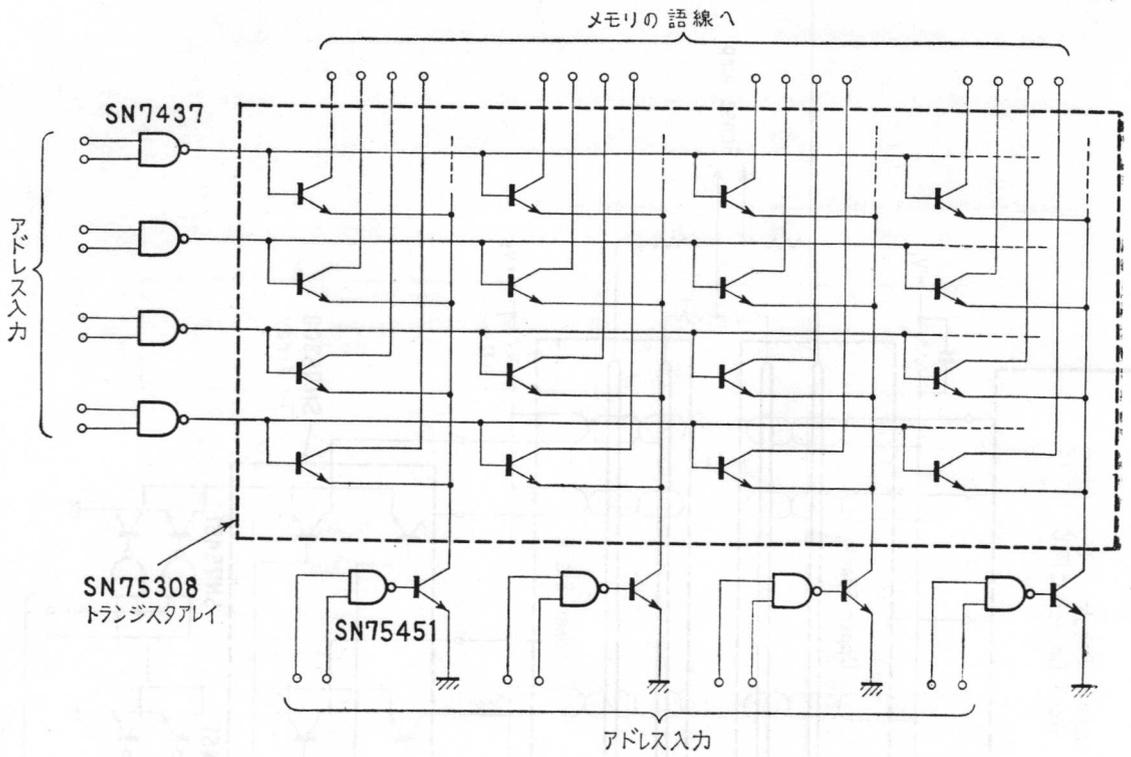
ベースラインは、SN7404、エミッタラインはSN75451Pで駆動することができる。

R.O.M素子としては、抵抗、コンデンサ、あるいはダイオードといったものである。

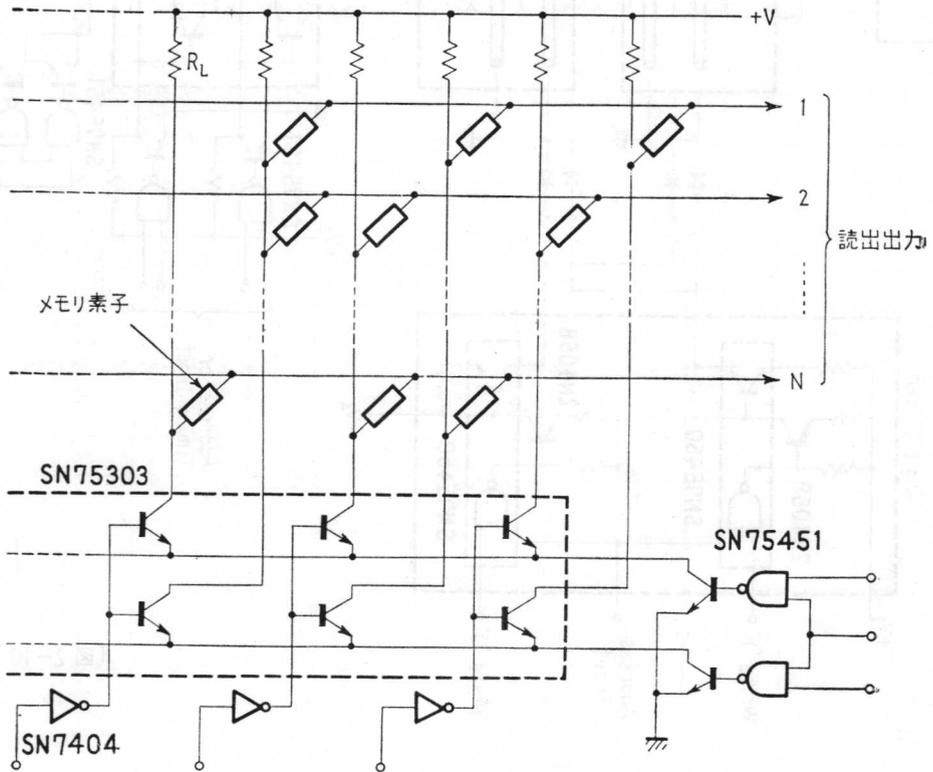
トランジスタアレイを使用することにより、このような受動素子のR.O.Mは非常に早いサイクルタイムを



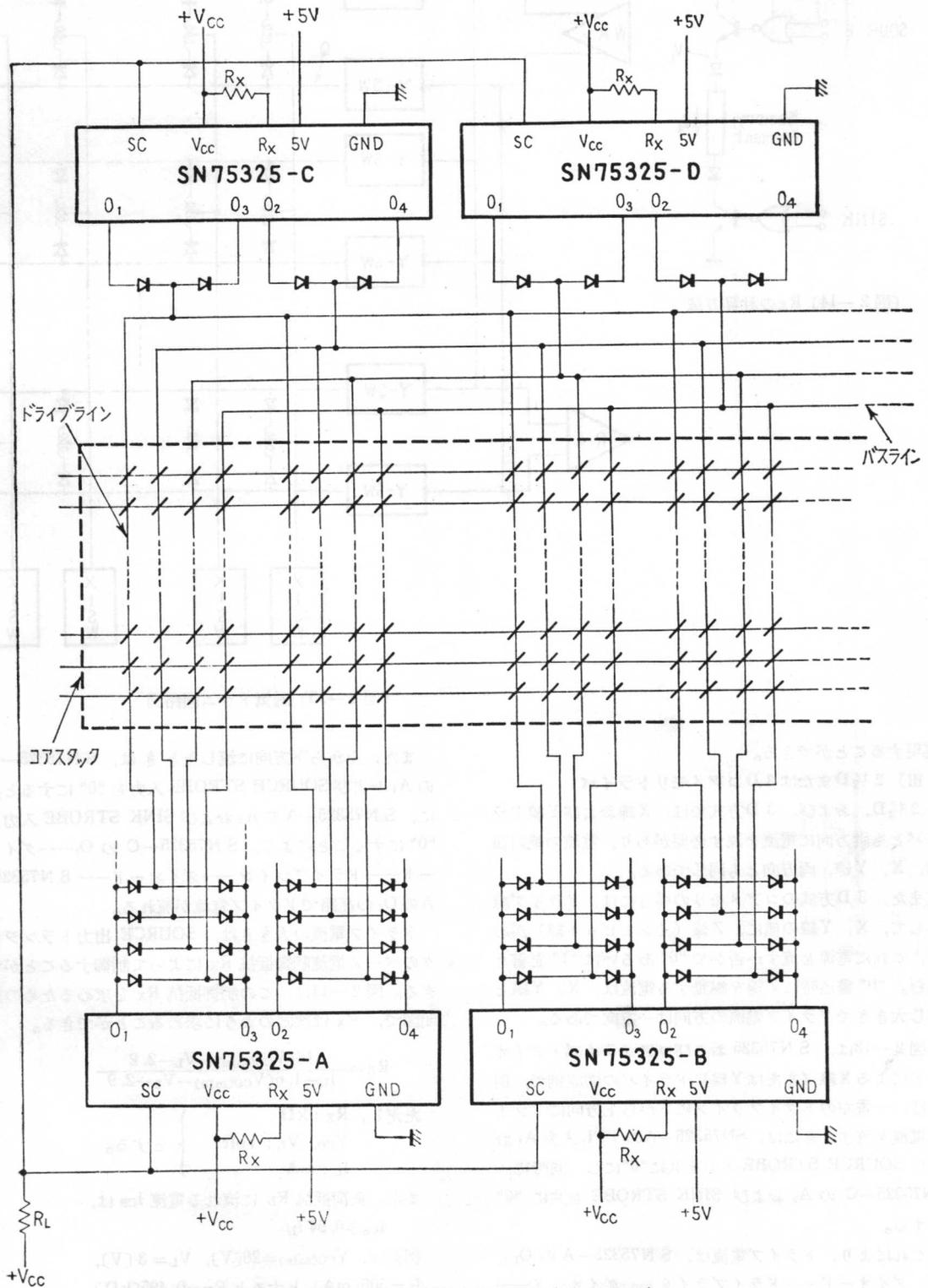
(2-10)



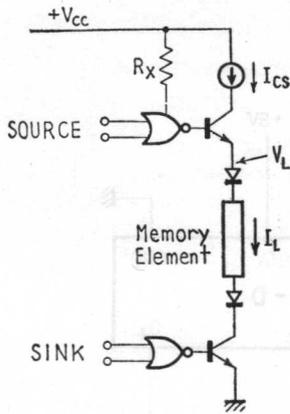
【図 2-11】 ワイヤメモリの語ドライバの構成例 (II)



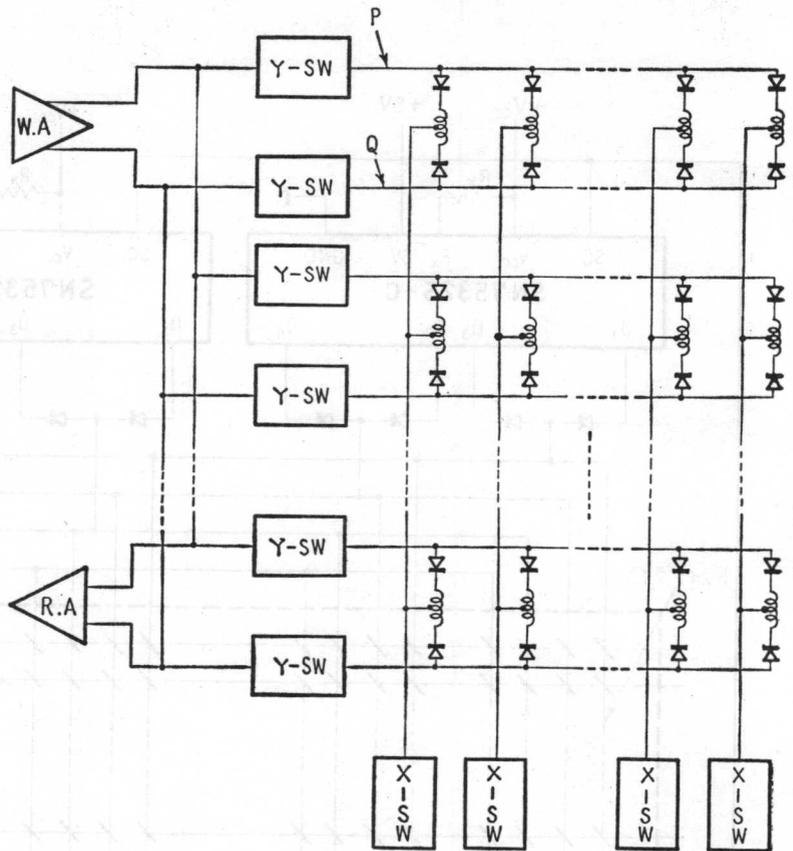
【図 2-12】 SN75303の高速 R.O.Mへの応用例



〔図 2-13〕 SN75325によるメモリドライバ (TTL入力は省略)



〔図 2-14〕 R_x の計算方法



〔図 2-15〕 磁気ドラム回路図

実現することができる。

iii) $2\frac{1}{2}D$ または $3D$ コアメモリドライバ

$2\frac{1}{2}D$ 、および、 $3D$ 方式では、X線およびY線ドライバとも両方向に電流を流す必要があり、電流の絶対値は、X、Y線、両方向とも同じである。

また、 $3D$ 方式のコアメモリの場合には、ドライブ線として、X、Y線の他に、Z線（インヒビット線）があり、これに電流を流すか否かで“0”あるいは“1”を書き込む。“0”書込時にZ線を駆動する電流は、X、Y線と同じ大きさでドライブ電流の方向は一方方向である。

図 2-13は、SN75325 およびコアドライブ・ダイオードによるX線（またはY線）ドライバの構成例で、例えば、一番左のドライブラインに下から上方向にドライブ電流を流すときには、SN75325-AのTTL入力 A_1 および SOURCE STROBE 入力を共に“0”にし、同時に、SN75325-Cの A_3 および SINK STROBE を共に“0”とする。

これにより、ドライブ電流は、SN75325-Aの O_1 より、ダイオード—ドライブライン—ダイオード—SN75325-Cの O_3 の経路で流れる。

また、上から下方向に流したときは、SN75325-Cの A_1 および SOURCE STROBE 入力を“0”にすると共に、SN75325-Aの A_3 および SINK STROBE 入力を“0”にすることにより、SN75325-Cの O_1 —ダイオード—ドライブライン—ダイオード—SN75325-Aの O_3 の経路でドライブ電流が流れる。

ドライブ電流の大きさは、SOURCE 出力トランジスタのベース電流制御抵抗 R_x によって制御することができる。図 2-14は、この制御抵抗 R_x を求めるための説明図で、 R_x は次式のように求めることができる。

$$R_x = \frac{16(V_{CC(\min)} - V_L - 2.2)}{I_L - 1.6(V_{CC(\min)} - V_L - 2.9)}$$

ただし、 R_x : k Ω
 V_{CC} , V_L : Volt
 I_L : mA } とする。

また、負荷抵抗 R_L に流れる電流 I_{cs} は、
 $I_{cs} \doteq 0.94 I_L$

例えば、 $V_{CC(\min)} = 20[V]$, $V_L = 3[V]$,
 $I_L = 500[mA]$ とすると $R_x = 0.495[k\Omega]$,
 $I_{cs} \doteq 469[mA]$ となる。

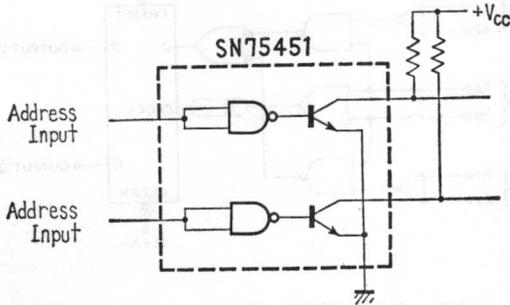
これらの sink/source スイッチは、従来のデスクリー
ト部品、すなわち、抵抗、トランス、ダイオード、およ
び、トランジスタなどを使用したメモリドライブと比較
して、

- i) 高密度化、小形化、
- ii) 高信頼性、
- iii) 高速化、
- iv) 設計、検査および修理の簡単化、

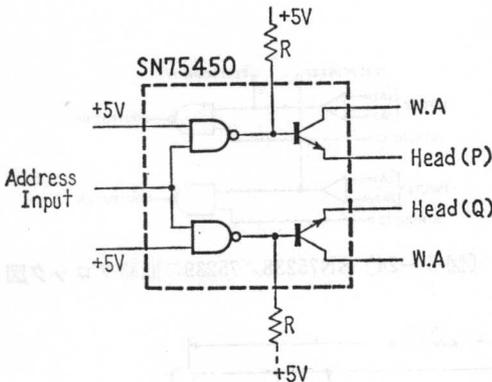
が実施できると共に、設計の基本的な考え方も従来と変
りなく行なえるものである。

iv) ドラムメモリへの応用

図2-15に示すような書込みアンプ、読取アンプを各



〔図2-16〕 X-SW構成例



〔図2-17〕 Y-SWの構成例

1個づつ用意し、多数のヘッドをXスイッチおよびYス
イッチで選択して接続を行なう磁気ドラムシステムでは
簡単で安価なX、Yスイッチが要求される。

磁気ドラムでは、書込時の電流は、100~300mA程度
であり、また読取時にヘッドのダイオードをONさせる
ために流す電流は、10mA程度で充分である。したがっ
て、X、Yスイッチとも300mA程度の電流量のスイ
ッチでよい。

図2-16および図2-17は、それぞれSN75451およ
びSN75450を使用したXスイッチおよびYスイッチの
回路構成例である。

読取時には、ヘッドに誘起した微小読取信号は、Yス
イッチを通過するから読取りの際の読取のアンプのコモ
ンモード抑圧効果を利用して、S/Nを向上させるには、
バランスのとれたYスイッチを使用する必要があるが、
SN75450はパッケージ内によく特性のそろったスイ
ッチが2回路実装されているので有利である。

2-2 SN7520シリーズ センスアンプ とその応用

磁気コア、磁気ドラム、磁気ディスク、磁気テープな
どの読出し信号、あるいは、その他の微小信号を論理信
号に変換するものを総称してセンスアンプと呼んでい
る。

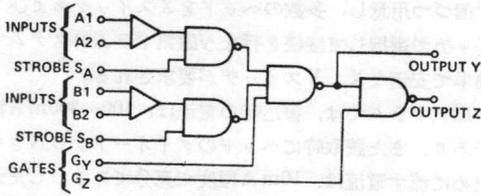
センスアンプは、雑音の中から微小信号を検出する
という性格上、次のような機能を備えていなければならない。

- i) センスラインの信号をリニヤに増幅する。
- ii) リニヤ増幅波形のレベル、または、ピーク弁別を
行なう。
- iii) 弁別出力に対し、タイミング弁別を行なう。

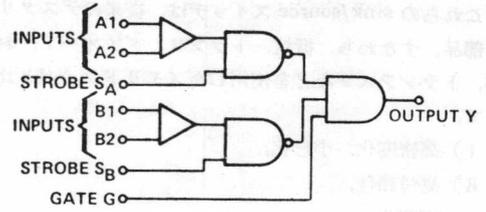
従来のセンスアンプは、ほとんどデスクリー
ト回路で作られてきたため、充分満足できるような特性のものは
ほとんど作ることが不可能で、メモリエレメント、あ
るいは、論理回路の高速、高性能化のすう勢に適応でき
るようなセンスアンプの要求に適合するものであり、デ

型名	概略仕様	回路形式	用途	回路構成
SN7520	$V_{TS} = \pm 4 \text{ mV}$	MDR付 コンプリメント出力	大容量メモリ	図2-18
SN7522	$V_{CMF} = \pm 3 \text{ V}$	開放コレクタ出力 高ファンアウト	"	図2-19
SN7524	$I_{in} = 30 \mu\text{A}$	独立センスアンプ2回路	汎用センスアンプ	図2-20
SN7526	$I_{ID} = 0.5 \mu\text{A}$	MDR F/F内蔵	高性能センスアンプ	図2-21
SN7528		テストポイント付独立センスアンプ2回路	汎用センスアンプ	図2-22
SN75234	出力は	SN7524の否定出力	"	図2-23
SN75238	TTLレベル	SN7528の否定出力	"	図2-24

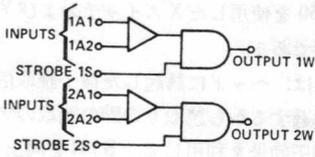
〈表2-2〉 SN7520シリーズ センスアンプ一覧表



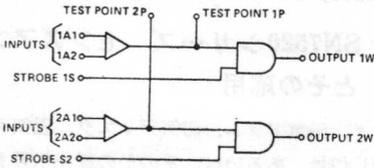
〔図 2-18〕 SN7520/7521のブロック図



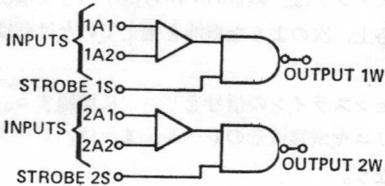
〔図 2-19〕 SN7522/7523の回路構成ブロック図



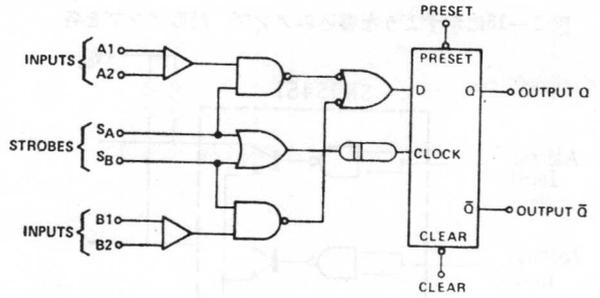
〔図 2-20〕 SN7524/7525の回路ブロック図



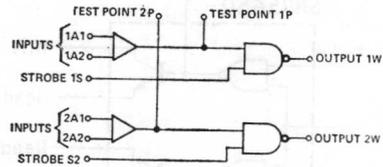
〔図 2-22〕 SN7528/7529の回路ブロック図



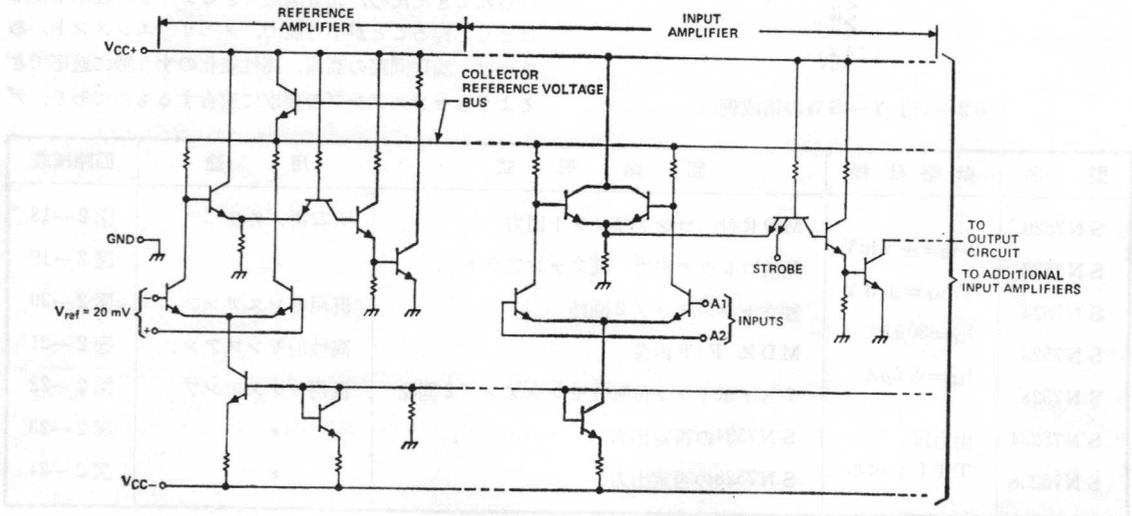
〔図 2-23〕 SN75234/75235の回路ブロック図



〔図 2-21〕 SN7526/7527の回路ブロック図



〔図 2-24〕 SN75238/75239の回路ブロック図



〔図 2-25〕 SN7520シリーズセンスアンプの回路構成

クリートセンスアンプにないいろいろ優れた特長を有している。

TIでは、現在表2-2に示すようなモノリシック・センスアンプを用意しているが、これらは、いずれも共通のリニア増幅器、レベル弁別およびタイミング弁別回路を有しており、以後の論理回路構成だけが若干づつ異なるにすぎない。

以下、SN7520シリーズ・センスアンプの動作、特徴使用上の注意事項、システム構成例などについて述べる。

2-2-1 SN7520シリーズセンスアンプの特徴

従来のデスクリット・センスアンプでは、温度や電源電圧変動によるD.Cバイアス、あるいは、オフセットの変化を避けるために、インダクタやコンデンサ等を用いた、いわゆるリアクティブ結合方式を採らざるを得なかった。

また、コンパレータを用いたセンスアンプ等では、レベル弁別動作を行なわせるために、抵抗回路網を入力に挿入しなければならなかった。

以上のような方法では、

- i) リアクティブ結合のため、入力パルスのデューティによって、スレッシュールド・レベルが変化してしまう。
- ii) リアクティブ結合は、過入力に対する回路の回復時間を極端に増加してしまう。
- iii) 入力抵抗回路網は、コモンモード抑圧比を悪化させ、また、精密で高価な部品を必要とする。
- iv) 回路に冗長度があるため、電力消費が大きくなる。
- v) 多くのパッケージや部品が必要で、より多くの基板面積や結線が必要であるため、信頼性の低下を招く。

などの欠点がある。

これに対し、ここで述べるSN7520シリーズセンスアンプは、モノリシック技術による“Matched Amplifier”テクニックを利用した完全D.C結合のセンスアンプであり、前述のような従来のセンスアンプにみられたような欠点が解決されている。

従来の設計では、センスアンプの各所でのD.Cレベルの変動が敏感であったため、スレッシュールドレベルの制御がやりにくいという問題があった。

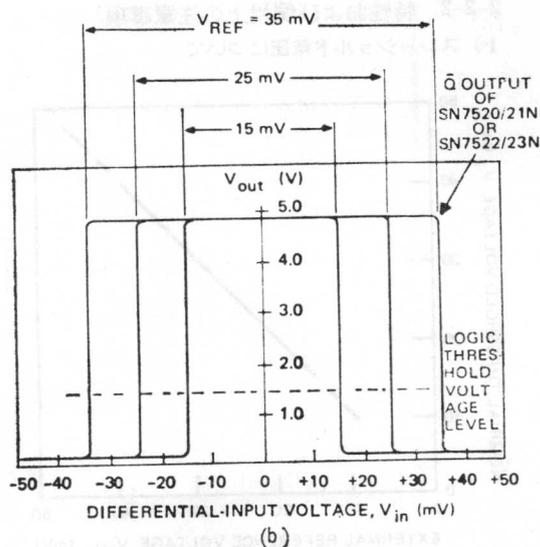
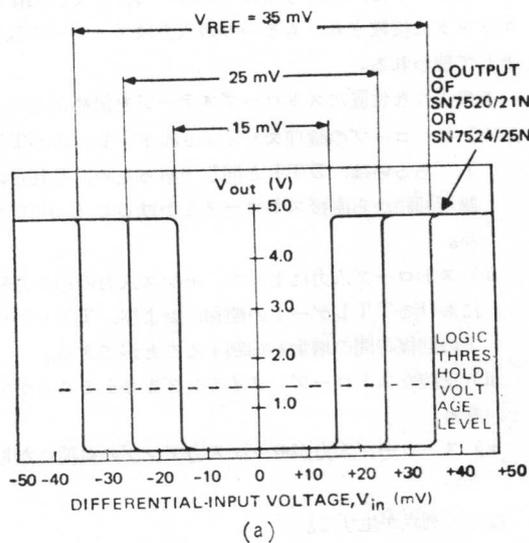
これは、主に抵抗の絶対値許容差と、その温度係数の結果であった。しかし、ここに述べるようなモノリシックICの“Matched Amplifier”による設計では、抵抗値の比をむしろ問題にしているため、素子の変動や、バイアスの変動にもかかわらず、非常に高いスレッシュールド安定度が得られる。

また、D.C結合による設計のため、過入力に対する回復時間の問題もおさえられ、インダクタやキャパシタのような、リアクティブ素子を用いたときに遭遇する入力信号のくり返し周期の変化によるスレッシュールドレベルの変動の問題からも、のがれることができる。

また、センスアンプ出力は、TTLあるいはDTLを直接ドライブできるような回路構成であるため、機器、装置設計者にとって、大変使いやすいセンスアンプとなっている。

図2-25は、SN7520シリーズ・センスアンプのリニア増幅器、レベル弁別、およびタイミング弁別の部分の回路構成である。

基準電圧アンプ(Reference Amp)は、センス入力ア



SN7520シリーズセンスアンプの入出力電圧特性

[図2-26]

ンプ (Sense Input Amp) のスレッシュヨルド電圧を決めるためのアンプで、基準電圧アンプの入力に与える電圧 V_{ref} とセンス入力アンプの差動入力スレッシュヨルド電圧 V_T と 1 : 1 はで対応する。

例えば、 $V_{ref}=25$ [mV] を与えれば、センス入力アンプの入力 V_{in} に与えられる差動入力電圧が 25mV を超えると、このセンスアンプ出力は、論理 “0” → “1” (または “1” → “0”) に反転する。

すなわち、差動入力スレッシュヨルド電圧が 25mV になる。図 2-26 (a) および (b) は、 V_{in} に与える差動入力電圧とセンスアンプ出力の間の入出力電圧特性を示すもので、 V_{ref} によって V_T が変化の様子が示されている。

Q_{15} , Q_{16} および Q_{17} のトランジスタで構成されている TTL ゲートの入力のうちの一つは、 Q_{15} および Q_{16} のエミッタに接続され、もう一つの入力はストロープ入力として使われる。

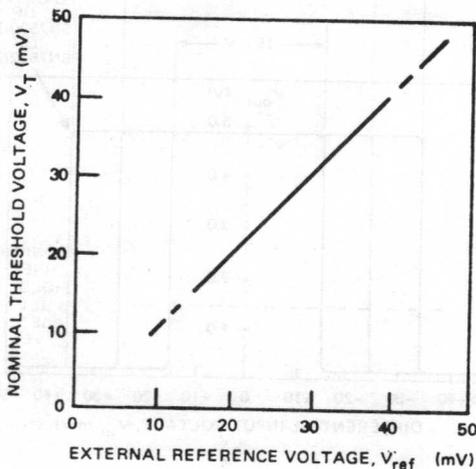
このような位置にストロープステージを決めたため、

- i) ストロープの論理スレッシュヨルド・レベルが TTL、あるいは、DTL と同じであるため、これらの論理回路から直接ストロープをかけることができる。
- ii) ストロープ入力によって、センス入力の過入力時における TTL ゲートの飽和、および、TTL ゲートの回復時間の増加を抑制することができる。
- iii) 正確なストロープ タイミングを与えることができる。
- iv) ストロープ入力がセンス入力アンプの負荷にならない。

などの利点が生ずる。

2-2-2 特性および使用上の注意事項

i) スレッシュヨルド電圧について



基準電圧—スレッシュヨルド特性

〔図 2-27〕

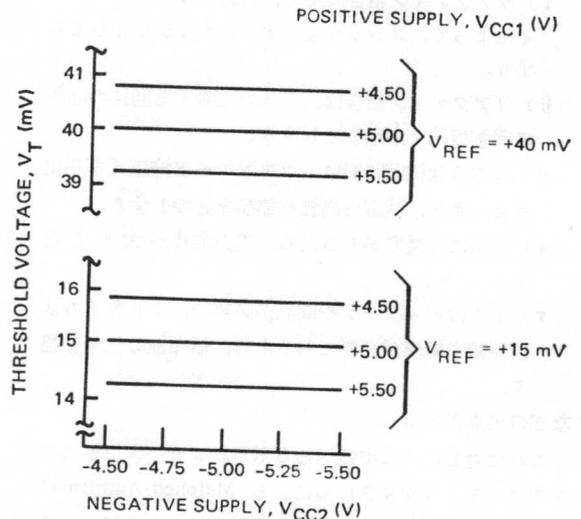
基準電圧アンプの入力に与える基準電圧と、センス入力電圧のスレッシュヨルド電圧の特性を図 2-27 に示す。この図の特性は、標準的な特性を示しており、デバイス差、温度、供給電圧等で若干特性が変わる。また、このシリーズのセンスアンプのスレッシュヨルドは、基準電圧が 15~40mV の範囲でその機能が満足されるように作られている。

図 2-28 は、供給電源電圧に対するスレッシュヨルド・レベルの変動の様子を示したもので、10% の電源電圧変動に対するスレッシュヨルドレベルの変化は 1mV 程度でしかない。

従来のようなリアクティブ結合のセンスアンプで、最も問題であった入力のくり返し、周期の変化によるスレッシュヨルドレベルの変動は、全く起り得ない。

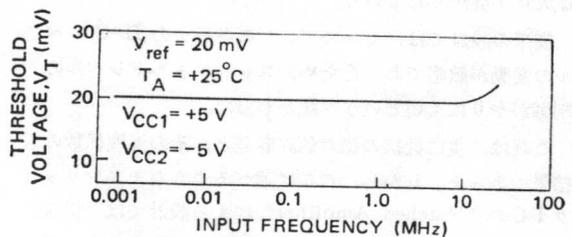
これは、入力から出力までが完全 D.C 結合方式を採用しているためである。図 2-29 は、正弦波入力の場合のスレッシュヨルドレベルの周波数特性で、上限周波数は、主として、伝播遅延によって制限されている。

このような広帯域レスポンスを与えるのは、TTL ゲートの前段のプリアンプの信号遅延が小さく、波形の再現性がよいことに起因している。



電源電圧に対するスレッシュヨルドの変動

〔図 2-28〕



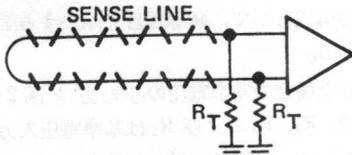
スレッシュヨルドレベルの周波数特性

〔図 2-29〕

ii) 差動入力について

S N7520シリーズセンスアンプは、図2-25からも明らかのように、基準電圧アンプ、センス入力アンプとも差動入力方式であり、接地に対する入力バイアス電流のためのD.Cパスを作ってやる必要がある。

このD.Cパスは、コアメモリなどでは、センス入力アンプに対しては、図2-30のように、20~200Ωといった低い終端抵抗 R_T で作られている。基準電圧アンプでは、普通基準電圧源によって作られている。



入力バイアス電流のための終端抵抗
〔図2-30〕

入力バイアス電流は、30~50 μ Aであり、この値は、温度などによって変化するが、一般に差動入力に対し、コモンモードの形で変化すること、および、終端抵抗が低いことなどの理由からバイアス電流の影響は、無視して差し支えない。

スレッシュホールドのオフセット電圧 V_{TO} 、あるいは、逆極性入力信号に対するスレッシュホールド電圧の差は、大体0.5mVで一定である。

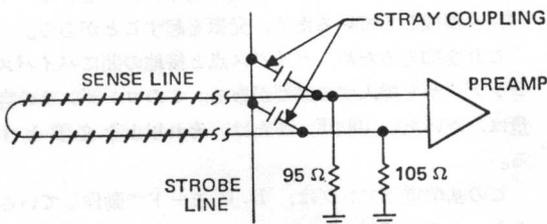
このスレッシュホールドのオフセットの原因は主として、外部終端抵抗の不整合によるもので、このオフセットの値は、終端抵抗 R_{T1} 、 R_{T2} および入力バイアス電流 I_{in} により、次のようにきまる。

$$V_E = (R_{T1} - R_{T2}) \cdot I_{in}$$

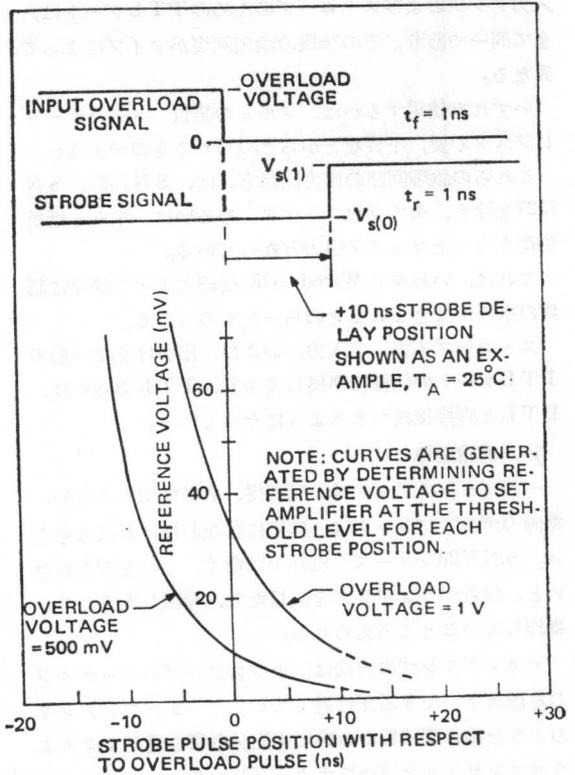
この電圧も、20~200Ω程度の終端抵抗の場合には、1%程度の抵抗のアンバランスがあっても、全く問題にならない。

この終端抵抗のアンバランスによる重大な問題は、コモンモード雑音の抑圧である。

例えば、図2-31に示すように、センスアンプの近傍に高レベルの信号線が存在し、この信号振幅が3V、立上り10ns、センスアンプ入力との間に2pFのストレー



終端抵抗のアンバランスによる離音の発生
〔図2-31〕



過大入力に対する回復時間特性
〔図2-32〕

ト容量があったとし、終端抵抗は100Ωで5%のアンバランスがあったとすれば、 $R_{T1} - R_{T2} = 10[\Omega]$ となり、この結果、センスアンプ入力には6mVの差動入力雑音が発生することになる。

そこで、実際には、高レベル信号線は、できるだけセンス入力から絶縁し、終端抵抗はよくそろったものにする必要がある。

また、センスアンプ入力とメモリの間は、より対線を使用し、入力に混入する雑音は、コモンモードの形で除去するように配慮する必要がある。

過入力に対する回復時間特性は、センスアンプの設計で最も重要な項目である。

S N7520シリーズセンスアンプは、非常に優れた回復時間特性を示す。図2-32は、S N7502シリーズの過入力に対する回復時間特性を示したもので、これから明らかのように過入力が無くなってから20ns以内で正規の動作状態に回復している。

この回復時間は、過入力電圧が小さいほど当然短くなる。

iii) 論理回路、および、論理出力

既に述べたように、S N7520シリーズセンスアンプは、いろいろのものがあるが、基準電圧アンプ、センス

入力アンプおよびストロープのためのTTLゲートは、全て同一であり、その後段の論理回復がタイプによって異なる。

いずれを使用するかは、メモリの語数、メモリデータレジスタの要、不要などからきめられるものである。

これらの論理回路の出力回路方式は、SN7526、SN7527を除き、全て開放コレクタ、あるいは、単なる抵抗負荷をもったコレクタ出力となっている。

これは、いわゆるWired-OR接続によって簡単に語数の拡張ができることをねらったものである。

ストロープ入力、各入力、および、出力は全て一般のTTLゲートの仕様に準拠しており、TTLあるいは、DTLと直接接続できるようになっている。

iv) 供給電源

一般にセンスアンプは、高利得、広帯域であるため、電源のデカップリングは、確実にこなわなければならない。SN7520シリーズも例外ではなく、これを行なわないと、信号にリングングを生じたり、発振したりして、動作しないことも考えられる。

デカップリングの方法は、センスアンプのパッケージの電源端子のできるだけ近くでセラミック・コンデンサのような高い周波数においても充分効果を発揮できるようなコンデンサを用いてデカップリングすることである。

v) 基準電圧

SN7520シリーズ センスアンプのスレッシュホールド電圧は、基準入力に与える電圧により調整することができる。

このスレッシュホールド電圧は、メモリシステムの個々のセンスアンプごとに調整が可能であり、また、全てのセンスアンプを同時に調整することもできる。

また、温度に対するスレッシュホールド電圧をある温度係数をもって変えたいときは、それにあった温度係数をも

った回路網を使用して基準入力電圧を温度と共に変化するようにしてやることもできる。

図2-33は、各センスアンプごとに簡単なデバイダによって基準電圧を与える方法である。

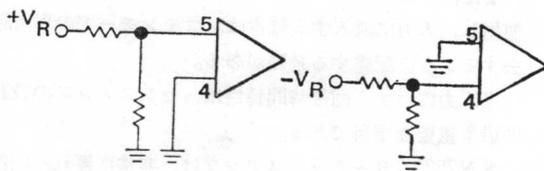
基準電圧入力端子は、低いバイアス電流しか必要でないから、プリアグ電流が充分大きければ、基準電圧入力端子の入力電流は、ほとんど無視して差支えない。

基準電圧入力に基準電圧を印加する際、長いリード線または、プリントパターンを使わざるを得ないときは、この長いリード線が雑音をひろうので、基準電圧アンプも差動入力構成として、誘導雑音を除去するような考慮が必要である。

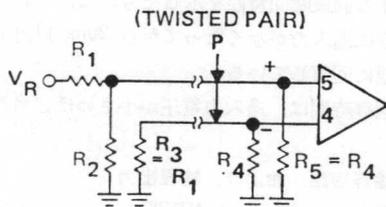
このような場合の基準電圧の与え方を図2-34に示す。ここで、 R_3 、 R_4 および R_5 は基準電圧入力端子において、コモンモード雑音に対して最良になるように決める。

実際のメモリの場合には、経済性、構成の単純さ、および、性能の点から、並列に基準電圧を与える方法が採られることが多い。

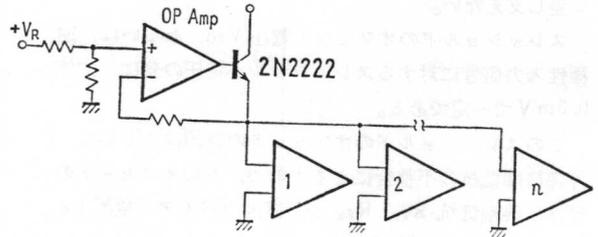
図2-35は、この例でOPアンプによって基準電圧を



〔図2-33〕基準電圧の供給方法(1)



〔図2-34〕基準電圧の供給方法(2)



基準電圧供給方法(3)

〔図2-35〕基準電圧供給方法(3)

作り、これを全センスアンプの基準電圧入力として供給する。

この例の2N2222は、非常に低い出力インピーダンスを得るために挿入したもので、これにより多数の基準電圧アンプを並列に駆動することができる。

vi) バイパス

図2-25に示したように、基準電圧アンプをフィードバック構成としているため、発振を起すことがある。

これを抑えるため、バイパス点と接地の間にバイパスコンデンサを挿入する必要がある。このコンデンサの容量は、だいたい100pF、または、それ以上を必要とする。

この基準電圧アンプは、D.C.モードで動作しているから、このコンデンサによってセンスアンプの過渡特性に影響を及ぼすようなことはない。

vii) ドラム等に利用する場合

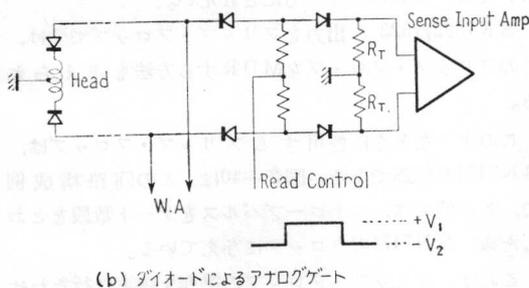
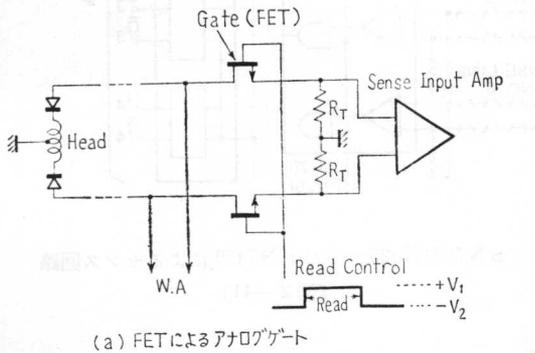
ドラム等では、書込/読出ラインが共通で、しかも、読/書ヘッドの出力インピーダンスが、コアあるいは、ワイヤメモリと比べて高いので、SN7520 シリーズ センスアンプを使用する際、i)~vi)で説明した以外に、次のような点にも注意しなければならない。

センス線の終端抵抗 R_T は、ヘッドの出力インピーダンスが高いので、コア、あるいは、ワイヤに比べて、1桁程度大きくしなければならない。

このため、センス入力アンプのバイアス電流の影響を無視できなくなる。特に、差動入力オフセット電流 I_{IO} が問題になるが、SN7520シリーズでは、この I_{IO} は、大体 $0.5\mu A$ であるから、 R_T を $2k\Omega$ とすれば、これによる差動オフセット電圧は、 $1mV$ であり、それほど問題とはならない。ただし、この終端抵抗を高くしなければならないときは、殊にこのオフセット電流の少ないものを使用する必要がある。

また、SN7520シリーズの差動入力電圧の最大定格は、 $\pm 5V$ であるが、ドラムのように読/書ラインが共通になっている場合、書込時にセンスアンプに入力される電圧は、はるかに最大定格を超えてしまうおそれがあり、このため、センスアンプを破損してしまうこともありうる。

このような最大定格以上の電圧が入力されないようにセンスアンプの入力の前段にアナログのゲートを附加して書込時の過大入力からセンスアンプを保護する必要がある。



〔図 2-36〕

ある。

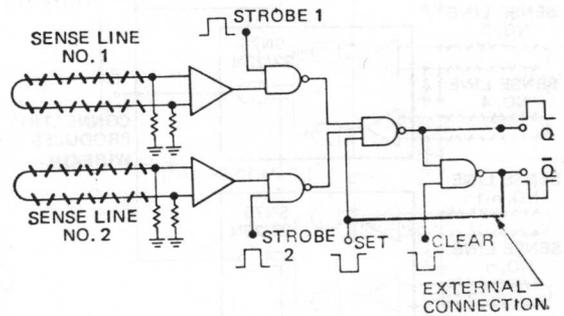
アナログゲートとしては、いろいろなタイプが考えられるが、図 2-36に示したように、FETを用いたものや、ダイオードを用いたものなどが割合簡単で、安価な方法である。

この場合もコモンモード雑音の抑圧効果を充分発揮させるために、図のFET、ダイオードあるいは抵抗はよく特性のそろったものを使用し、実装、配置、布線などに注意することが必要である。

2-2-3 各センスアンプの応用

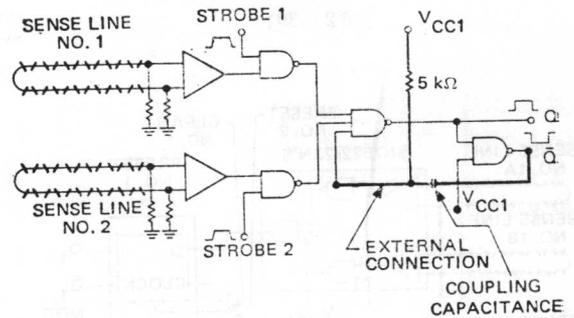
i) SN7520/7521

SN7520/7521は、4000ビット/ライン程度のコアのセンスアンプとして使用できるもので、図 2-37に示すように、 \bar{Q} 出力とゲートQ入力を外部の配線で接続してラッチを構成する方法が一般的である。



SN7520/7521によるMDR付センス回路

〔図 2-37〕



コンデンサによる出力パルス幅の引き伸ばし

〔図 2-38〕

このラッチにいわゆるMDR (メモリ データ レジスタ) としての機能をもたせることができ、これによりストロブによって検出した細いパルスの幅を拡大し、センスアンプ以後の論理回路との接続を容易にもることができる。

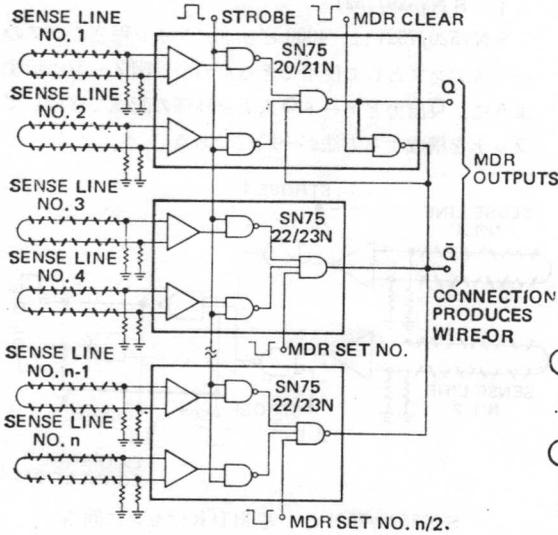
ただし、ストロブをかける前に、 \bar{Q} ゲートの入力に“0”を与えて、このラッチをクリアすることを忘れては

ならない。

MDRとしての機能でなく、単にストローピング後のパルス幅を引き伸ばそうという場合には、図2-38のように、 \bar{Q} 出力とQゲート入力をコンデンサで結合し、Qゲート入力を5k Ω 程度抵抗を通して+5Vに接続する。パルスの引き伸ばし幅は、コンデンサの容量でできる。

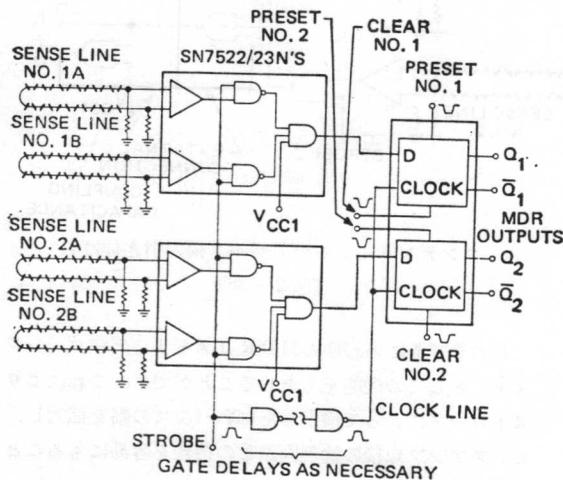
MDRおよびパルス幅引き伸ばしの機能とも不要の場合には、ゲートQおよび \bar{Q} の入力は、+5Vラインに接続すればよい。

8000語以上の場合には、SN7520/7521 (Dual Sense



SN7520/7521 および SN7522/7523 による
大容量メモリのセンス回路

〔図2-39〕



MDRとしてSN7474を使用した例

〔図2-40〕

Amp)では不足である。この場合は、次の項で述べるように、SN7522/7523 (Dual Sense Amp)を追加して、各センスラインを4000ビット程度とする。

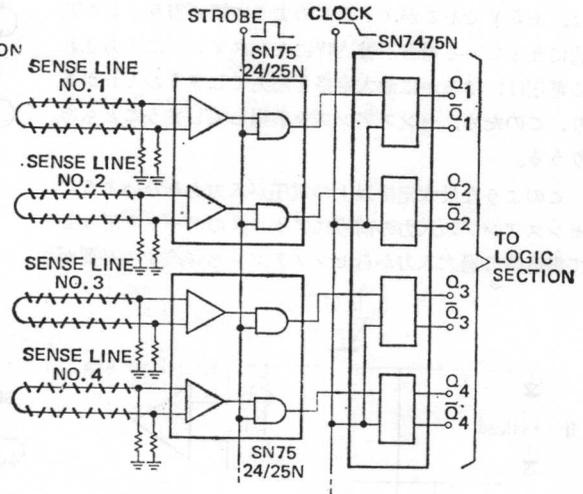
ii) SN7522/7523

このデバイスの出力は、開放コレクタとなっており、したがって、Wired-OR接続をとることができる。と同時に、この出力のための負荷抵抗(約2k Ω)が内蔵されているので、外付の抵抗は不要である。

この開放コレクタ出力は、16mAのSink電流のとき、最大0.4Vを保証しているので、Wired-OR接続できる出力回路数が大きくとれる。

図2-39は、8000語以上の大容量コアメモリスシステムを、SN7520/7521とSN7522/7523を使用して構成する例のあるビットプレーンについて示した図で、各センスラインには、4000個のコアが結合されている。

SN7520/7521の \bar{Q} 出力とQゲート入力は、MDRの外部からのセット入力として、また、SN7520/7521の



SN7524/7525 および SN7475によるセンス回路

〔図2-41〕

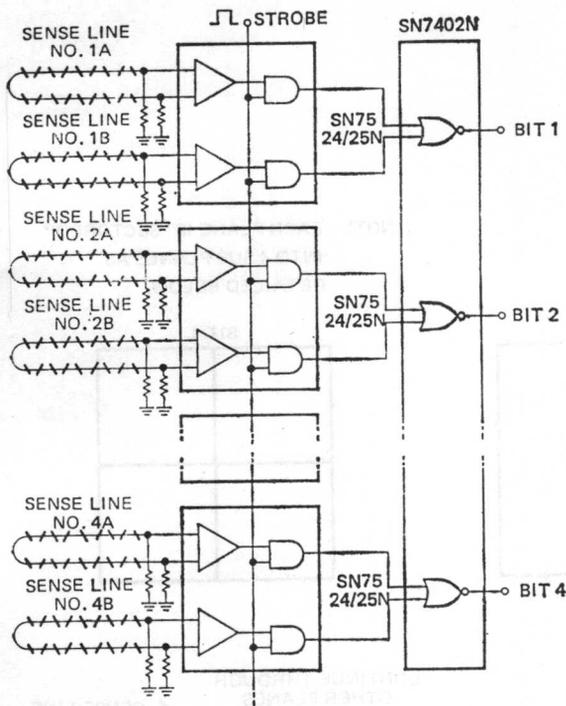
\bar{Q} ゲート入力は、MDRクリア入力として使用する。

SN7522/7523のWired-OR接続の方法、制限等については、SN7401を参考にされたい。

SN7522/7523の出力をフリップ・フロップで受け、このフリップ・フロップをMDRする方法も考えられる。

このようなときに使用するフリップ・フロップは、SN7474が最適である。図2-40は、この回路構成例で、この例では、ストローブパルスゲート数段をとした後、SN7474のクロックに与えている。

これは、フリップ・フロップの動作を確実にこなわせるためのセットアップタイムを満足させるためである。



S N7424/7525 による語数の拡張
 (図 2-42)

このような構成とすることにより、図 2-37 のようなセンス前のクリアの必要はなくなる。

iii) S N7524/7525, S N75234/75235

このデバイスは、完全に独立した 2 つのセンスアンプがパッケージ内に実装されており、従って、2 つの独立したビットプレーンに使用することもできる。

特に、4000 語程度のメモリでは、ビット数の半分の S N7524/7525 があればよいから、小型、安価、信頼性などの面でたいへん有利である。

図 2-41 は、2 つのセンスラインごとに S N7524/7525 を 1 デバイス使用し、MDR として S N7475 を使用した例で、4 ビットに対し S N7524/7525 が、2 デバイス、S N7475 が 1 デバイスから構成されている。クロックは、ストロブの立上りよりやや遅れて立下るようなパルスが必要とする。

S N7524/7525 の出力は、センス入力がないとき、常に "0" であるから Wired-OR 接続を行なっても意味がないので、複数の出力の OR を必要とする場合には、図 2-42 に示したように、S N7402 などの NOR ゲートを使用しなければならない。

S N75234/75235 は、S N7524/7525 の出力に、さらにインバータを付加したもので、これは、Wired-OR 接続が可能である。

iv) S N7526/7527

このデバイスは、図 2-21 の回路図から明らかなように、S N7524/7525, S N7402, S N7474 および S N7400 から構成される回路が 1 つのパッケージに実装されたものである。

v) S N7528/7529 および S N75238/75239

これは、S N7524/7525 の機能の他に、センス入力アンプのリニア出力がテストポイントという形で端子に引き出されたもので、これによりストロブのタイミングスレッシュホールドレベルなどの調整確認ができるようになっている。

S N75238/75239 は、S N7528/7529 の出力に、さらにインバータを付加したものである。

S N7526/7527, S N7528/7529, および、S N75238/75239 の応用は、S N7520 ~ S N7525 のところで説明した内容がそのまま適用できるので、ここでは割愛する。

2-2-4 コアメモリ システムへの応用

i) 16kW × nB, 3D メモリシステム

図 2-43 は、3D の 16kW × nB コアメモリスタックの構成を示したもので、この例では各センス線に 4 K のコアが結合され、このようなサブプレーン 4 枚で 16K のプレーンとしている。

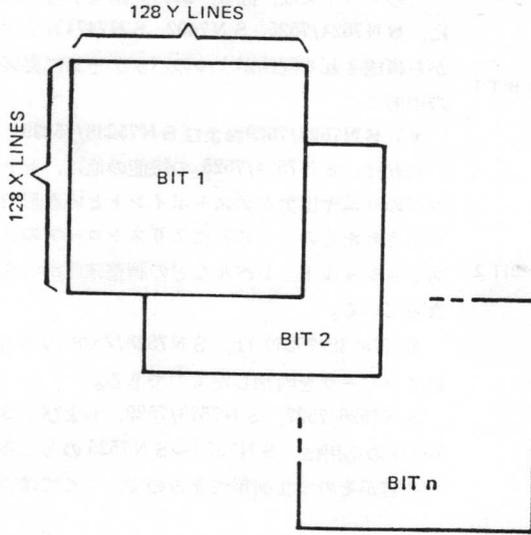
図 2-44 に示したように、各サブプレーンごとにセンスアンプが接続されるが、1 プレーン (16K) に対し、S N7520 および S N7522 各 1 個宛使用し、出力の Wired-OR 接続によって 4 つのサブプレーンの読出出力を 1 つにまとめ、同時に MDR の機能を持たせている。

ただし、この図の例では、基準電圧アンプおよび電圧印加回路は、省略してあるが、既に述べたような方法が採用される。

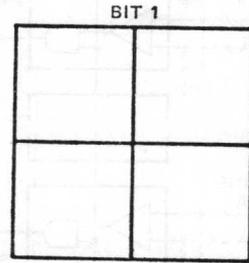
ii) 8kW × nB, 2½D メモリシステム

図 2-45 は、8kW × nB のコアメモリのスタック構成を示す。このようなメモリ構成に対するセンスアンプの接続は、図 2-46 に示すとおりであり、各ビットに対し、S N7520 を使用しこれの外部で既に述べたような接続を行なって、MDR を構成している。

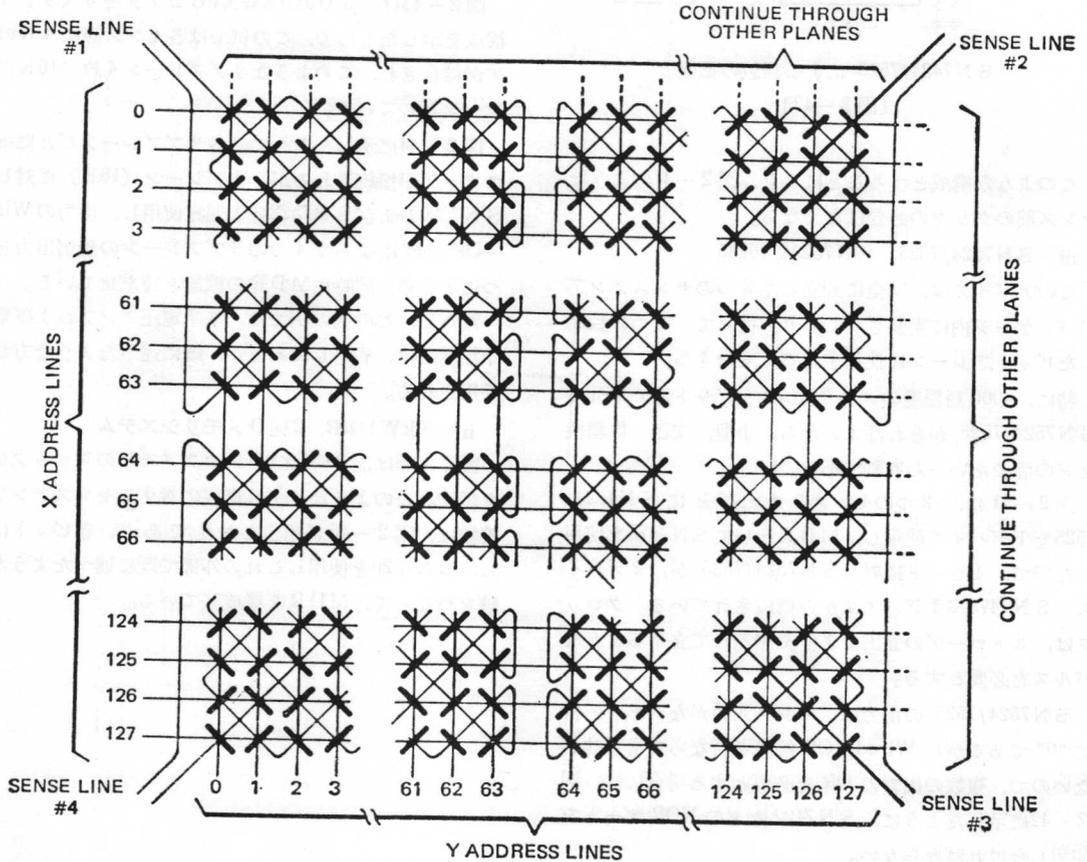
LOGICAL MEMORY ORGANIZATION



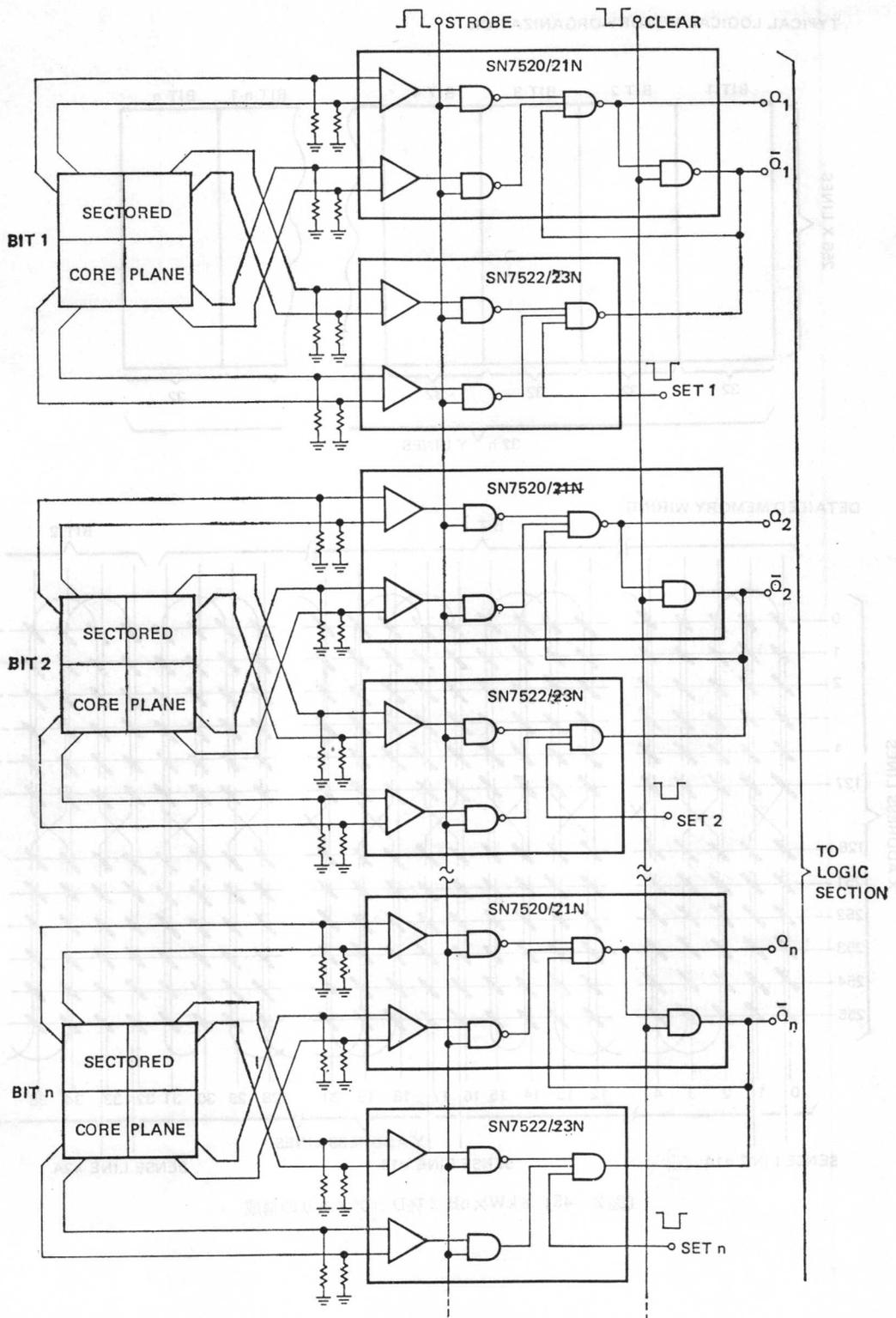
NOTE : EACH PLANE IS "SECTORED" INTO 4 SUB-PLANES AS DETAILED BELOW.



DETAILED MEMORY WIRING

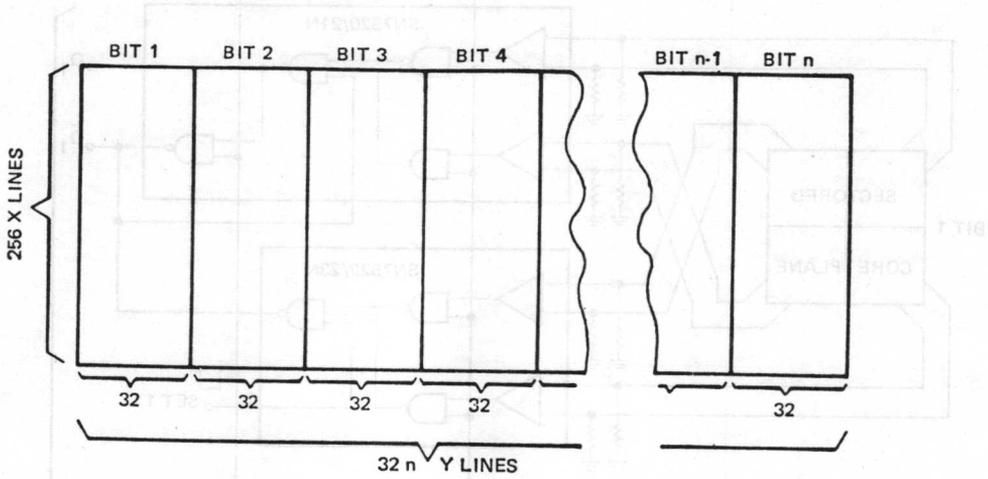


〔図 2-43〕 16kW × nB コアメモリスタックの構成

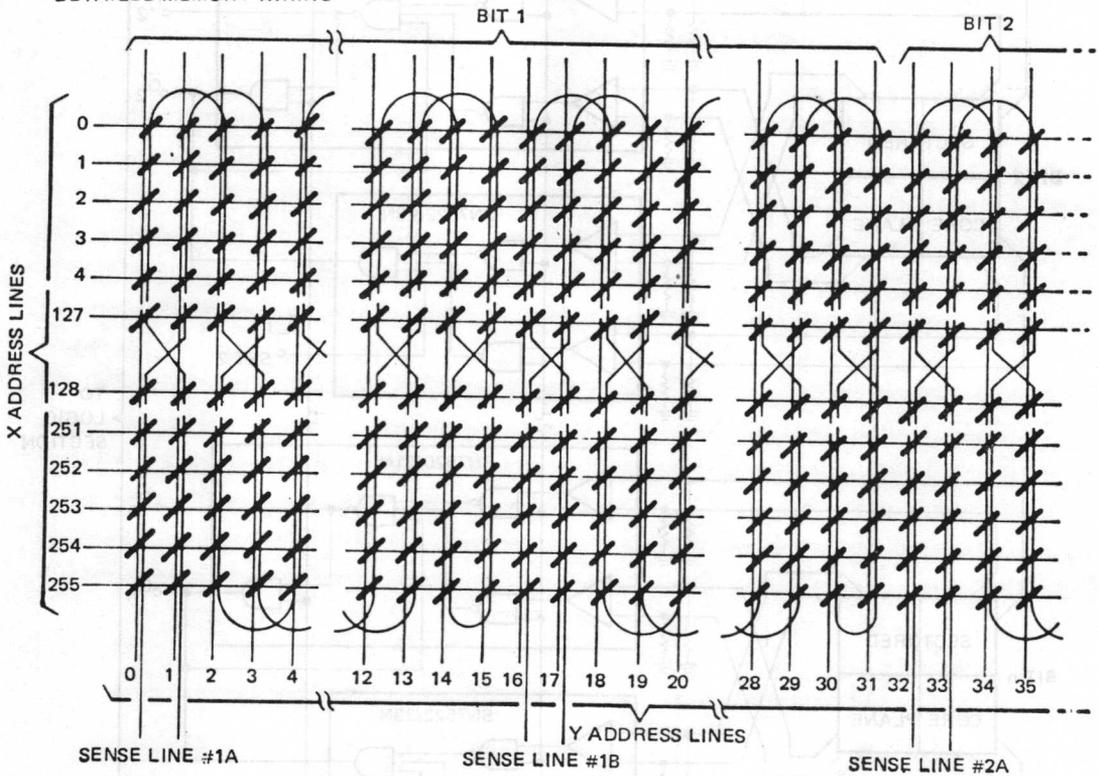


[図2-44] $16k \times nB$ コアメモリのセンス回路

TYPICAL LOGICAL MEMORY ORGANIZATION



DETAILED MEMORY WIRING



〔図 2-45〕 8 kW × nB 2 1/2 D コアメモリの構成

3. トランス・ミッションラインとのインターフェース

3-1 SN55/75100シリーズとその応用

実際にシステム相互間や、コンソール相互間、また、離れた場所に置かれた入出力装置との間のデータ伝送をする場合、一般的な方法でデータを忠実に伝送することは、ノイズ等によりなかなかむずかしい。

また、情報を伝送する場合、比較的短い距離の場合は、通常の論理回路を使用しても十分なノイズマージンが得られるが、ノイズの多い環境で長距離のデータ伝送をする場合には、以上の内容を考慮して開発されたデータ伝送用IC (SN55/75100シリーズ)を使用したシステムを構成されることを推奨する。

以下、このような用途に十分満足して使える同相電圧除去比 (CMRR) の大きいデータ伝送用ICの電気的

性、およびその応用について述べてみる。

ラインドライバ用ICを選択するのに便利なセレクト
ション・ガイドを表3-1に示す。

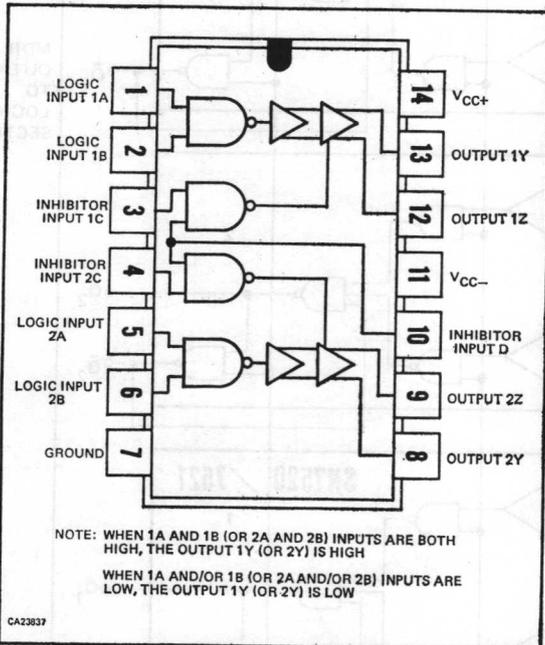
TRUTH TABLE

LOGIC INPUTS		INHIBITOR INPUTS		OUTPUTS	
A	B	C	D	Y	Z
L or H	L or H	L	L or H	H	H
L or H	L or H	L or H	L	H	H
L	L or H	H	H	L	H
L or H	L	H	H	L	H
H	H	H	H	H	L

Low output represents the on state

High output represents the off state

◀表3-2▶真理値表



〔図3-1〕ライン・ドライバのブロック図

3-2 ライン・ドライバ

(SN55/75109, SN55/75110)

3-2-1 ライン・ドライバの概要

入力部は、TTLゲート回路と完全にコンパチブルで、ロジック・レベルの信号を受けて差動信号に変換する機能を持っている。また、このドライバー (SN55/75109, SN55/75110) は、それぞれ2組の独立したドライバ部と、2組の標準TTLと同じ特性を持ったゲート回路が、1つのパッケージの中に納められている。

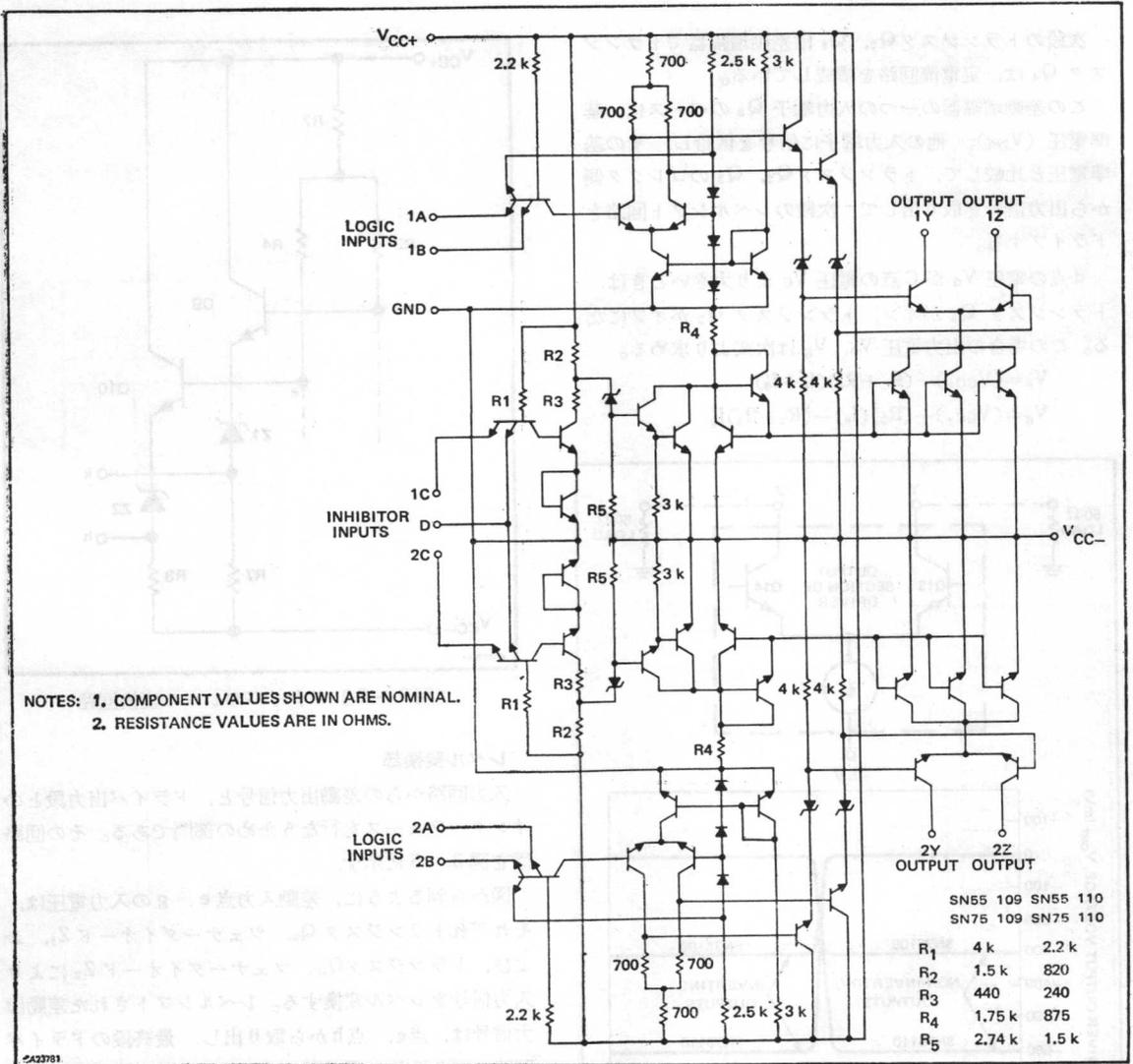
図3-1にブロック図、図3-2に回路図、表3-2に真理値表を示す。特性表からも判るように、このデバイスはTTLレベルの入力信号を受けて、2線式ラインのどちらかに出力電流を流すように働く。

また、インヒビット入力は、パーティラインシステムを構成するとき、ドライバ回路の切離しに使用されるが、このときのリーク電流は30μAであって、ラインに対して、ほとんど負荷にならない。

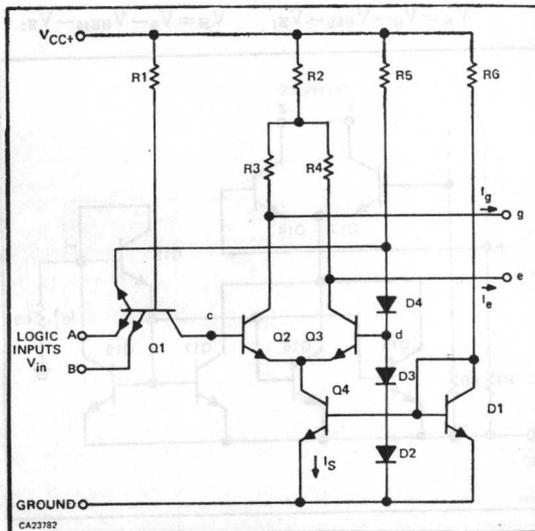
出力電流は、12mAまでとれるので、公称インピーダ

TYPE	SN55109, SN75109	SN55110, SN75110	SN75113*	SN75114*	SN75150†	SN75450A
• Operating Frequency	> 10 MHz	> 10 MHz	> 10 MHz	> 10 MHz	10 kHz at 2500-pF Load	< 1 MHz
• Type of Lines	Balanced or Single-Ended	Balanced or Single-Ended	Balanced or Single-Ended	Balanced or Single-Ended	Single-Ended	Balanced or Single-Ended
• Length of Line	Up to 5,000'	Up to 10,000'	Up to 1,000'	Up to 1,000'	Up to 500'	Up to 500'
• Input	TTL	TTL	TTL	TTL	TTL	TTL
• Output	Current Mode	Current Mode	Voltage Mode	Voltage Mode	Voltage Mode	Current Mode
• Party Line Operation	Yes	Yes	Yes	Yes	No	Yes
• Strobe Control	Yes	Yes	Yes	No	No	
• Power Supply	+5 V and -5 V	+5 V and -5 V	+5 V	+5 V	+12 V and -12 V	+5 V
• Packages	J, N	J, N	J, N	J, N	J, N, P	N

◀表3-1▶ライン・ドライバのセレクトションガイド



〔図3-2〕ドライバの回路図



〔図3-3〕ドライバの入力回路

ンス $50\sim 200\Omega$ の非常に長い平衡式の伝送線を、ドライブできる。また、次のような特長もっている。

特長

- ・ バイポーラ・ロジック (TTL/DTL) とコンパチブルである。
- ・ カーレントモード出力は、6 mA, 12mA である。
- ・ 同相出力電圧範囲が高い ($-3\sim 10V$)。
- ・ インヒビット機能を持ち、しかもインヒビットモードにおける出力インピーダンスが高い。
- ・ 高速度である。

3-2-2 ライン・ドライバの回路説明

入力回路

入力部の回路図を図3-3に示す。図から判るように TTL回路とコンパチブルで、スタンダード・ロジックと直接結合が可能である。

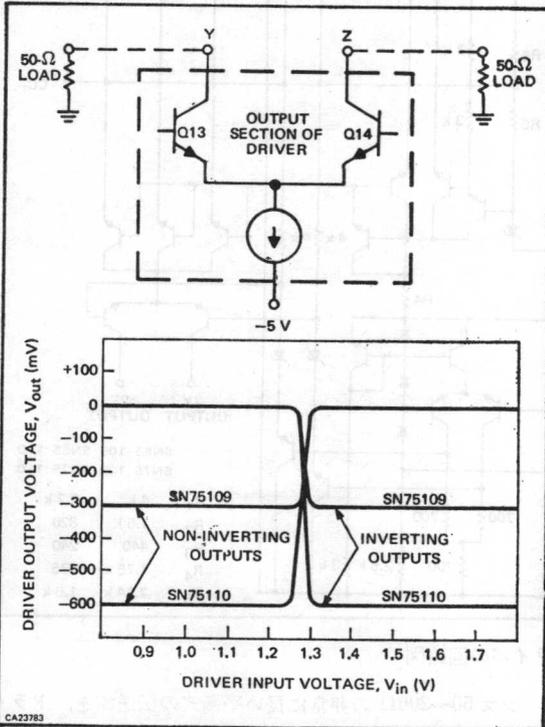
次段のトランジスタ Q_2 , Q_3 は差動増幅器でトランジスタ Q_4 は、定電流回路を構成している。

この差動増幅器の一つの入力端子 Q_3 のベースに、基準電圧 (V_{ref})、他の入力端子に信号を供給し、その基準電圧と比較して、トランジスタ Q_2 , Q_3 のコレクタ側から出力信号を取り出して、次段のレベルシフト回路をドライブする。

d 点の電圧 V_d が C 点の電圧 V_c より大きいときは、トランジスタ Q_3 がオン、トランジスタ Q_2 がオフになる。この場合の出力電圧 V_e , V_g は次式より求める。

$$V_e = (V_{CC+}) - (R_2 + R_4)(I_s + I_e)$$

$$V_g = (V_{CC+}) - (R_2)(I_s) - (R_2 + R_3)I_g$$



〔図3-4〕ドライバの電圧伝達特性

ここで、 I_e と I_g は次に流れ込む電流を意味する。また、 I_s は次式のようになる。

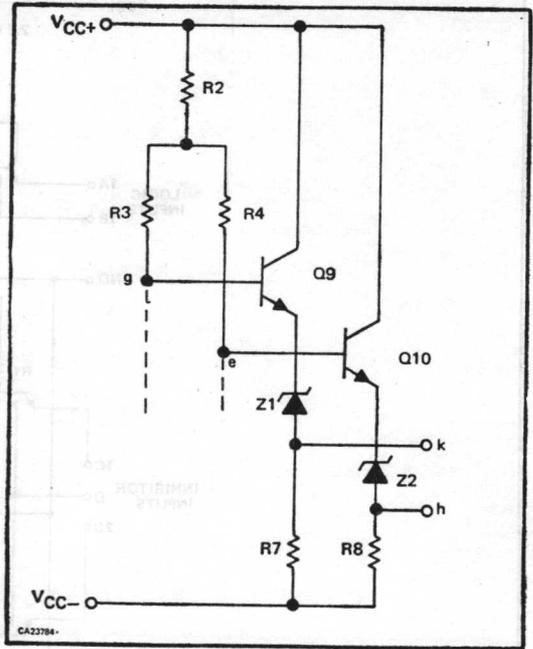
$$I_s = \frac{(V_{CC+}) - V_{FD1}}{R_6} \approx 1.4(\text{mA})(T_{yp})$$

ところで、C 点の電圧 V_c が d 点の電圧 V_d より大きい時は、C 点のクランプ電圧は次式のようになる。

$$V_c(\text{clamp}) = V_{FD2} + V_{FD3} + V_{FD4} + V_{offset1}$$

もし、入力端子 A, B がクランプ電圧以上になると、トランジスタ Q_1 (及び Q_2) がオンになる。ドライバのスレッシュド電圧 (V_{+h}) は約 $2V_{BE}$ である。

これは、図3-4の伝達特性からも判るように、スタンダード品 SN74 シリーズと全く同じ特性を示す。



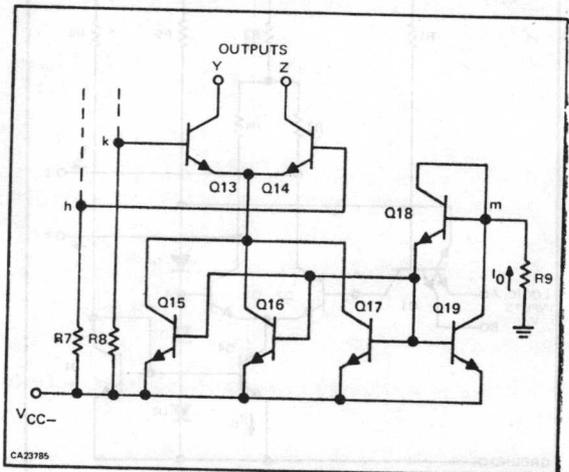
〔図3-5〕ドライバのレベル変換回路

レベル変換部

入力回路からの差動出力信号と、ドライバ出力段とのインターフェースを行なうための部門である。その回路図を図3-5に示す。

図から判るように、差動入力点 e, g の入力電圧は、それぞれトランジスタ Q_9 、ツェナーダイオード Z_1 、および、トランジスタ Q_{10} 、ツェナーダイオード Z_2 により入力信号をレベル変換する。レベルシフトされた差動出力信号は、点 k, 点 h から取り出し、最終段のドライバ回路に送り込む。具体的に点 k, h の電圧 V_k , V_h は次式より求める。

$$V_k = V_g - V_{BE9} - V_{Z1} \quad V_h = V_e - V_{BE10} - V_{Z2}$$



〔図3-6〕ドライバの出力回路

出力部

この部門は、前段の差動出力信号を受けて電力変換し、最終段の安定度の高い差動増幅器を形成しているトランジスタ Q_{13} 、 Q_{14} を通し、差動出力として取り出す部門である。

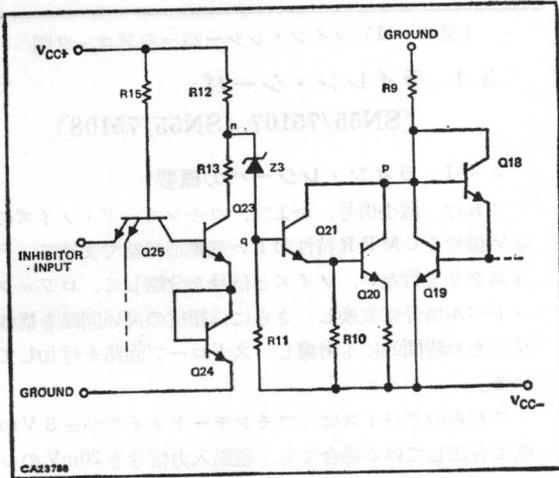
回路図を図3-6に示す。図から判るように、差動入力信号 V_H 、 V_K は差動増幅器を形成しているトランジスタ Q_{13} 、 Q_{14} を制御する。

K点の電圧 V_K が V_H より高い時は、出力段のトランジスタ Q_{13} がオンで、トランジスタ Q_{14} がオフとして動作する。差動増幅器の定電流回路を構成しているトランジスタ Q_{13} のシンク電流 I_s は、トランジスタ Q_{15} 、 Q_{16} 、 Q_{17} 、 Q_{18} 、 Q_{19} と R_9 によって制御される。

点mを流れる電流 I_0 は次式より求める。

$$I_0 = \frac{(V_{CC-}) - 2V_{BE}}{R_9}$$

すなわち、このシンク電流 I_s は、約 $3I_0$ に等しくなる。



〔図3-7〕ドライバのインヒビット回路

インヒビット回路

インヒビットの回路図を図3-7に示す。図からもわかるように、このドライバ回路の動作を制御するためのものである。

すなわち、ドライバ機能を可能にしたり、禁止したりする。この回路の入力部は、標準TTLとコンパチブルである。

入力に論理“1”が印加されると、トランジスタ Q_{25} がオフになり、トランジスタ Q_{23} のベースをドライブする。

したがって、トランジスタ Q_{23} がオンになり、点nの電圧 V_n は低下する。この電圧は、さらにツェナーダイオード Z_3 を通して、シフトダウンされる。

ところで、トランジスタ Q_{21} のベース電圧 V_q は次式のようになる。

$$V_q = \frac{\frac{R_{13}}{R_{12}}(V_{CC+}) + \left(1 + \frac{R_{13}}{R_{12}}\right)(V_{CC-}) - \left(1 + \frac{R_{13}}{R_{12}}\right)V_{Z3} + V_{CE(SAT)23} + V_{BE24}}{1 + \frac{R_{13}}{R_{12}} + \frac{R_{13}}{R_{11}}}$$

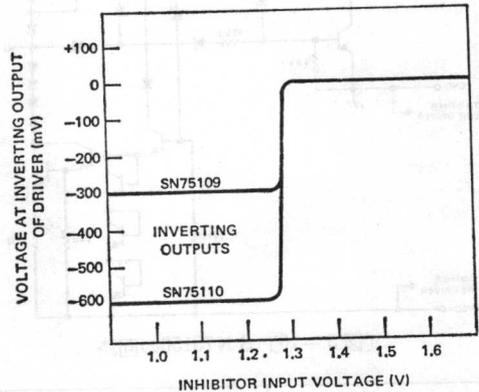
この電圧は、 Q_{21} 、 Q_{20} をターンオフするのに十分である。インヒット入力端子に論理“0”が印加されるとトランジスタ Q_{25} のベース、エミッタを通して電流が流れ出る。

このため Q_{23} のベースには、電流は流れない。そのためトランジスタ Q_{23} 、 Q_{24} はオフになり、点nの電圧は高レベルになる。

この電圧は、ツェナーダイオード Z_3 を通してシフトダウンされ、次段のトランジスタ Q_{21} 、 Q_{20} をドライブする。P点の電圧 V_P は、次式のようになる。

この電圧は、トランジスタ Q_{18} 、 Q_{19} をオフにする。そのためドライバの出力回路は、インヒットされ、出力部は高インピーダンスになる。

このことは、パーティライン・システムを構成する場合、非常に重要である。図3-8にインヒット回路の伝達特性を示す。



ドライバのインヒット回路の電圧伝達特性

〔図3-8〕

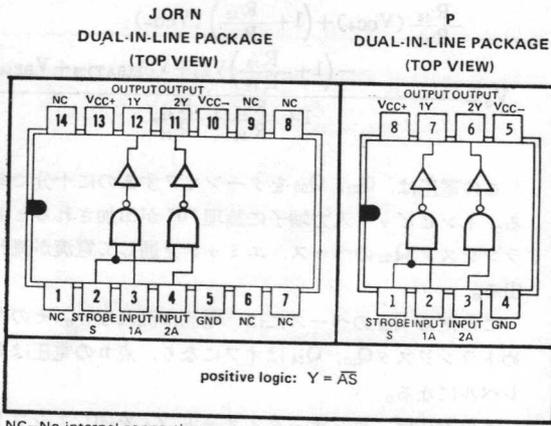
3-3 SN75150 2回路ラインドライバ

これは、モノリシックのデュアル・ライン・ドライバで、データ・ターミナル装置、データ通信システム等のインターフェースに最適である。

EIA、RS-232-Cと同等である。その他のアプリケーションとして、比較的短距離のデータ伝送システム、レベル変換器、TTLからMOSシステムのインターフェース等がある。

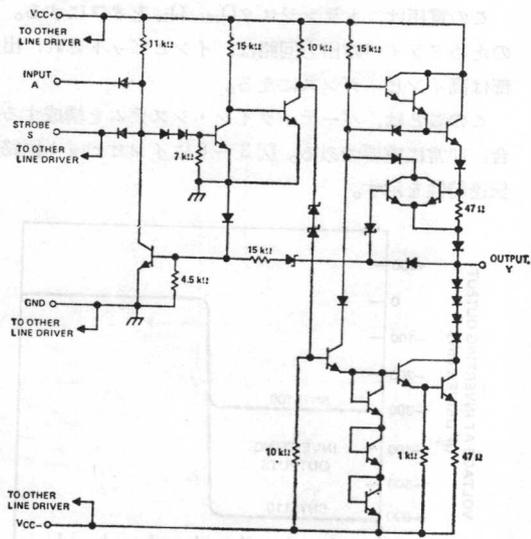
入力部は、TTL/DTLファミリーと完全にコンパチブルである。

電源電圧は、 $\pm 12V$ で動作する。動作温度範囲は、SN75150に対して、 $0^\circ C \sim 70^\circ C$ である。

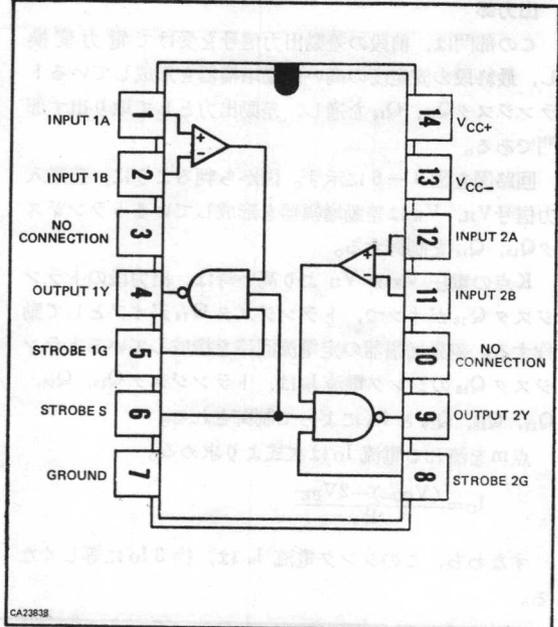


〔図3-9〕SN75150のブロック図

Block schematic (each line driver)



〔図3-10〕SN75150の回路



〔図3-11〕ライン・レシーバのブロック図

3-4 ライン・シーバ (SN55/75107, SN55/75108)

3-4-1 ライン・レシーバの概要

これは、微小信号、および、コモンモード・ノイズの多い信号をCMRR特性のよい差動増幅器で受けて、ディスクリを行ない、ノイズと信号を分離して、ロジック・レベル信号に変換し、さらに信頼度の高い回路を構成するため時間的にも考慮し、ストロブ回路を付加している。

これらのデバイスは、コモンモードノイズが±3Vの間で存在している場合でも、差動入力信号を20mVのレ

TYPE	SN55107A, SN75107A	SN55108A, SN75108A	SN55115*, SN75115*	SN75154*
● Input Sensitivity, Max	25 mV	25 mV	0.5 V	
● Switching Time, Max	25 ns	25 ns	50 ns	50 ns
● Strobe Capability	Yes	Yes	Yes	No
● Output	TTL, Active Pull-Up	TTL, Open-Collector	TTL, Open-Collector With Active Pull-Up Option	TTL, Active Pull-Up
● Fan-Out to Series 54	10	10	10	10
● Power Supply	+5 V and -5 V	+5 V and -5 V	+5 V	+5 V or +12 V
● Packages	J, N	J, N	J, N	J, N

〈表3-3〉ライン・レシーバのセレクションガイド

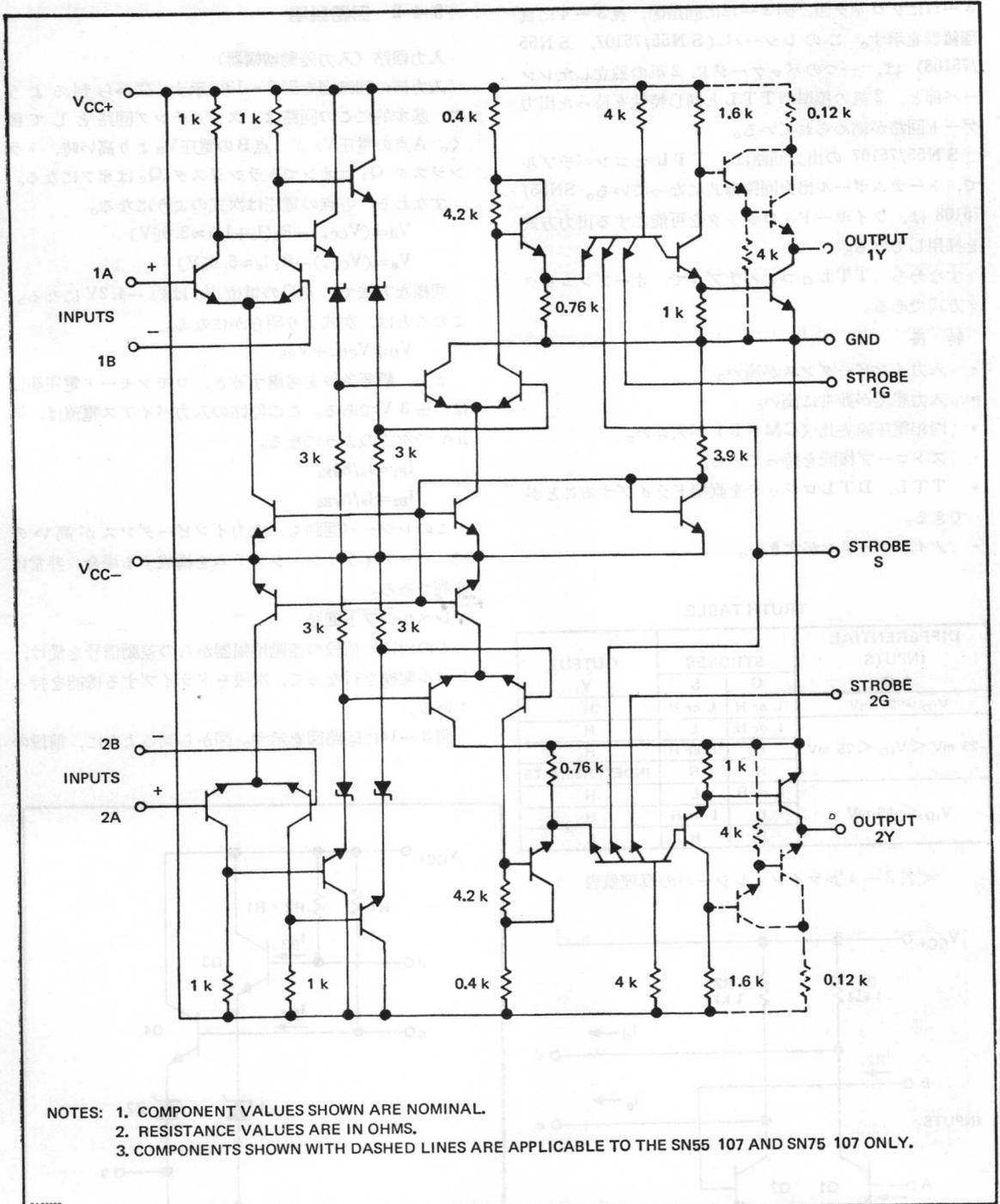
スリューレートは、出力部でコンデンサによって制御できる。

ブロック図を図3-9に、回路図を図3-10に示す。図から判るように、入力回路をとおして結合し、出力段で電力増幅し、出力保護回路を経てドライバ信号を取り出している。そのため、出力論理状態は、 $Y = A S$ となる。

ベルまで検知できる。

また、ストロブのゲート回路は、2種類あって、一つは独立して、他の一つは共通に使用することができ、非常に有効な使い方ができる。

それに、入力回路は、低入力電流 (30μA) で、しかも高入力インピーダンスなので、パーティライン・システムのときもラインへの影響は少ない。



- NOTES: 1. COMPONENT VALUES SHOWN ARE NOMINAL.
 2. RESISTANCE VALUES ARE IN OHMS.
 3. COMPONENTS SHOWN WITH DASHED LINES ARE APPLICABLE TO THE SN55107 AND SN75107 ONLY.

CA23788

〔図 3-12〕 ライン・レシーバの回路図

表3-3にラインレシーバのセレクションガイド、図3-11にブロック図、図3-12に回路図、表3-4に真理値表を示す。このレシーバ(SN55/75107, SN55/75108)は、一つのパッケージに2組の独立したレシーバ部と、2組の標準型TTLと同じ特性を持った出力ゲート回路が納められている。

SN55/75107の出力回路は、TTLとコンパチブルで、トータムポール出力回路方式になっている。SN55/75108は、ワイヤード・ロジックを可能にする出力方式を採用している。

すなわち、TTLとコンパチブルで、オープンコレクタ方式である。

特長

- 入力インピーダンスが高い。
- 入力感度が非常に高い。
- 同相電圧除去比(CMPP)が大きい。
- ストローブ機能を持っている。
- TTL, DTLロジックを直接ドライブすることができる。
- ノイズマージンが大きい。

TRUTH TABLE

DIFFERENTIAL INPUTS A-B	STROBES		OUTPUT Y
	G	S	
$V_{ID} \geq 25 \text{ mV}$	L or H	L or H	H
$-25 \text{ mV} < V_{ID} < 25 \text{ mV}$	L or H	L	H
	L	L or H	H
$V_{ID} \leq -25 \text{ mV}$	H	H	INDETERMINATE
	L or H	L	H
	L	L or H	H
	H	H	L

表3-4 ライン・レシーバの真理値表

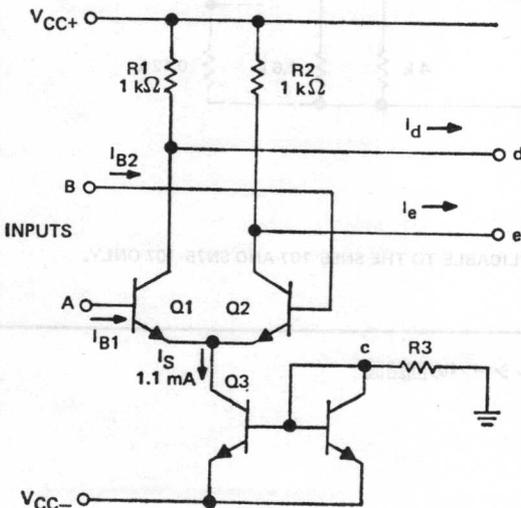


図3-13 ライン・レシーバの入力回路

3-4-2 回路説明

入力回路 (入力差動増幅器)

入力部の回路図を図3-13に示す。図から判るように、基本的にこの回路は、スイッチング回路として働く。A点の電圧VAが、点Bの電圧VBより高い時、トランジスタQ1はオンでトランジスタQ2はオフになる。すなわち、各点の電圧は次式のようになる。

$$V_d = (V_{CC+}) - R_1(I_s + I_d) \approx 3.9[V]$$

$$V_e = (V_{CC+}) - R_1 I_e \approx 5.0[V]$$

同様な方法で、点Cの電位Vcは約-4.2Vになる。このことは、次式より明らかになる。

$$V_c = V_{CC-} + V_{BE}$$

また、最悪条件を考慮すると、コモンモード電圧範囲は、±3Vである。この回路の入力バイアス電流は、30μAで次式のようになる。

$$I_{B1} = I_s / h_{FE1}$$

$$I_{B2} = I_s / h_{FE2}$$

このレシーバ回路も、入力インピーダンスが高いので、パーティライン・システムを構成する場合、非常に便利である。

レベルシフト回路

この段は、前段の差動増幅器からの差動信号を受け、レベル変換を行なって、次段をドライブする機能を持っている。

図3-14に回路図を示す。図から判るように、前段の

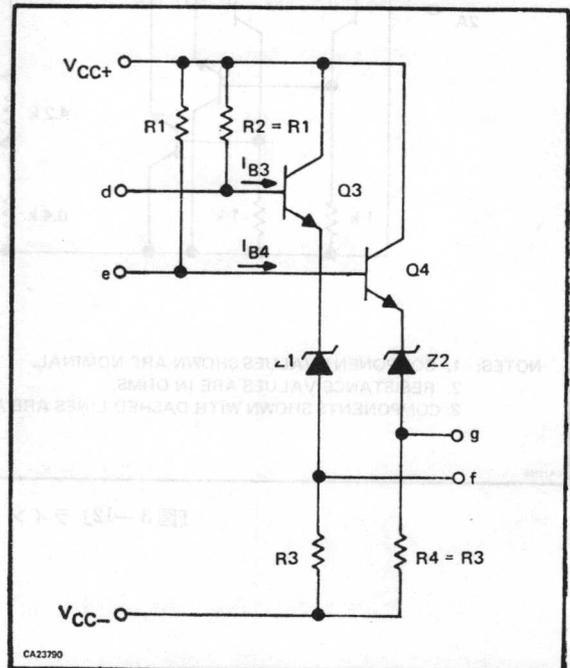


図3-14 ラインレシーバのレベルシフト回路

A点の電圧 V_A が、B点の電圧 V_B より大きい場合、点d、および、点eの電圧をそれぞれ V_d 、 V_e とすると、トランジスタ Q_3 、ツェナーダイオード Z_1 、および、トランジスタ Q_4 、ツェナーダイオード Z_2 の組合わせでシフトダウンされる。この電圧を V_f 、 V_g とすると次式のようになる。

$$V_f \approx (V_{CC+}) - RI(I_S + I_{B3}) - V_{BE3} - V_{Z1}$$

$$V_g = (V_{CC+}) - RI(O + I_{B4}) - V_{BE4} - V_{Z2}$$

このレベル変換された差動出力信号は、第2段目の差動増幅器をドライブする。

2段目の差動増幅器

この段は、レベル変換された差動出力信号を受けて、シングルエンド・ロジック・レベルに変換し、最終段のゲート回路をドライブする機能を持っている。

図3-15に回路図を示す。図からもわかるように、この回路もカーレント・モードタイプのスイッチとして動作する。

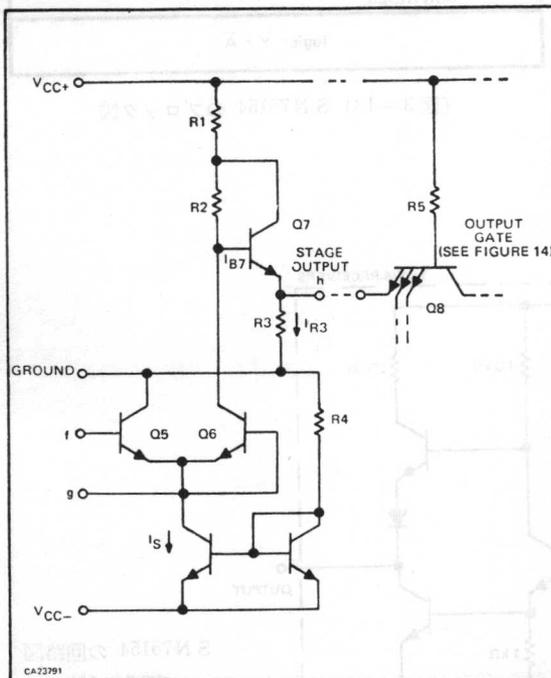
例えば、トランジスタ Q_5 がオンで、トランジスタ Q_6 がオフの場合、トランジスタ Q_7 のベース電圧は、 Q_7 をオンさせるのに十分である。

このとき、トランジスタ Q_7 のコレクター、エミッタ間の電圧 V_{CE7} は、次式より求まる。

$$V_{CE7} = R_2 I_{B7} + V_{BE7} \div 1 \text{ [V]}$$

$$V_h = I_{R3} \cdot R_3$$

$$\therefore I_{R3} = \frac{(V_{CC+}) - V_{CE7}}{R_1 + R_3}$$



〔図3-15〕 ライン・レシーバの2段目の差動増幅器

$$V_h = (V_{CC+}) - (R_2 I_{B7} + V_{BE7}) \left(\frac{R_3}{R_1 + R_3} \right) \approx 2.5 \text{ [V]}$$

この状態では、トランジスタ Q_8 はオフである。次にトランジスタ Q_5 がオフで、 Q_6 がオンの場合は、約 1.3 mA のシンク電流が流れる。

この場合、トランジスタ Q_7 のベース電圧は、次式よりわかるように約 0 V になる。このためトランジスタ Q_7 はオフになる。

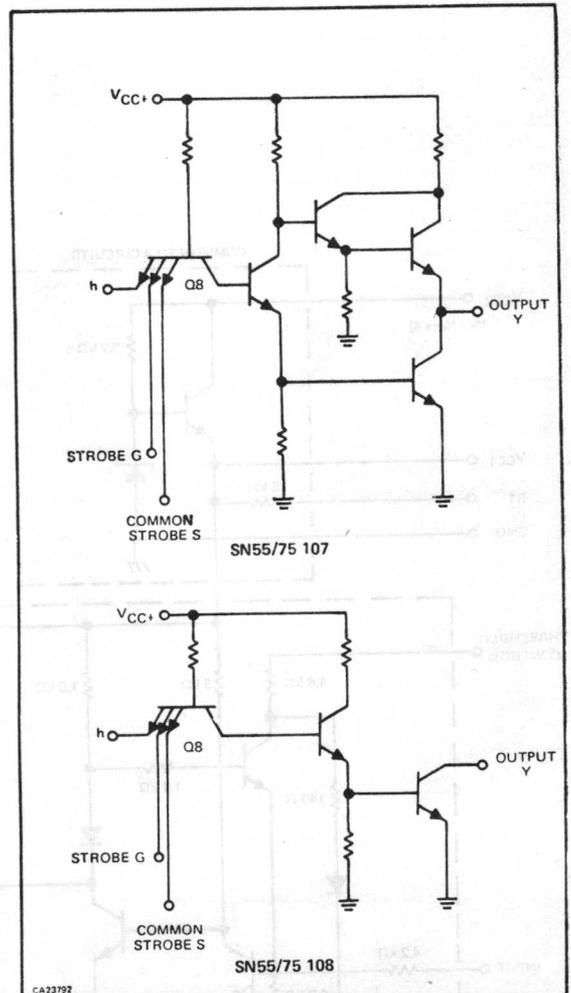
$$(V_{CC+}) - (R_1 + R_2) I_S \approx 0 \text{ [V]}$$

点hの電圧 V_h は、次式のようになる。

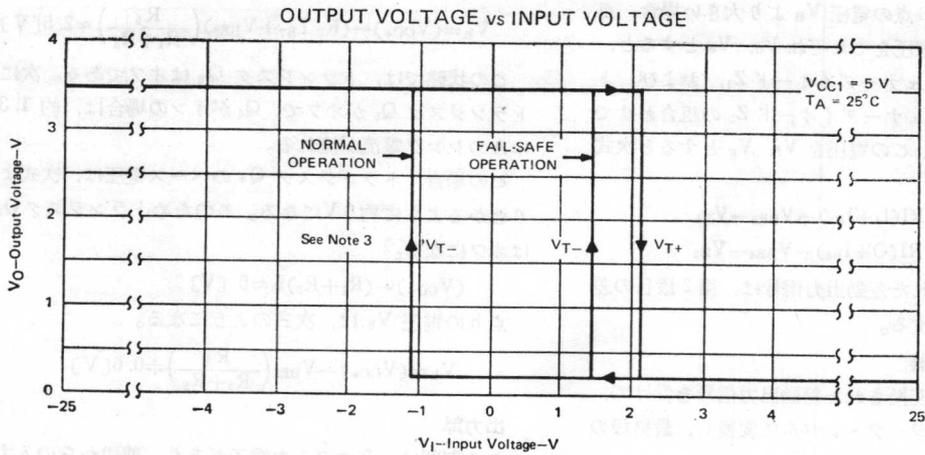
$$V_h = (V_{CC+}) - V_{BE6} \left(\frac{R_3}{R_3 + R_5} \right) \div 0.6 \text{ [V]}$$

出力部

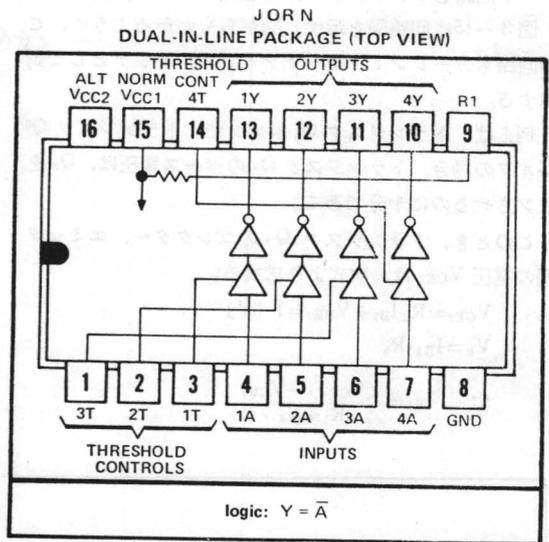
この部門は、3つの入力端子があり、前段からの入力信号とストローブ制御信号を持った標準形 TTL 回路で構成され、出力信号をバイポーラ・ロジック・レベルに変換して送り出す部門である。



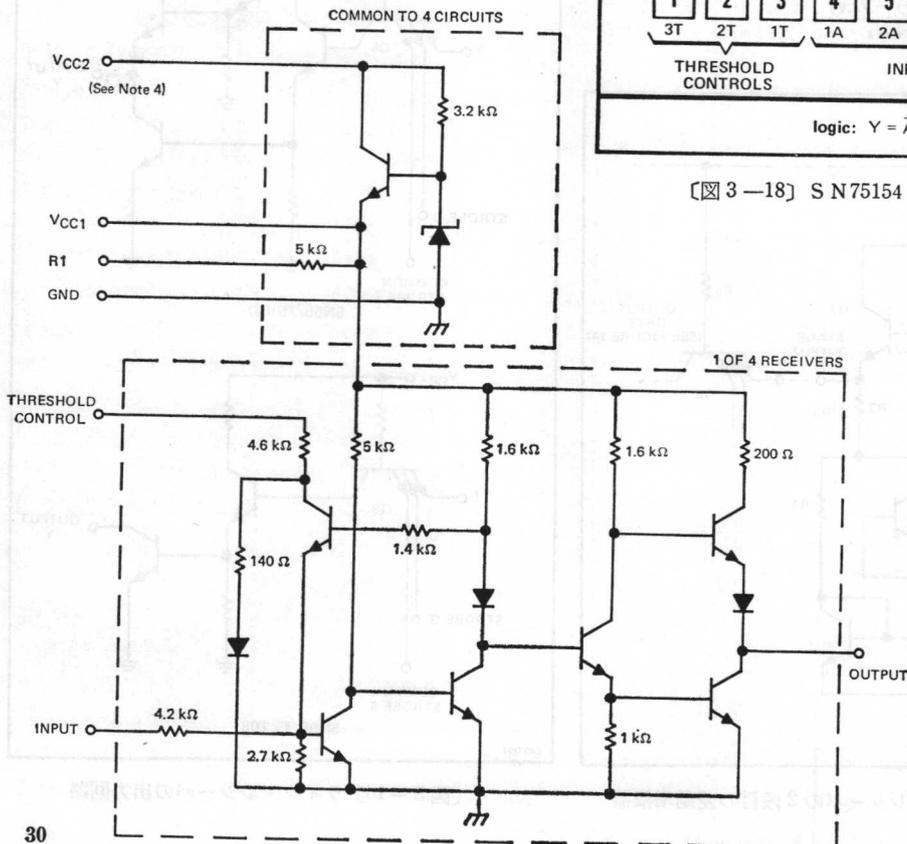
〔図3-16〕 ライン・レシーバの出力回路



S N75154 の入力電
 圧対出力電圧特性
 (図 3-17)



(図 3-18) S N75154 のブロック図



S N75154 の回路図
 (図 3-19)

S N55/75107, S N55/75108の出力ゲート回路図を図3-16に示す。

図からわかるように、S N55/75107に対しては、スタンダード品 S N5400と同じで、ロード電流 I_{out} およびシンク電流 I_{sink} は次のようになる。

$$I_{out}=0.5[mA] \text{ at } V_{out(1)}=3.35[V]$$

$$I_{sink}=20[mA] \text{ at } V_{out(0)}=0.24[V]$$

このゲート回路は、2つのストロープ機能を有し、この入力を制御することにより可能である。すなわち、論理“1”をこの制御端子に加えると、レシーバ回路として働き、また論理“0”を印加すると、この回路は禁止される。

3-5 SN75154

4回路ラインレシーバ

これは、前記のドライバ S N75150 と同様、モノリシック IC で、一つのパッケージの中に4個のラインレシーバ回路が納められている。

用途としては、ラインドライバと同様にデータ通信データ・ターミナル・システム等に使用される。その他のアプリケーションとして、比較的短かい場所でのデータ伝送やレベル変換器がある。

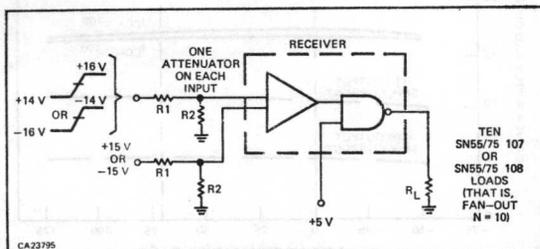
このデバイスは、電源電圧5Vでも使用できるので、非常に使い易い。

一般的な使い方では、スレッシュホールド制御端子は、 V_{CC1} (PIN₁₅) に結合し、電源は V_{CC2} (PIN₁₆) に供給すれば良い。

この状態では、ヒステリシスの幅を広く取ることができる。図3-17は、ドライバの入力電圧対出力電圧特性を示す。

フェール、セーフ動作に対しては、このスレッシュホールド制御端子をオープンにすればよい。この場合、ヒステリシスの幅は狭くなると共に、ネガティブゴーイングの V_{th} が0電位より正になる。

ブロック図を図3-18、回路図を図3-19に示す。



ライン・レシーバの共通モード入力電圧の拡張
[図3-20]

Device	Parameters	Input	Typical (ns)
		Attenuator	
SN55/75 107	$t_{pd(1)}$	1	20
		2	32
		3	42
	$t_{pd(0)}$	1	22
		2	31
		3	33
SN55/75 108	$t_{pd(1)}$	1	36
		2	47
		3	57
	$t_{pd(0)}$	1	29
		2	38
		3	41

Note: Output load $R_L = 390 \Omega$.

アッテネータのインピーダンスと平均遅延時間

《表3-5》

3-6 使用上の注意事項

3-6-1 コモンモード入力電圧の拡張

ライン・レシーバのコモン・モード電圧範囲は、最悪条件を考慮して、 $\pm 3V$ であるが、さらに CMVR を拡張したい場合には、図3-20に示すような方法で、入力回路にアッテネータを挿入すれば良い。

アッテネータのインピーダンスと平均遅延時間の関係を表3-5に示す。

3-6-2 入力回路のターミネーション抵抗

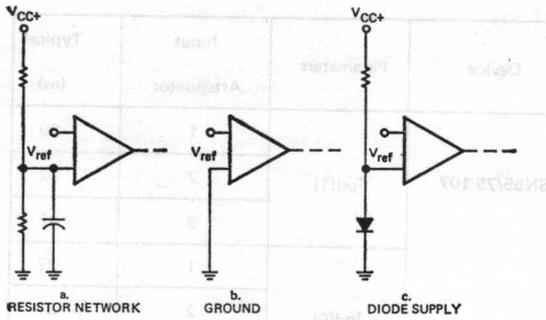
データ伝送線の反射（信頼度の高いシステムを構成するため）をふせぐため、ラインの特性インピーダンスでターミネーションすればよい。普通ラインの特性インピーダンスは、 $25\Omega \sim 200\Omega$ である。また、入力電流は $30\mu A$ で、しかも入力インピーダンスが高い。

このことは、パーティライン・システムを構成する場合に重要な項目である。

3-6-3 リファレンス電圧

シングルエンデッド、あるいは、コンプレータ回路として使用する場合、差動入力の一つの端子に通常リファレンス電圧を他の端子に入力信号を加える。

その方式を図3-21に示す。図から判るように、この回路の動作は、リファレンス電圧 V_{ref} によって制御さ



ライン・レシーバのリファレンス電圧発生方法
〔図3-21〕

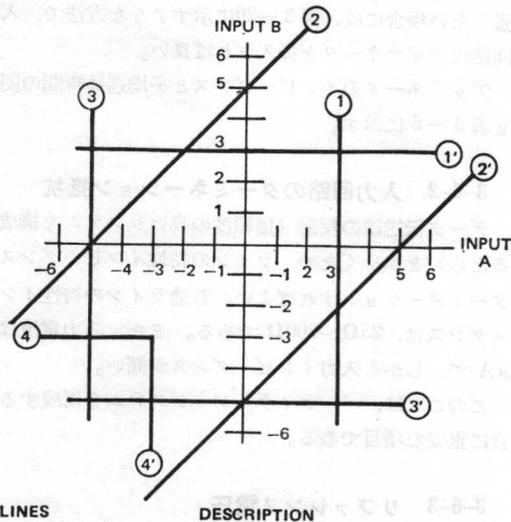
れる。リファレンス電圧の作り方にもいろいろな方法がある。

- V_{CC+} あるいは V_{CC-} から分割抵抗を通して作る方法 (図3-21a参照)。
- V_{CC+} から抵抗 R とダイオードによる方法 (図3-21c参照)
- 接地電位を利用する方法 (図3-21b参照)

このリファレンス入力端子のバイアス電流は、約30 μA である。また、ノイズかんきょうの悪いところでは、フィルタを入れる (図3-21a参照)。

3-6-4 安全動作範囲

信頼度の高いシステムを構成する場合次に述べる。Safe operating Region を考慮して設計を進めていた



LINES	DESCRIPTION
1 AND 1'	MAXIMUM POSITIVE INPUT SIGNAL IS +3.0 V.
2 AND 2'	MAXIMUM DIFFERENTIAL SIGNAL $ A-B $ IS 5.0 V.
3 AND 3'	MAXIMUM NEGATIVE INPUT SIGNAL IS -5.0 V.
4 AND 4'	MAXIMUM COMMON-MODE IS ± 3.0 V.

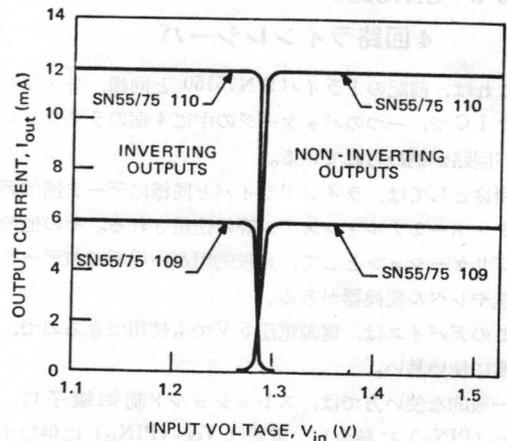
〔図3-22〕 ライン・レシーバの安全動作範囲

だきたい。ラインレシーバ回路の入力電圧に対する安全動作範囲について図3-22に示す。図からわかるように、例えば、

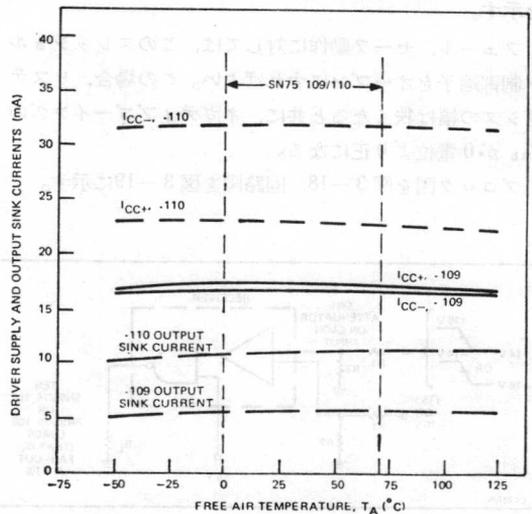
- 入力端子Bが+2Vのとき、他の入力端子Aは、-3V~+3V範囲で使用すること。
- 入力端子Bが-2Vのとき、差動入力端子Aは、-5V~+3Vの範囲で使用すること。
- 入力端子Aが0Vのときは、入力端子Bは、-5V~+3Vの範囲で使用すること。

3-6-5 各デバイスの電気的特性

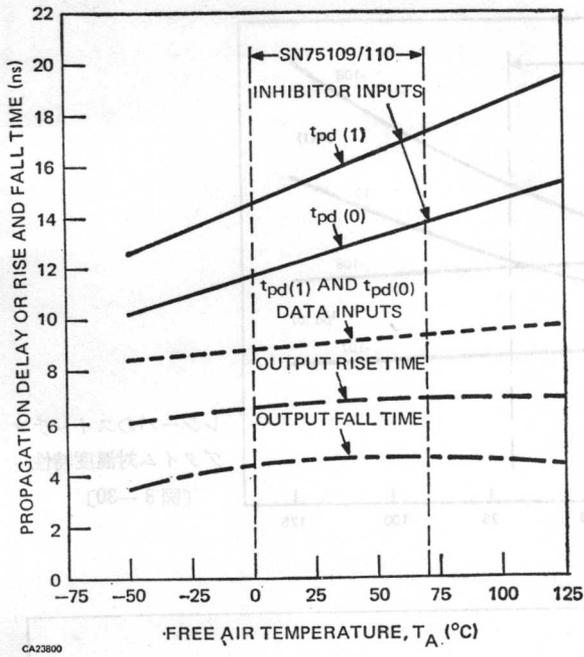
ライン・ドライバーとレシーバの代表的な電気的特性を図3-23~図3-31に示す。



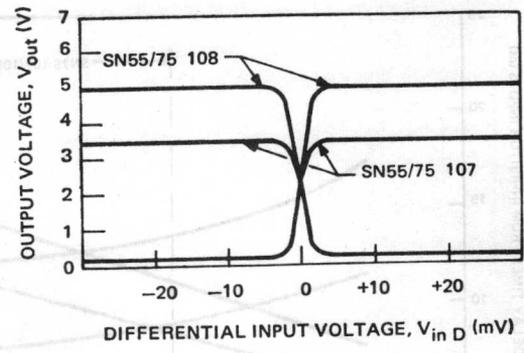
ドライバの出力電流対入力電圧特性
〔図3-23〕



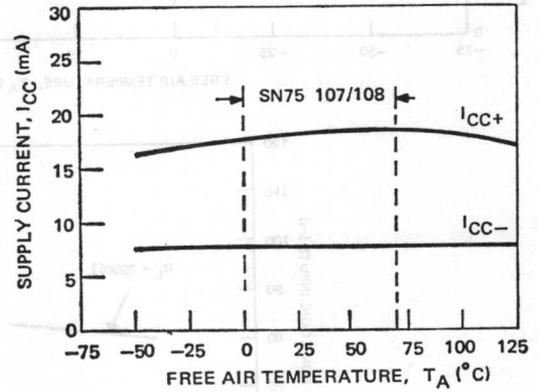
ドライバの供給電流、出力回路のシンク電流対温度特性
〔図3-24〕



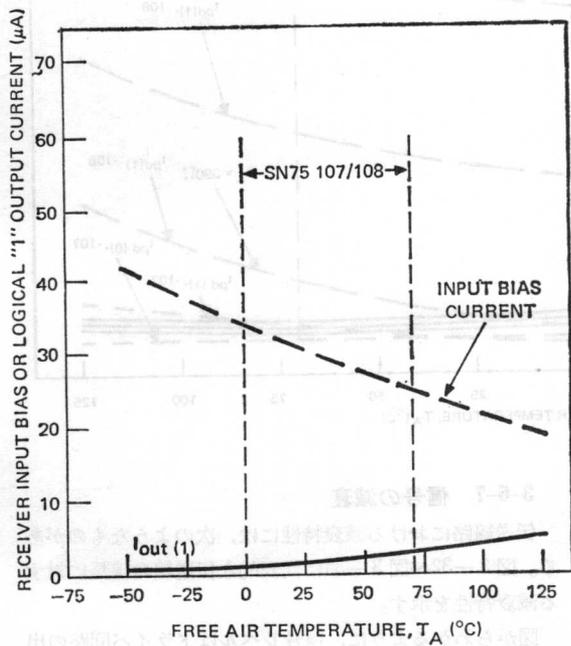
ドライバのスイッチング時間対温度特性
[図 3-25]



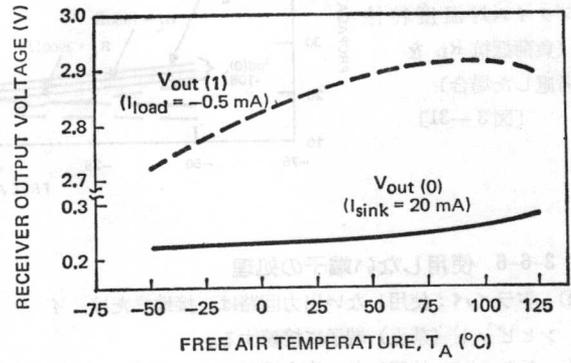
レシーバの差動入力電圧対出力電圧特性
[図 3-27]



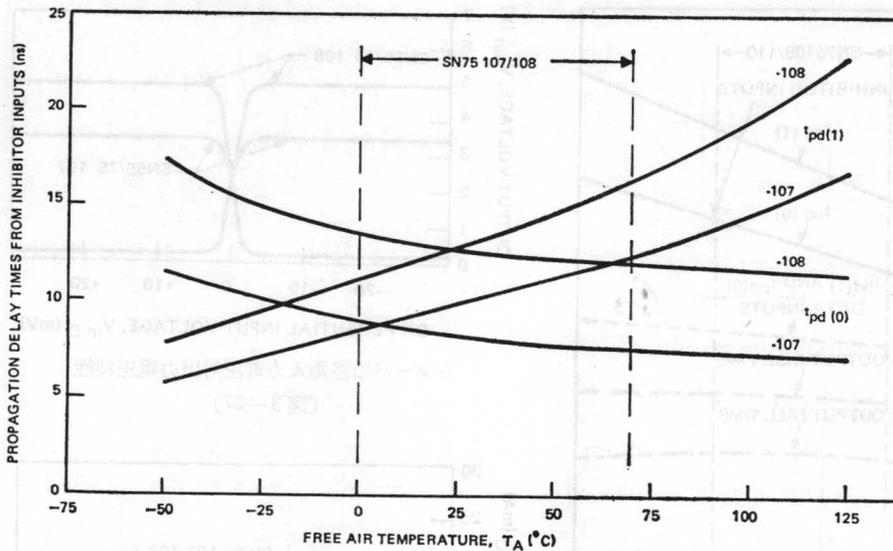
レシーバの供給電流対温度特性
[図 3-28]



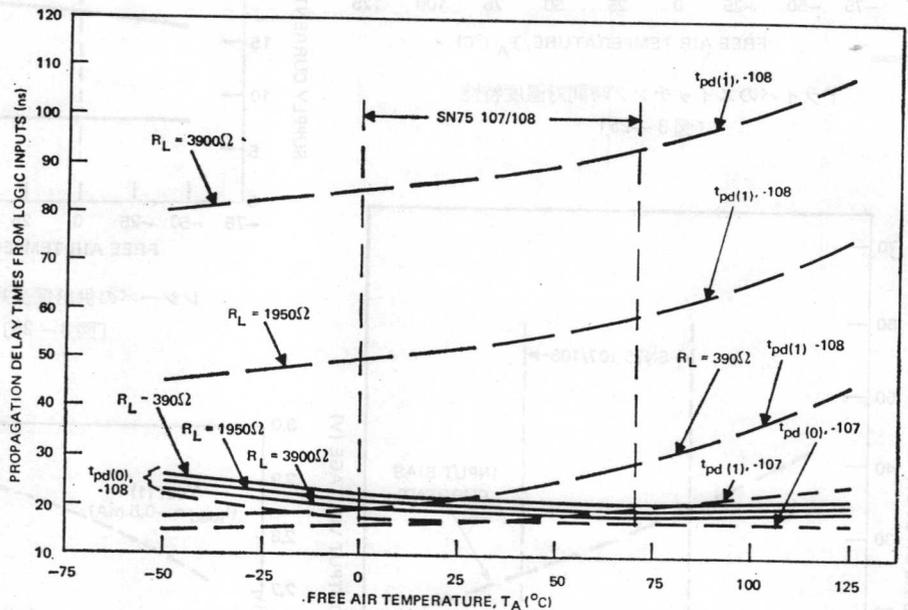
レシーバの入力バイアス電流、論理“1”の出力電流対温度特性
[図 3-26]



レシーバの出力電圧対温度特性
[図 3-29]



レシーバのスイッチング
グタイム対温度特性
〔図3-30〕



レシーバのスイッチング
グタイム対温度特性
(負荷抵抗 R_L を
考慮した場合)
〔図3-31〕

3-6-6 使用しない端子の処理

- ① **ドライバ**: 使用しない出力回路は、接地または、インビット(禁止)端子に接続する。
- ② **レシーバ**: 使用しない入力端子は、+3V~-3Vの間の電位、あるいは接地する。

オープン回路になっていると論理“0”に対するプロパゲーションデレー ($1_{ns}/INPUT$) に影響する。

いいかえれば、高速度システムを構成する場合に重要である。

また、使用しないゲート入力端子は、論理“1”に方向づけること。

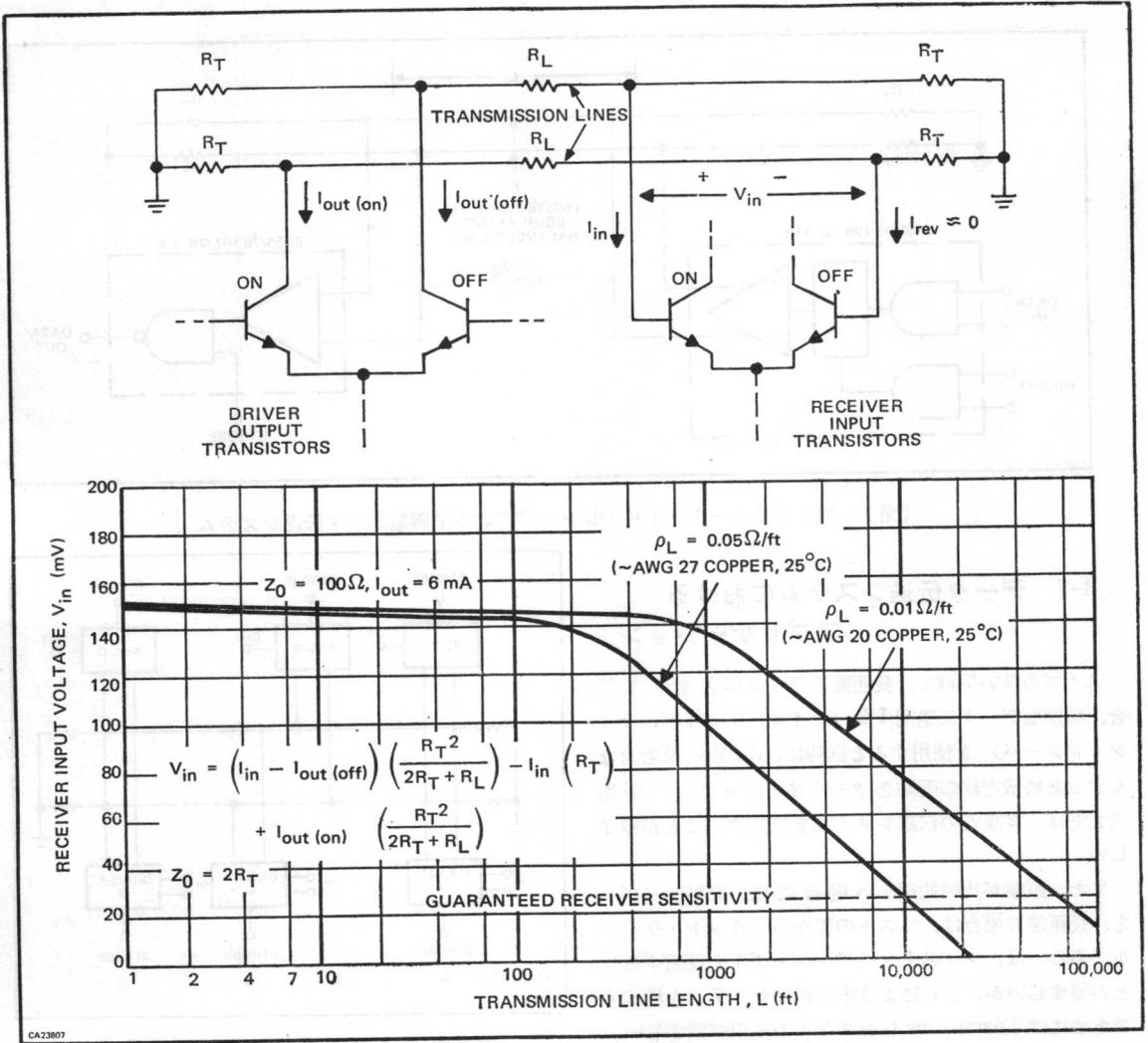
3-6-7 信号の減衰

伝送線路における減衰特性には、次のようなものがある。図3-32~図3-34に代表的な伝送線の線長に対する減衰特性を示す。

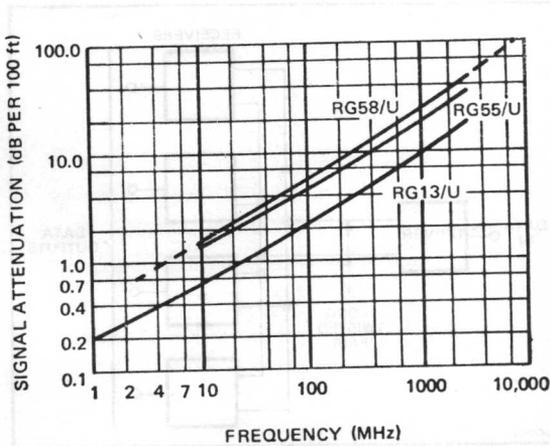
図からわかるように、信号レベルはドライバ回路の出力電流とライン・インピーダンスにより変化する。

ドライバSN55/75109と特性インピーダンス100Ωのツイスト・ペア線を使用して、システムを構成した場合は、約 $0.01\Omega/f_T$ の減衰特性を示す。

例えば、同軸ケーブルRG55/Uを使用した場合、図から判るように、10MHzで1.3dB/100feetの割合で減衰する。

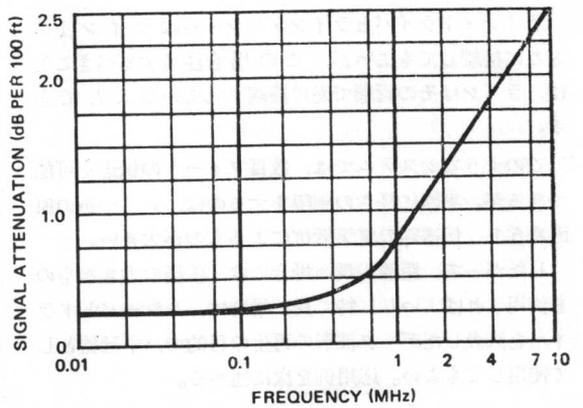


〔図 3—32〕 伝送線路の線長に対する減衰特性



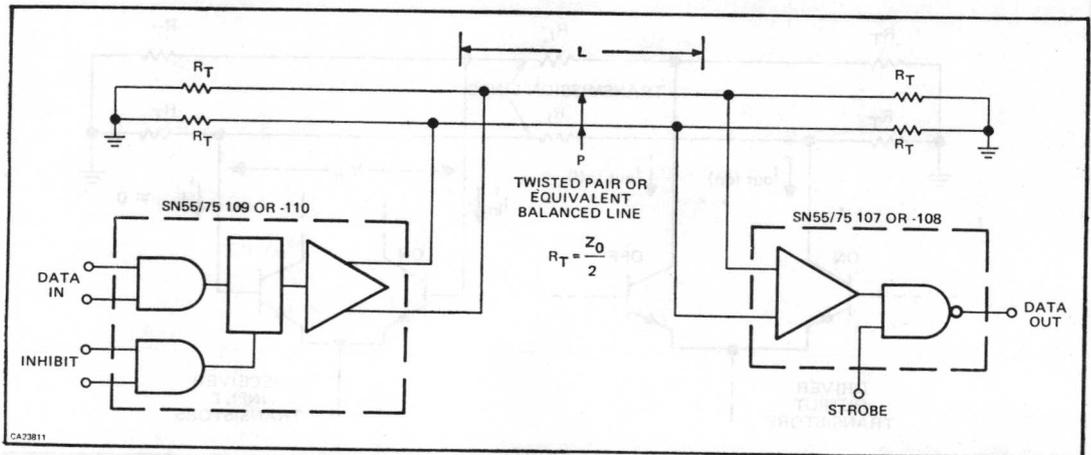
同軸ケーブルを使用した場合の減衰特性

〔図 3—33〕



ツイストペア線を使用した場合の減衰特性

〔図 3—34〕



[図3-35] ライン・ドライバ・レシーバによる平衡型データ伝送システム

3-7 データ伝送システムにおけるアプリケーション

ノイズの多い環境で、長距離のデータ伝送をする場合、特別なデータ伝送用IC（ライン・ドライバ、ライン・レシーバ）を使用すると同時に、信号の反射をなくするため伝送線の両端をターミネーションし、平衡式または、2線式の伝送システムを採用することが望ましい。

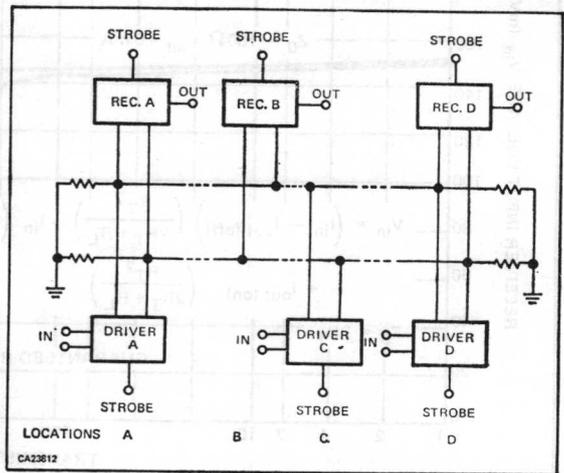
また、距離が比較的短い場合には、同軸ケーブルを、長距離の場合は、コストの面からフラット・ケーブル、あるいは、ツイスト・ペア・ケーブルを使用することが望ましいが、さらにより安く伝送システムを構成するためには「party line」システムの採用が望ましい。

パーティ・ライン・システムとは同一の伝送ラインを数個のライン・ドライバ、および、ライン・レシーバが共有する方法である。

ライン・ドライバとライン・レシーバはライン上のどこに接続してもよいが、この場合注意すべきことは、ラインはその両端でだけ終端されていることである。

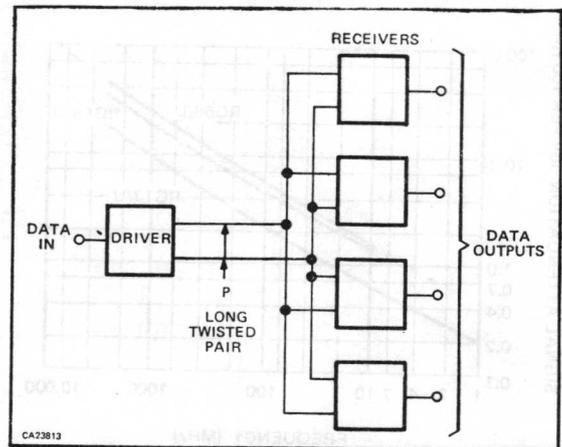
このようなシステムでは、数百フィートの伝送も可能であるが、実際に長さの制限をするのは、いくつかの原因のうち、伝送線の電気抵抗によるものが大きい。

したがって、距離が長い場合には、線径の大きなものを使用すればよいし、特に長い場合は、レシーバとドライバを減衰したデータ波形の再生の目的で、中継器として使用してもよい。応用例を次に述べる。



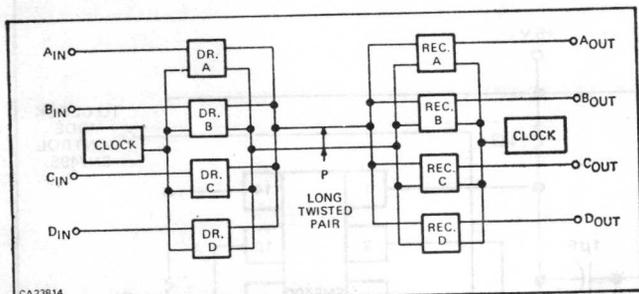
平衡型パーティ・ライン・データ伝送システム

[図3-36]

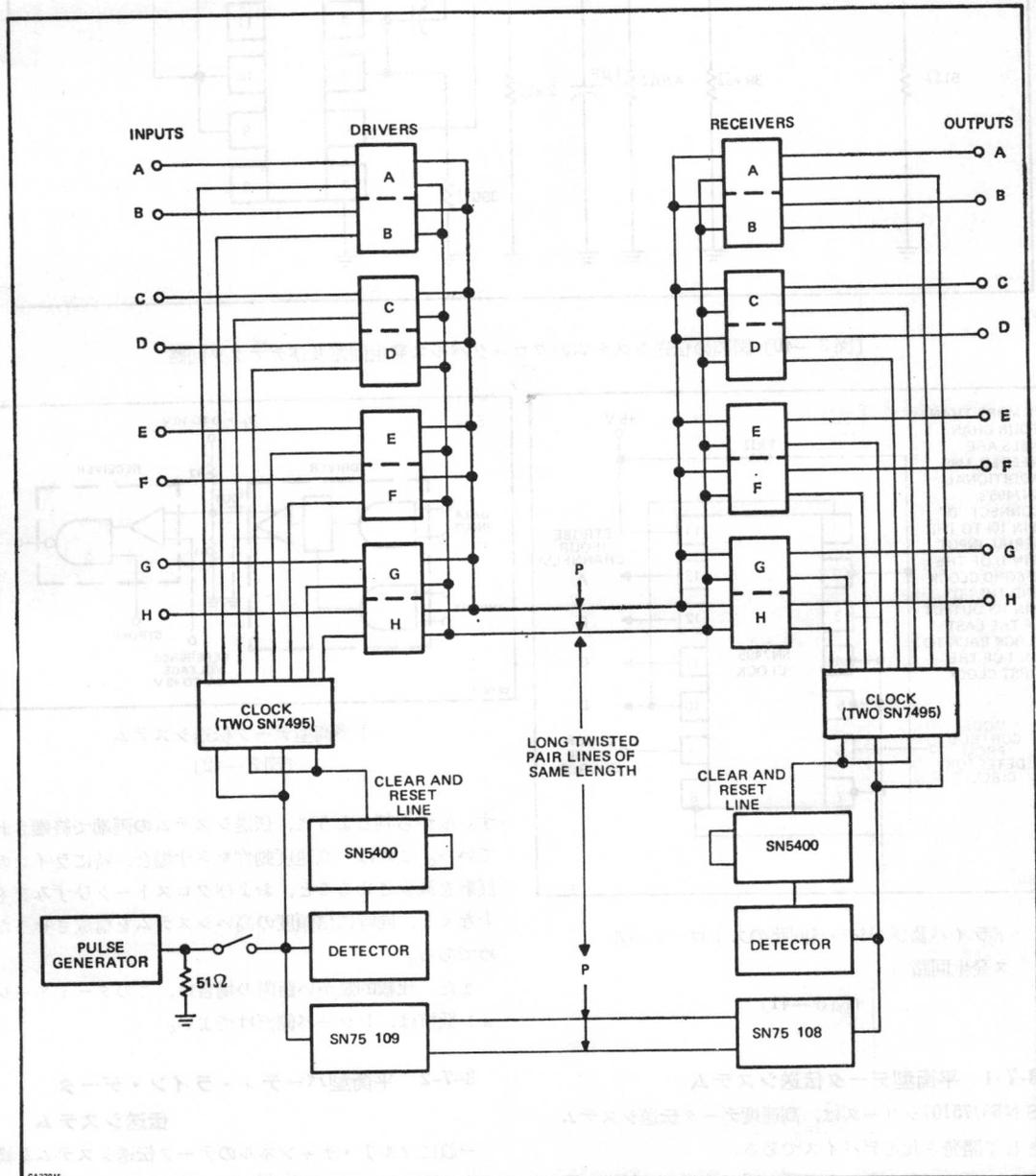


パーティ・ライン伝送システムにおいてドライバとレシーバの接続方法

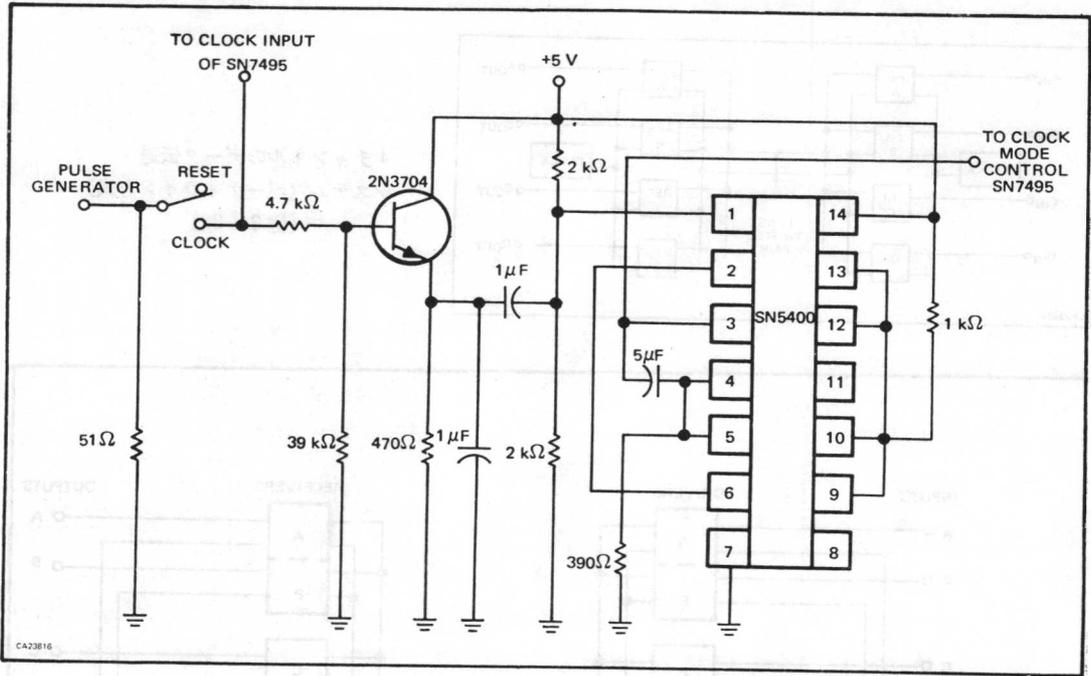
[図3-37]



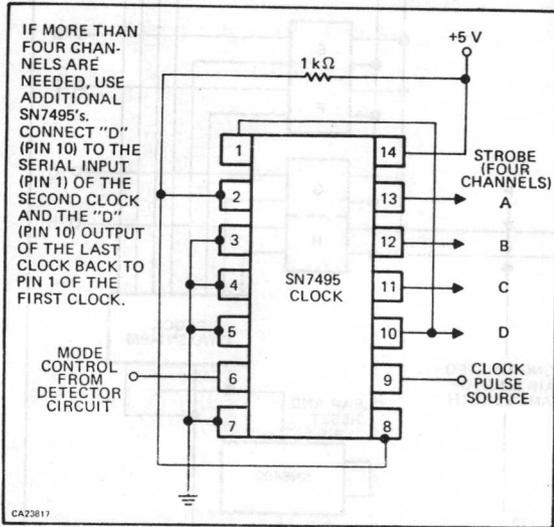
4チャンネルのデータ伝送システム (パーティライン方式)
 [図3-38]



クロック・パルス付マルチ・チャンネルデータ伝送システムのブロック図
 [図3-39]

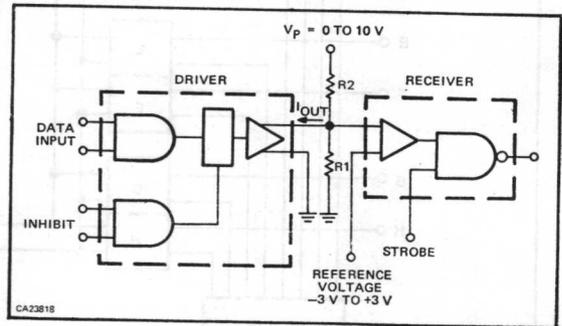


〔図3—40〕 図39の伝送システムのクロックパルス発生回路及びデテクタ回路



ドライバ及びレシーバ回路のストロブパルス発生回路

〔図3—41〕



不平衡型データ伝送システム

〔図3—42〕

図から判るように、伝送システムの両端で終端されている。これは、高速度動作をさす場合、特にラインの反射を減少させること、およびクロストークひずみをも少なくし、同時に信頼度の高いシステムを構成させるためである。

また、比較的短い距離の場合は、このターミネーション抵抗は、レシーバ側だけでよい。

3-7-1 平衡型データ伝送システム

SN55/75107シリーズは、高速度データ伝送システム用として開発されたデバイスである。

また、ノイズかんきょうの悪い所でのデータ伝送の際に、特にすぐれた特性を示す。

図3—35に平衡型のデータ伝送システムの構成図を示

3-7-2 平衡型パーティ・ライン・データ伝送システム

一般にマルチ・チャンネルのデータ伝送システムを構成する場合、システムの数だけ伝送線が必要であるが、この方式を採用することにより、コスト・パフォーマンスのよいしかも信頼度の高いシステムを構成すること

ができる。図3-36にブロック図を示す。図3-37にドライバ回路一つで多数のレシーバをドライブする方法をまた図3-38には4チャンネルのデータ伝送システムの構成図を示す。図3-39~図3-41にクロックパルス付マルチチャンネルデータ伝送システムの構成図を示す。

3-7-3 不平衡型データ伝送システム

この方式は、比較的短い距離の場合に適要できる。この伝送方式は、ドライバは不平衡で信号を送り出し、差動入力回路からなっているレシーバの一つの入力には、信号を他の入力端子にはリファレンス電圧 V_{ref} を加える。

図3-42に構成図を示す。このリファレンス電圧 V_{ref} は、 $-3V \sim +3V$ の間に設定すること、ドライバの出力電圧は次式より求まる。

$$V_{out} = (V_p - R_2 \cdot I_{out})(R_1) / (R_1 + R_2)$$

∴ I_{out} はシンク電流である。

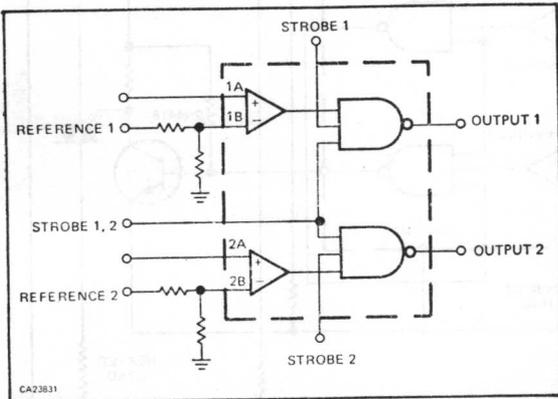
3-8 伝送システム以外の応用例

ラインドライバ・レシーバ回路は、データ伝送システム以外にも数多くのアプリケーションがある。

ライン・レシーバとその応用

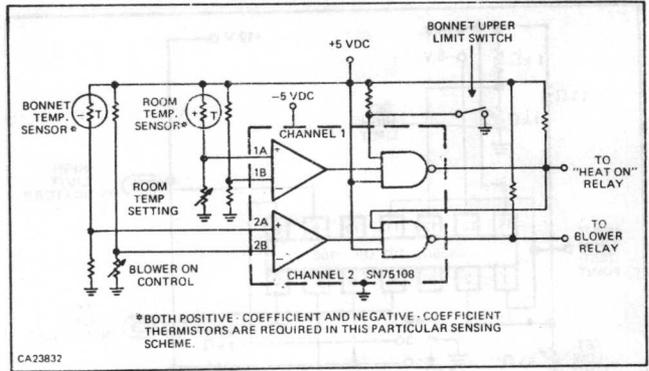
- ECLシステムからTTLシステムへの変換
- デュアル・コンパレータ
- ウィンド・ディスクリミネータ
- パルス・ハイト・アナライザ
- A/Dコンバータ
- センスアンプ
- ダブルエンド・リミット・デテクタ

ドライバとその応用



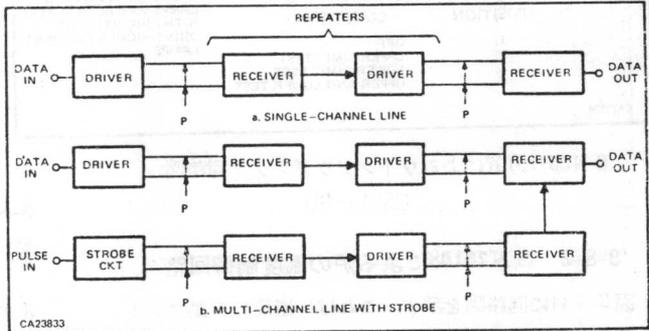
ライン・レシーバによるデュアル・ディファレンシャル・コンパレータ回路

[図3-43]



SN75180による炉の温度制御回路

[図3-44]



長距離データ伝送システム

[図3-45]

- TTLシステムからECLシステムへの変換
- ドラバ(メモリ)
- ランプジェネレータ
- D/Aコンバータ
- MOSディジット・ドライバ
- ランプ・ドライバ

3-8-1 デュアル・ディファレンシャル・

コンパレータ

ディファレンシャル・コンパレータにもいろいろな方式がある。

例えば、電圧比較器、スレッシュホールド・デテクター・シュミット・トリガ・パルス幅コントローラ等が代表的である。

図3-43に回路図を示す。図から判るように、差動形コンパレータの入力端子の一つには入力信号を、他の入力端子には、比較電圧(V_{ref})を接続することによりコンパレータ回路として動作する。

出力信号は、バイポーラ・ロジック・レベル(BLL)に変換されて取り出される。さらに、この回路はストロブ制御回路があるので、これを使用して信頼度の高いコンパレータ回路を構成することができる。

3-8-7 オプティカル・タコメータ

図3-49にSN75107による回転計の回路図、およびタイムチャートを示す。

図から判るように、オプティカル・デテクタ、すなわち、ホトトランジスタで光を受け、この部分で電気的な信号に変換し、さらに、エミッタを通して、初段のレーパ回路に接続される。

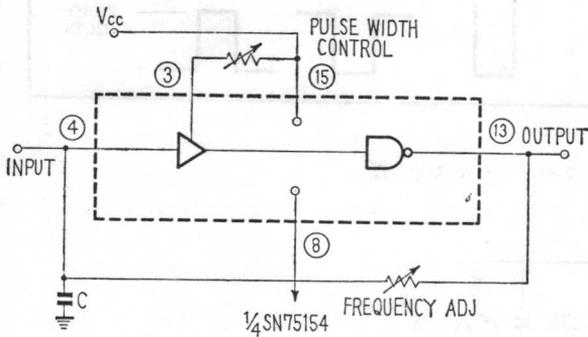
ここで、信号のディスクリを行なって、次段の波形整形回路を構成しているレーパ回路に結合され、波形を整形し、最終段のNANDゲート回路を通して、トルクメータとしても使用できる。

3-8-8 パルス・ジェネレータ

図3-50に、SN75154によるパルス発生器の構成図を示す。これは、一つのパッケージの中に、4組のレーパ回路が納められているので、4組を使用して、マルチ・チャンネルのパルス発生器を構成することができる。

図からも判るように、パルス幅は端子③と、 V_{CC} 間に接続されている可変抵抗器により制御でき、しかも、デューティ・サイクルの10%~90%までコントロールできる。

また、発振周波数は、コンデンサCとFrequency ADJ用ボリュームを使用して調整できる。



〔図3-50〕SN75154によるパルス発生器

4. MOS とのインターフェース

MOS IC は、バイポーラと比較すると、速度などの点で劣るが、集積度、電力消費、あるいは、製造工程の問題からバイポーラデジタル IC に比べて、LSI 化しやすい。

最近、特に話題をにぎわしている % R. A. M は、MOS LSI であり、また R. O. M あるいは Shift Register においても大容量のものはほとんどが MOS デバイスである。ところで、現在では、デジタル機器や装置がほとんど DTL、あるいは、TTL といったバイポーラ IC で構成されるので、このような中に MOS、LSI が使用される場合は、当然インターフェース用の回路が必要となる。

このインターフェース回路は、MOS デバイスの特性によってごく簡単に構成できる場合とかなり面倒な場合がある。

本節では TTL と MOS のインターフェースの際の注意事項、その方法などについて述べる。

4-1 MOS の種類

既に述べたように、MOS デバイスの仕様、例えば供給電源電圧、入力回路形式、入力容量、出力回路形式、入出力電圧、電流などの条件により、TTL との接続回路の方法がいろいろ異なってくる。そこで、ここでは接続回路の方法が異なる主要因に従って MOS の分類を行ってみる。

4-1-1 スレッシュホールド電圧による分類

MOS、LSI は、現在多くのものが P-channel で、そのスレッシュホールドレベルが、低スレッシュホールドのものと高スレッシュホールドのものがある。

初期のころは、ほとんどが高スレッシュホールドのものであったが、後述するように TTL、あるいは、DTL と

		高スレッシュホールド MOS	低スレッシュホールド MOS
電供給電圧	V _{SS}	0 V	0 V
	V _{DD}	-12 V	-5 V
	V _{GG}	-24 V	-17 V
レ論べ理ル	高レベル	0 ~ -3 V	0 ~ -1.5 V
	低レベル	-9 ~ -24 V	-4.2 ~ -17 V

V_{SS}=サブストレート供給電源

V_{DD}=ドレイン供給電源

V_{GG}=ゲート供給電源

(ただし、高スレッシュホールド MOS の場合、V_{DD}=-14 V、V_{GG}=-28 V、のものもある。)

◀表 4-1▶

のインターフェースの問題から、最近のものは大部分が低スレッシュホールドのものになっている。

表 4-1 は、低スレッシュホールド MOS と、高スレッシュホールド MOS に対する供給電源電圧、および、論理レベルを示めたものである。

これからスレッシュホールドレベルの異なる MOS に対しては、電源電圧、および、論理レベルが異なることが判かる。ところで TTL の論理レベルは +0.4 V (低レベル) および +2.4 V (高レベル) であり、いずれも正のレベルである。

ところが、表 4-1 の MOS の論理レベルは高レベル、低レベルとも負の電圧であり、TTL と MOS の接続を行なうのに都合が悪い。表 4-1 では、V_{SS} を基準にした場合の各電圧が示されているが、これを V_{DD} を基準にしたレベル系に変換してみると、表 4-2 のようになる。

		高スレッシュホールド MOS	低スレッシュホールド MOS
電供給電圧	V _{SS}	+12 V	+5 V
	V _{DD}	0 V	0 V
	V _{GG}	-12 V	-12 V
レ論べ理ル	高レベル	+9 ~ +12 V	+3.5 ~ +5 V
	低レベル	+3 ~ -12 V	+0.8 ~ -12 V

◀表 4-2▶

このように高スレッシュホールド MOS に対して 12 V、低スレッシュホールド MOS に対して 5 V、それぞれレベルをシフトしても、MOS デバイスの動作上は全く問題ない。これにより TTL とのインターフェースが非常にやり易くなる。

4-1-2 出力回路形式による分類

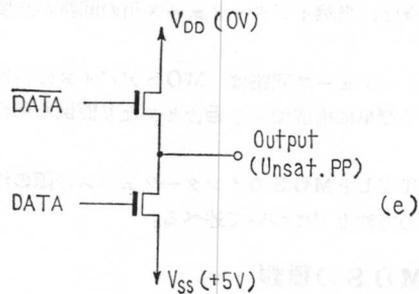
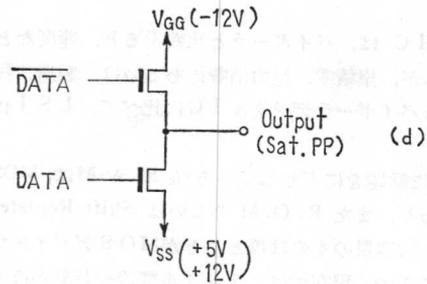
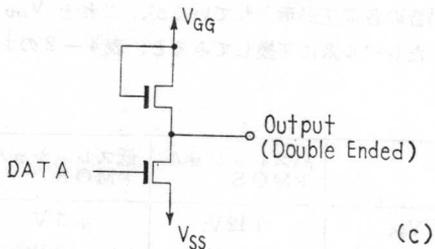
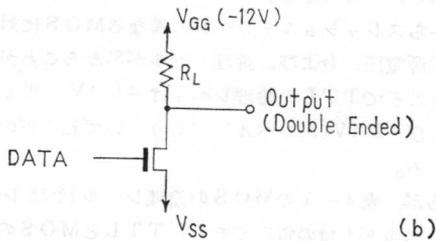
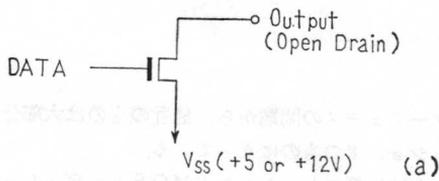
MOS デバイスの出力回路の形式は、次のような 3 つのタイプがあり、それぞれこの後に接続される TTL とのインターフェースの方法が若干異なってくる。

i) シングル・エンデッド (開放ドレイン) 出力

図 4-1 (a) のような出力回路のものである。この出力の MOS トランジスタのドレインソース間は、off 時にはほとんど無限大の抵抗となり、on 時には、1 kΩ 以下になる。ただし、この on 時の特性は各デバイスごとに規定されている。

ii) ダブルエンデッド出力

図 4-1 (b) あるいは (c) のような出力回路形式のものであり、(b) は負荷として、抵抗が、また (c) は MOS ト



〔図4-1〕MOS ICの出力回路形式

ランジスタ負荷としたものである。TTLとの接続は、i)のシングルエンDET出力の場合に準ずる。

iii) プッシュ・プル出力

プッシュプル出力回路としては、図4-1(d)および(e)に示めたように飽和形のもの、非飽和形のものがある。

TIのMOSデバイスはほとんど(e)の非飽和形、プッシュプル出力回路形式が採用されており、この形式の回路、特に低スレッシュولدMOSでは、クランプダイオードが挿入されていないTTLとも直接接続できる利点がある。

4-2 MOS-TTL インターフェース

MOSとTTLのインターフェースを行なう際の前提条件として、既に述べたように電源の供給は表4-2に示めた方法によるものとする。一方、TTLの供給電源電圧と、高・低論理レベルは表4-3に示めたようであり、この論理レベルは表4-2に示めた低スレッシュولدMOSと比較しても若干異なる。そこで、次に述べるような方法により、最悪条件においてもTTLおよびMOSとも動作が保証できるようなインターフェース回路が必要となる。

		最小	標準	最大
供給電源電圧		4.75V	5.0V	5.25V
レ論 べ理 ル	高レベル	2.4V	3.3V	5.25V
	低レベル	0V	0.2V	0.4V

SN74シリーズの論理レベル

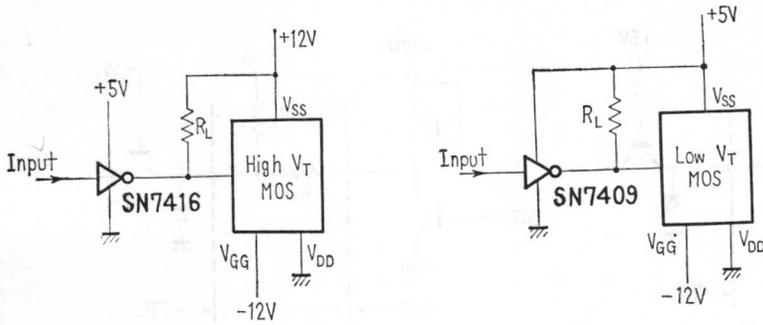
◀表4-3▶

4-2-1 データ入力に対する

インターフェース

高スレッシュولدおよび低スレッシュولدMOSデバイスに対し、MOSのデータ入力において表4-2の条件を満足させるためには、それぞれ図4-2(a), (b)のような回路構成が必要である。高スレッシュولدMOSの場合は、MOSのデータ入力のドライバとしてSN7416など、出力の耐圧が12V以上の開放コレクタ出力のTTLインバータ、あるいは、ゲート(SN7406, 7404, 7416, 7417, 7426など)を使用する。

低スレッシュولدMOSでは、普通の耐圧のトータンポールあるいは開放コレクタ出力TTLが使用できる。ただし、トータンポール出力を使う場合にも、MOSの



(a) 高スレッシュホールドMOSの入力インターフェース (b) 低スレッシュホールドMOSの入力インターフェース

【図4-2】

高レベル入力+3.5Vを保証するため図4-2(b)に示すように、プル・アップ抵抗 R_L を挿入してやる必要がある。

MOSの入力電流は高レベル、低レベルの場合とも無視して差支えないので、インターフェース回路の電力消費の面からは、 R_L は大きくした方がよいが、MOSの入力容量および浮遊容量が存在することによる立上り時間の問題からは、逆に R_L は小さくした方がよいということになる。 R_L の最小値は、MOS入力を駆動するTTLのsink電流条件で決まり、例えば図4-2(a)の例では

$$R_{L(\min)} = \frac{12}{16} = 750[\Omega]$$

となり(b)の例では

$$R_{L(\min)} = \frac{5}{16} \doteq 300[\Omega]$$

となる。

4-2-2 MOS出力に対する

インターフェース

MOS出力とTTLとのインターフェース回路は、MOSデバイスの出力回路形式によって次の3つの構成が考えられる。

i) シングルエンデッド(開放ドレイン)出力の場合

図4-3は、MOS出力回路が開放ドレイン形式の場合のTTLとの接続方法を示めている。(a)は高スレッシュホールドMOSとTTLの例であり、(b)は低スレッシュホールドMOSと、TTLのインターフェースの例である。

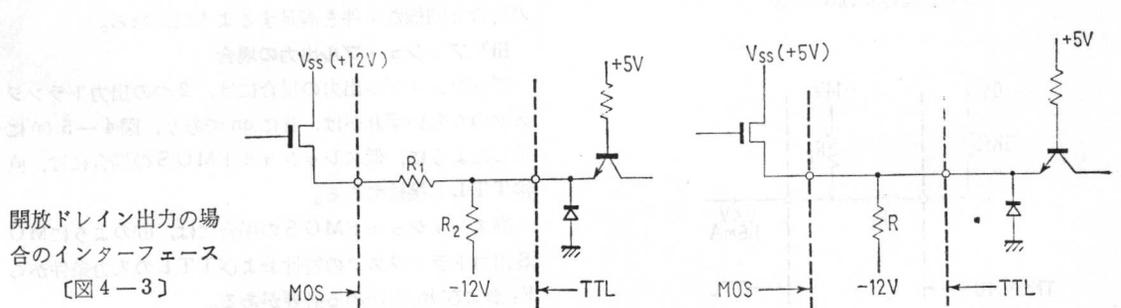
(a)において、MOS出力トランジスタがoffのとき、TTL入力は低レベルとなり、 $V_{in(0)} = 0.4[V]$ 、 $I_{in(0)} = -1.6[mA]$ の条件を満足するように、またクランプダイオードにかかる電圧電源条件が $-1.5V$ 、 $-12mA$ を起えない範囲で R_2 を決める。

次にMOS出力トランジスタonのとき、TTLの入力条件 $V_{in(1)} = 2.4[V]$ 、 $I_{in(1)} = 40[\mu A]$ を満足し、しかもTTLの入力電圧が $5.5V$ を超えないように R_1 を決める。

(b)では、MOS出力トランジスタがonになってもTTL入力における電圧は、 $5.5V$ を超えることがないので、 R_1 が省略され、TTLの低レベル時の条件 $V_{in(0)} = 0.4[V]$ 、 $I_{in(0)} = -1.6[mA]$ を満足させるためのプルダウン抵抗 R のみを使用すればよい。

ii) ダブルエンデッド出力の場合

図4-4はダブルエンデッド出力の場合のMOS-TTLの接続例である。(a)は低スレッシュホールドMOSデバ

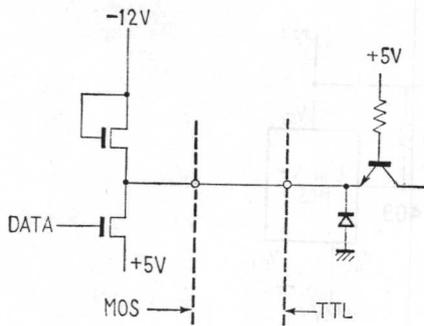


開放ドレイン出力の場合のインターフェース

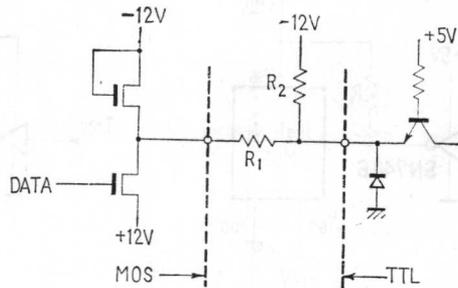
【図4-3】

(a) 高スレッシュホールドMOS-TTL

(b) 低スレッシュホールドMOS-TTL

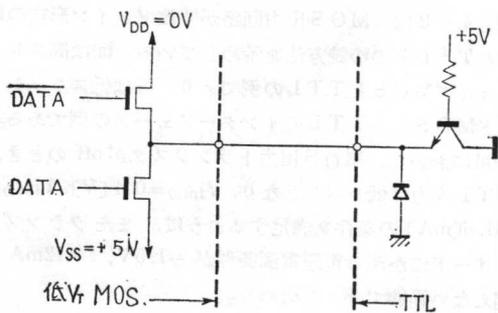


(a) 低スレッシュホルド MOS-TTL

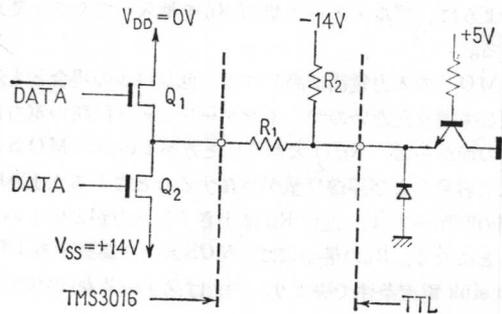


(b) 高スレッシュホルド MOS-TTL

〔図4-4〕ダブルエンデッド出力の場合のインターフェース

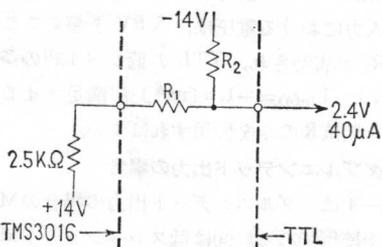


(a) 低スレッシュホルド出力とTTLの接続

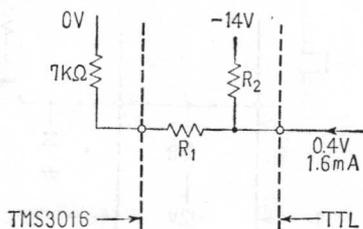


(b) 高スレッシュホルド出力とTTLの接続

〔図4-5〕



(a) 高論理レベルの場合



(b) 低論理レベルの場合

高スレッシュホルド PP 出力 MOS-TTL の等価回路

〔図4-6〕

イスの例で、出力トランジスタが off となった場合にも、TTL側のクランプダイオードの最大定格を超えないように負荷抵抗代りとなっているMOSトランジスタの抵抗が決められているので、図のように直接接続することが可能である。

(b) は高スレッシュホルド MOS の場合であり、MOS出力トランジスタが on になったとき、TTL入力電圧が 5.5V を超えないように R_1 と R_2 で電圧を分割するようにしたもので、 R_1 、 R_2 の値は先の開放ドレイン出力の場合と同様な条件を満足するように決める。

iii) プッシュ・プル出力の場合

プッシュ・プル出力の場合には、2つの出力トランジスタのうちいずれかは、常に on であり、図4-5(a)に示したように、低スレッシュホルドMOSの場合には、直接TTLと接続できる。

高スレッシュホルドMOSの場合には、(b)のようにMOS出力トランジスタの特性およびTTLの入力条件から R_1 および R_2 を決める必要がある。

例えば、TMS-3016の場合、出力回路の形式は図4-5のようであり、 Q_1 、および、 Q_2 が交互に on するが、この Q_1 、 Q_2 の on 時の抵抗の最大値がそれぞれ $7k\Omega$ 、および、 $2.5k\Omega$ となっているから、これらの条件

より、TTL入力点で高論理レベル、低論理レベルの入力条件が満足されるように、 R_1 および R_2 を決定すればよい。

すなわち、TTL入力点が高論理レベルおよび低論理レベルのときの等価回路は図4-6のようになり、従って R_1 、 R_2 の値は、それぞれ $3.9k\Omega$ および $9.1k\Omega$ となる。

4-2-3 クロックドライバ

MOSのシフトレジスタ、ダイナミック R.O.M (Read Only Memory) あるいはダイナミック R.A.M (Random Access Memory) では、データの入力の他にクロックパルスを入力を必要とする。MOSデバイスのクロック入力も、データ入力と同様に直流での入力抵抗が大きく、入力電流は無視してもかまわない。ただし、このクロックパルス入力は、データ入力と比べて次のような相異がある。

①入力する信号振巾は、 $V_{GG}-V_{SS}$ のレベルを必要とする。

②クロック端子の入力容量は、データ入力容量よりかなり大きい。

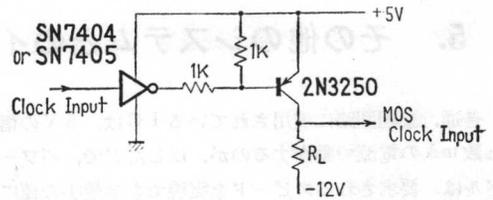
①については、データ入力の振巾が $V_{DD}-V_{SS}$ のレベルを必要としたのと比べると、大きな相異があり、従って、このようなレベルのクロックを作るには、当然データ入力に対するインターフェース回路とは、異なった回路構成が必要である。

また、②については、高速度動作を行なうとき、この入力容量に対し、高速度で充電電できるようなインターフェース回路が必要である。図4-7は、これらMOSのクロック入力を駆動するための最も簡単なクロックドライバの例で、(a)は低スレッシュホールドMOSの場合であり、(b)は高スレッシュホールドMOSの場合である。

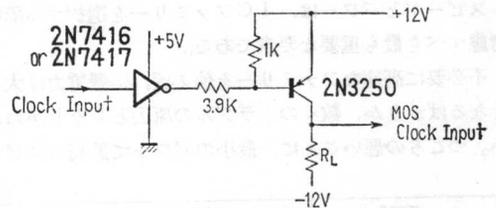
何れも、 R_L は電力消費などから決めればよいが、ある程度高速度が要求されるときは、 R_L を低くしなければならぬ。図4-7の例では、クロックの入力容量がかなり大きい場合には、クロックパルスの立下りが遅くなり、高速度の動作は不可能である。

このような場合、クロックの入力容量の電荷を急速度に放電できるようなクロックドライバが必要となる。

図4-8は、かなり入力容量の大きなクロック端子を高速度で駆動できるような、高スレッシュホールドMOSのクロックドライバの例である。

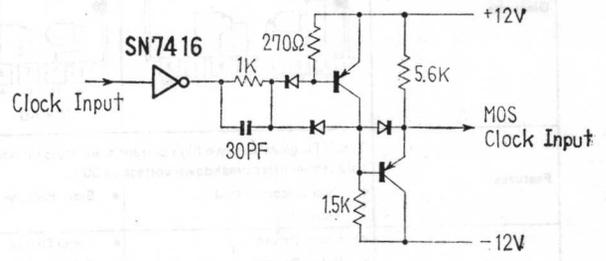


(a) 低スレッシュホールドMOSのクロックドライバ



(b) 高スレッシュホールドMOSのクロックドライバ

簡単なMOSクロックドライバの構成例
[図4-7]



Tr: 2N2905 Di: 1N914
[図4-8] 高速MOSクロックドライバ

5. その他のシステムとのインターフェース

普通、論理回路に使用されているICは、5Vの信号と数mAの電流で動作するのが、ほとんどで、パワーレベルは、要求されるスピードを実現できる最小の値になるように設計されている。

スピードとパワーは、ICファミリーを選択する際に考慮すべき最も重要な要素である。

不必要に高速なファミリーを使えば、消費電力は大きくなるばかりか、数々のトラブルの原因ともなりかねない。つごうの悪いことに、最小のパワーで最高のスピー

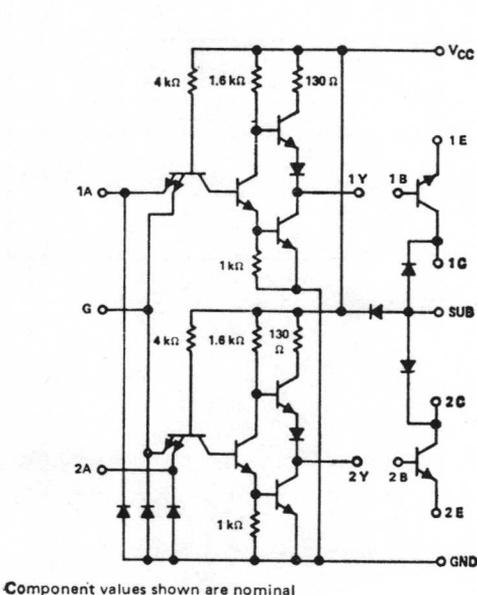
ドを得るようにすると、よりノイズに影響されやすくなる。低電力信号は、一般的に大電力ノイズによって、より簡単に影響され、高速回路は高速ノイズにより感じやすい。

一方、低速回路は高速ノイズを吸収する傾向にある。すなわち、一種のフィルタとして働らく。そこで、回路を大電力、高速ノイズから隔離する必要がある。各所で生ずる。

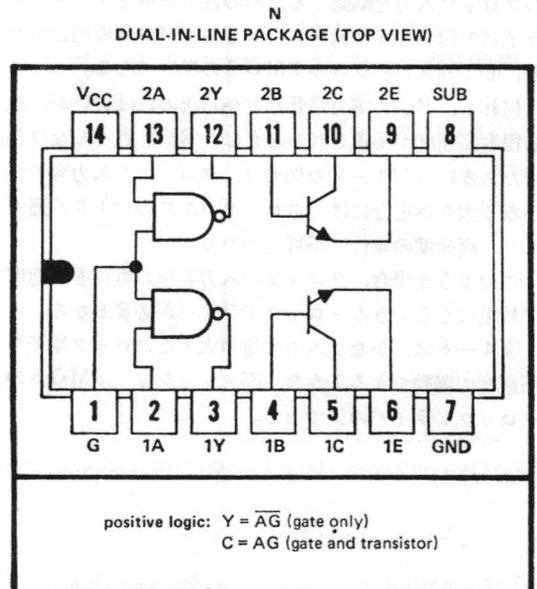
また、ICでは実現できない性能や応用上のメリット

TYPE	SN75450A	SN75451A	SN75452	SN75453	SN75454
Block Diagrams					
Features	Two TTL gates and two high current transistors on one chip. Each transistor sinks 300 mA of current and has a minimum collector-emitter breakdown voltage of 30 V.				
Applications	<ul style="list-style-type: none"> Two Uncommitted Transistors Lamp Driver Relay Driver MOS Driver Line Driver 	<ul style="list-style-type: none"> 8-pin Package Lamp Driver Relay Driver 	<ul style="list-style-type: none"> AND Gates Lamp Driver Relay Driver 	<ul style="list-style-type: none"> NOR Gates Lamp Driver Relay Driver 	<ul style="list-style-type: none"> OR Gates Lamp Driver Relay Driver
Package	N	P	P	P	P

◀表5-1▶ SN55/75450 シリーズのセレクション・ガイド

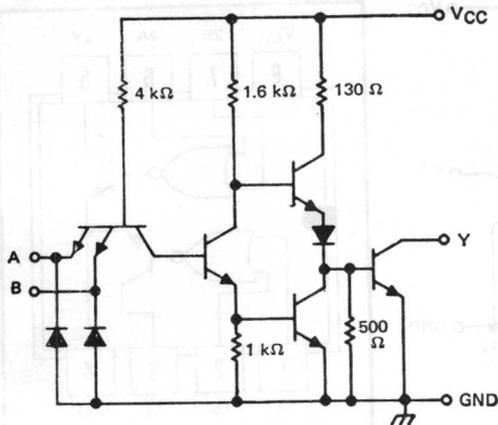


〔図5-1〕 SN75450Aの回路図



〔図5-2〕 ブロック図

schematic (each driver)



Component values shown are nominal

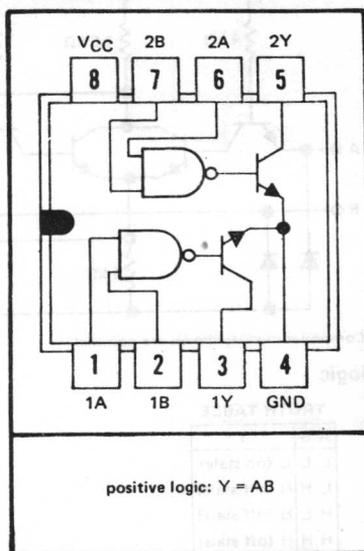
logic

TRUTH TABLE

A	B	Y
L	L	L (on state)
L	H	L (on state)
H	L	L (on state)
H	H	H (off state)

H = high level, L = low level

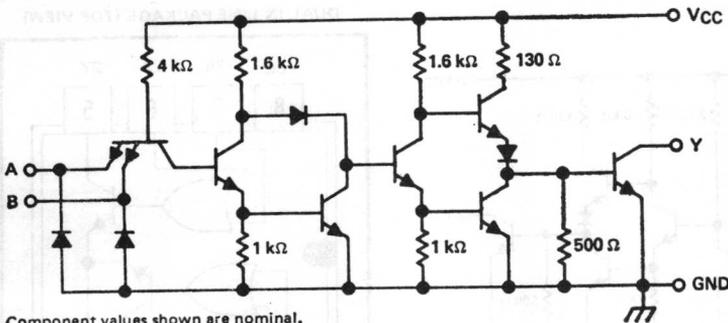
DUAL-IN-LINE PACKAGE (TOP VIEW)



〔図5-3〕SN75451Aの回路図

〔図5-4〕SN75451Aのブロック図

schematic (each driver)



Component values shown are nominal.

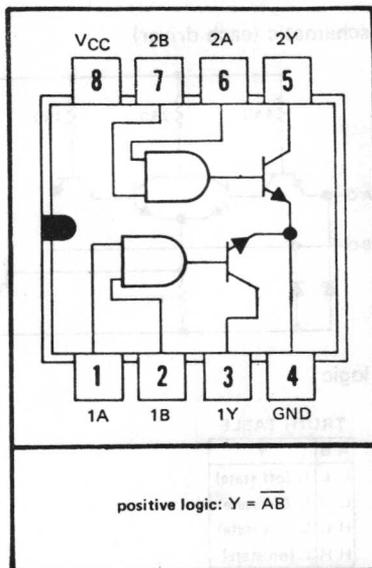
logic

TRUTH TABLE

A	B	Y
L	L	H (off state)
L	H	H (off state)
H	L	H (off state)
H	H	L (on state)

H = high level L = low level

DUAL-IN-LINE PACKAGE (TOP VIEW)



〔図5-5〕SN75452の回路

〔図5-6〕SN75452のブロック図

を持つ部品や素子類も多く、それぞれの特長を生かすため、ICと混用する手法がとられるが、インターフェース的に用いるそれらの駆動用ICの要求も多い。

このような必要性からTI社は、汎用性に富んだCSICとして、SN55/75450シリーズを加えた。

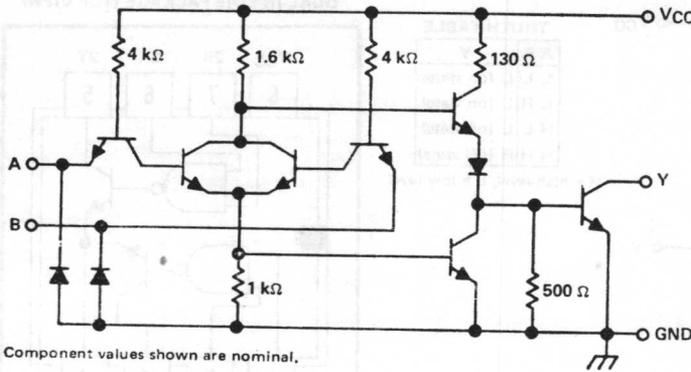
特に汎用性を持たせたこれらのICは、このような応用にも、十分満足するものと思われる。ここでは、以上のような目的に供するCSICの特性と、その応用について述べる。

5-1 SN55/75450シリーズの回路構成および電気的特性

NS55/75450シリーズのセレクションガイドを表5-1に示す。このシリーズのブロック図、および、回路図を図5-1～図5-10、に示す。

図から判るように、このCSIC (SN55/75450A) はモノリシック回路で、2組のTTLと2組のパートランジスタから構成されていて、入力回路はTTLとコ

schematic (each driver)



Component values shown are nominal.

logic

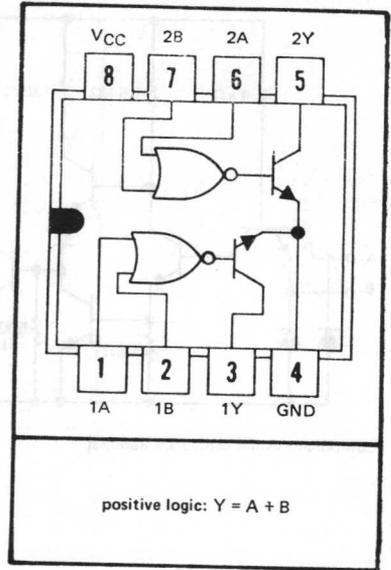
TRUTH TABLE

A	B	Y
L	L	L (on state)
L	H	H (off state)
H	L	H (off state)
H	H	H (off state)

H = high level, L = low level

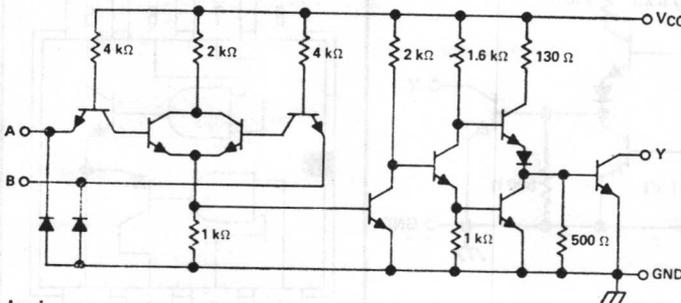
【図 5-7】 S N75453 の回路

P
DUAL-IN-LINE PACKAGE (TOP VIEW)



【図 5-8】 S N75453 のブロック図

schematic (each driver)



logic

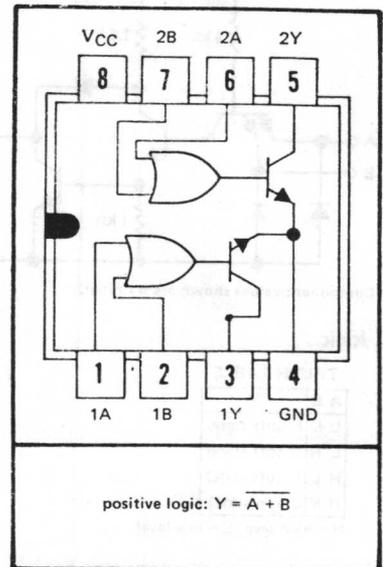
TRUTH TABLE

A	B	Y
L	L	H (off state)
L	H	L (on state)
H	L	L (on state)
H	H	L (on state)

H = high level, L = low level

【図 5-9】 S N75454 の回路

P
DUAL-IN-LINE PACKAGE (TOP VIEW)



【図 5-10】 S N75454 のブロック図

ンパチブルで、バイポーラ・ロジック・レベル(BLL)の信号を受け大電力信号に変換し、外部回路を制御する。

ここで、電力レベルは50倍以上に増幅される。これらのパワートランジスタは、飽和電圧 ($V_{CE(sat)}=0.4V$) が低く、出力に流入するシンク電流はそれぞれ 300mA である。2組 NAND のゲートは、標準 TTL と同じ特性を持っており、平均伝達遅延時間は、10ns である。

なお、個別部品の接続による応用ができるように、各

回路は独立している。また、出力回路は、開放になっているため、コレクタ・ロジックも可能で、出力電流を多く取るには、並列に使用すればよい。

このシリーズには、次のようなファミリーを取そろえている。S N55/75451 A, S N55/75452 A, S N55/75453 A, S N55/75454 A 等があり、ブロック図からもわかるように、これらは、電気的特性は同一で、ただ出力回路方式が異なるだけである。

5-2 アプリケーション

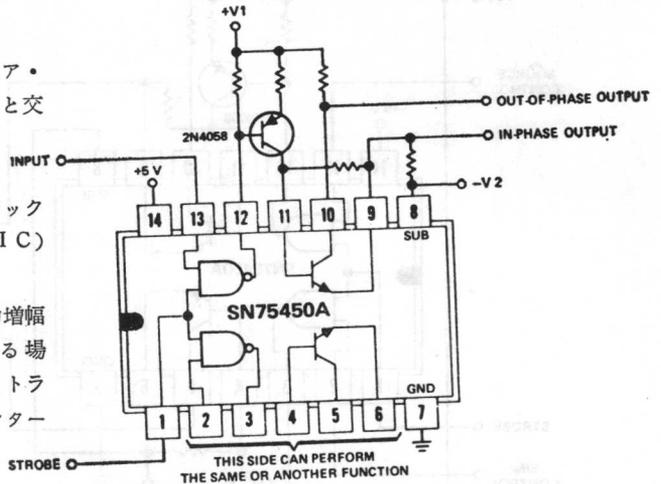
IC論理回路は、常に外部回路（I/Oハードウェア・リレー・ランプ、その他、大電力制御をするもの）と交信しなくてはならない。

一般にこれらの外部回路は、ロジック回路の数10倍の電力レベルで動作する。したがって、ロジックと外部回路を接続するインターフェース回路(CSIC)が必要となる。

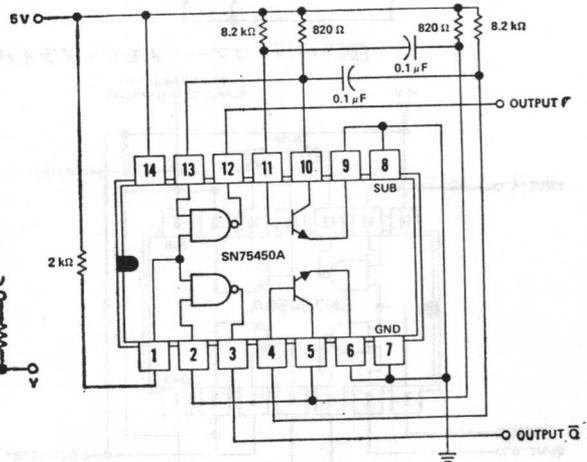
従来はシステム・デザインの際、たとえば、電力増幅回路、ランプ駆動、あるいは、リレー等を駆動する場合、普通、標準TTLゲート回路の出力へパワー・トランジスタを付加して遂行しているが、これらのインターフェース回路は、経済的(工数)な面、あるいはスペース・ファクタ的な問題からしても、なかなかめんどろである。

以上のような問題を緩和するために、汎用性の高いこの多目的インターフェース用ICを積極的に使用して、コストパフォーマンスを考慮した、システムのオールIC化を実現されることを望む。

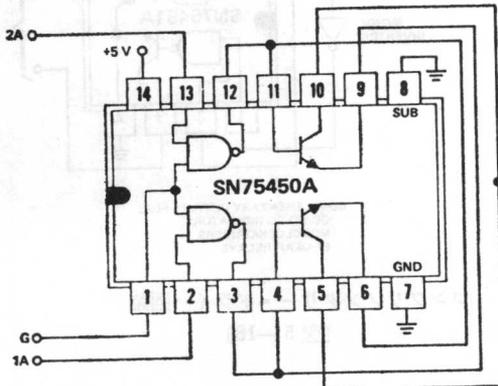
応用例を図5-11~図5-26に示す。



〔図5-13〕フローティング・スイッチ回路

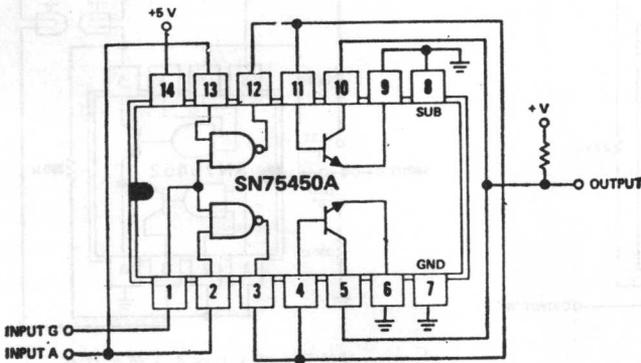


〔図5-14〕方形波発振器

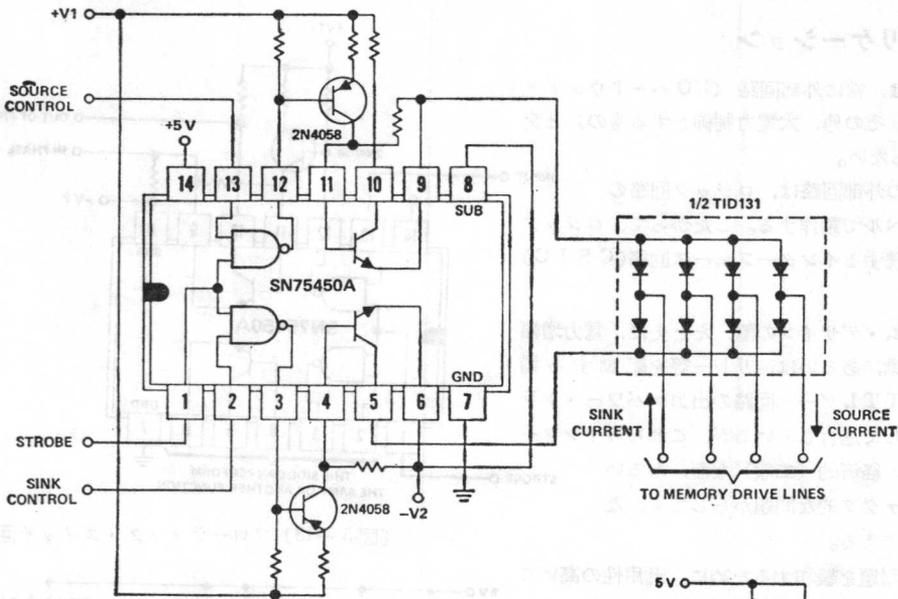


$$Y = \bar{G} + 1A \cdot 2A + 1\bar{A} \cdot 2\bar{A}$$

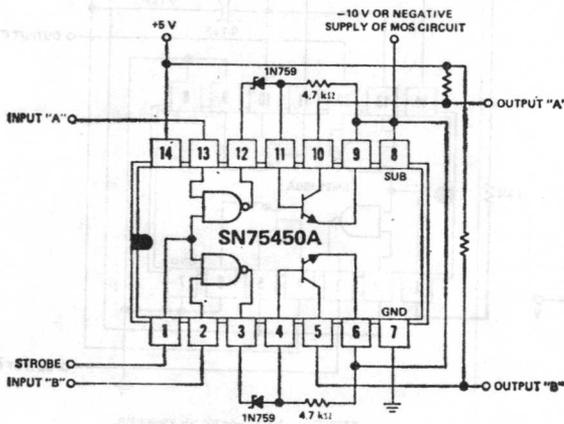
〔図5-11〕ゲート・コンパレータ回路



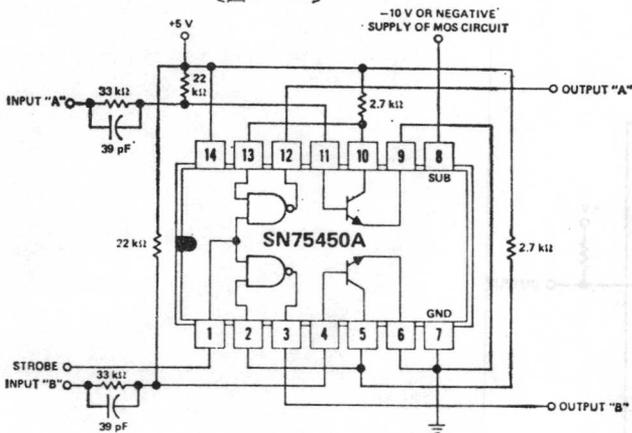
〔図5-12〕500mA シンク回路



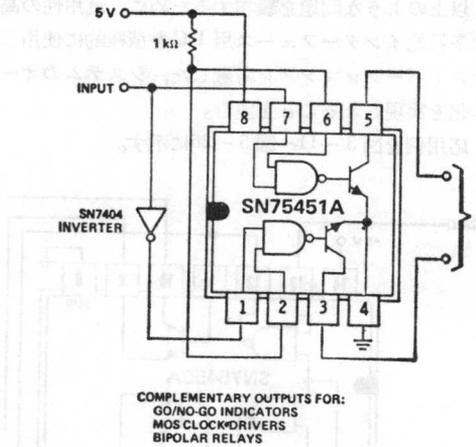
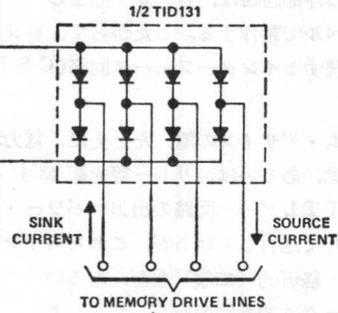
【図5-15】 コア・メモリ・ドライバ回路



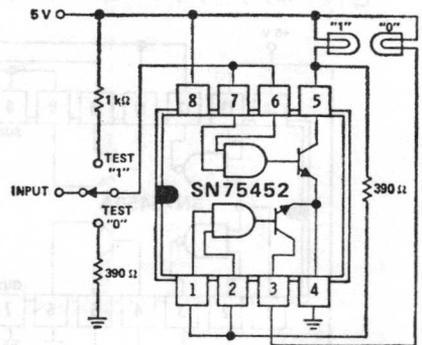
デュアル・インターフェース回路
(TTLレベルからMOSレベルへの変換)
【図5-16】



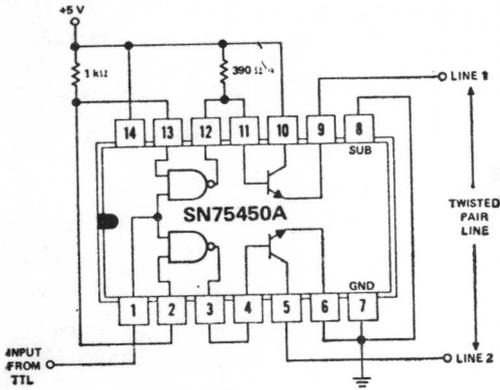
デュアル・インターフェース回路
(MOSレベルからTTLレベルへの変換)
【図5-17】



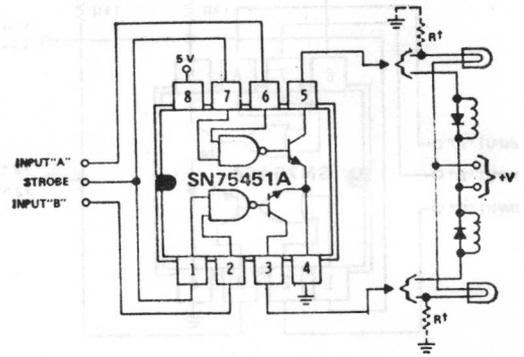
コンプリメンタリー・ドライバ回路
【図5-18】



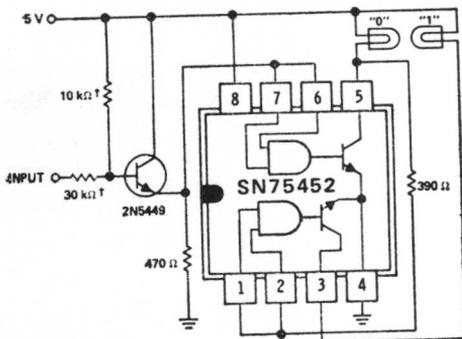
ポジティブ・レベル・デテクタ
(TTL/DTL用)
【図5-19】



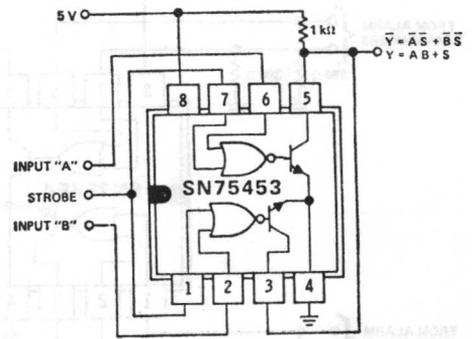
平衡型ライン・ドライバ回路
〔図5-20〕



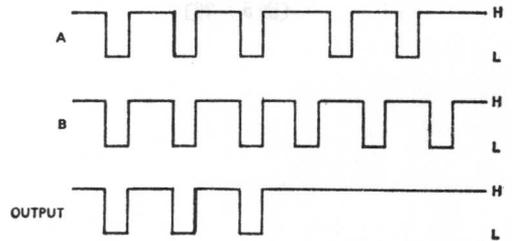
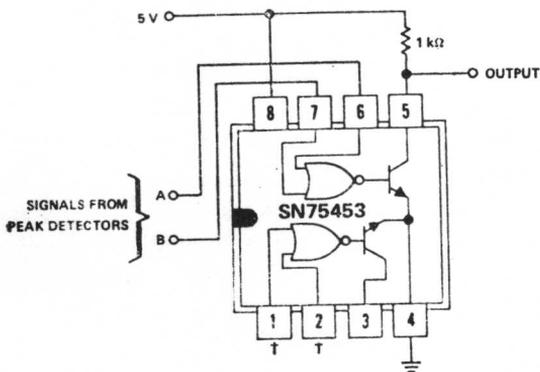
デュアル・ランプ又はリレー・ドライバ回路
〔図5-21〕



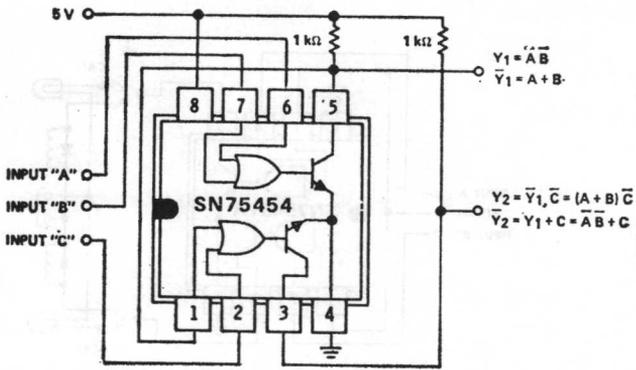
ネガティブ・レベル・デテクタ回路
(MOS用)
〔図5-22〕



コンパレータ回路 (論理信号用)
〔図5-23〕

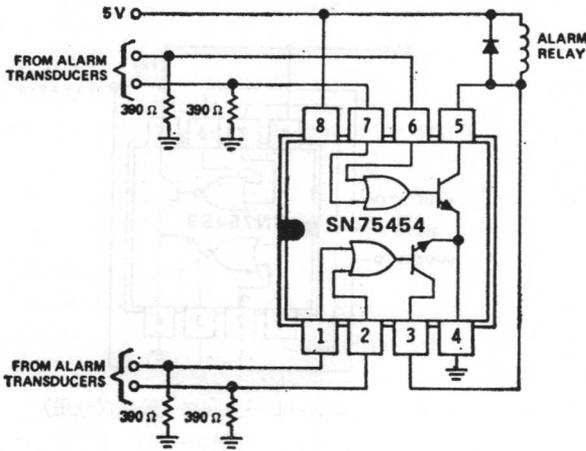


〔図5-24〕 フェーズ・デテクタ回路



多機能を持っているコンパレータ回路

〔図 5-25〕



アラーム・デテクタ回路

〔図 5-26〕

6. SN74S シリーズ TTL とその応用

6-1 ショットキ・クランプドTTLの概要

TI社のショットキ・クランプドTTL IC回路は、飽和形論理、および、不飽和形論理回路技術の長所をたくみに利用し、ショットキ・バリア・ダイオード(SBD)をトランジスタのコレクタベース間に接続して、少数キャリアの蓄積効果を押えた活発的な超高速ICである。

TTL ICは、現在中高速論理回路の主流をなし、最も広い分野に用いられ、したがって、ファミリーも一番多いデジタルICである。

その特長は、設計上の柔軟性、高密度性、使い易さと、デジタル・システムに必要な高速性に加えて消費電力が少ないことである。しかし、従来はカーレント・モード方式(電流切換形論理回路)の技術を用いなければ5ns以下のスイッチング・スピードを得ることができなかった。しかも、不飽和ロジック方式にもいくつかの欠点がある。

すなわち、

- ・ 消費電力が比較的大きい。
- ・ 集積密度に制限がある。
- ・ 特殊な電源が必要(きびしいスペックのため不経済)
- ・ システムの実装方法が難しい。
- ・ システムのコストが高い。

Series 54/74 family compatibility

Typical D-C Characteristics*	54S/74S	54H/74H	54/74	54L/74L
Supply voltage	5v	same	same	same
High level input voltage (min)	2v	same	same	same
Low level input voltage (max)	.8v	.8v	.8v	.7v
High level output voltage (min)	2.7v	2.4v	2.4v	2.4v
Low level output voltage (max)	.5v	.4v	.4v	.3v
High level noise margin (min)	700mv	400mv	400mv	400mv
Low level noise margin (min)	300mv	400mv	400mv	400mv
Fan out	10	same	same	same
Av. Power dissipation/gate *	20mw	23mw	10mw	1mw

*Duty cycle 50% $V_{CC} = 5v$ $T_A = 25^\circ C$.

Typical A-C Characteristics	54S/74S	54H/74H	54/74	54L/74L
Delay time high to low level	3ns	6ns	8ns	31ns
Delay time low to high level	3ns	6ns	12ns	35ns
Average delay time	3ns	6ns	19ns	33ns
Rise time	3ns	9ns	18ns	70ns
Fall time	3ns	5ns	6ns	20ns
Speed power product	60pj	138pj	100pj	33pj

ところがSBDによる新しい拡散技術により、以上のような問題点を解決し、しかも十分満足して使用できる。信頼度の高い新しいIC(ショットキー・クランプドTTL)が業界で認められ、米国の特許を取得している。

6-1-1 ショットキTTLの特徴及び用途

特徴

A 超高速で消費電力が非常に少ない

- 1 ゲートのプロパゲーションタイムは、標準値で3nsである。
- 2 消費電力が少い、ゲート当り20mW。
- 3 フリップ・フロップのクロック入力周波数が非常に早く125MHzである。

B システム設計が容易

- 1 入力クランプ・ダイオードによりシステム設計を簡単にしている。
- 2 D-Cノイズ・マージンが大きく標準値で1V以上ある。
- 3 出力インピーダンスが低く、A-Cノイズに強く、容量性負荷に対しても十分な駆動能力を有す。

C システムの経済性

- 1 従来のP/Cボードが使用できる。
- 2 終端抵抗不必要。

各ファミリーの電氣的特性

◀表6-1▶

- 3 特殊な電源を必要としない。
- 4 DTLやTTL論理回路と直接結合可能。

D 適合性

現在のシステムを変える必要はない。また、新しい論理設計規則を覚える必要がない。すなわち、54S/74SシリーズTTL ICは、従来のTTL系と完全にコンパクトである。

- 1 同一電源 ($V_{CC}=5V$) を使用。
- 2 同一論理機能。
- 3 ピン配列もスタンダードTTLシリーズ (54/74) と同じ。
- 4 同一パッケージ。

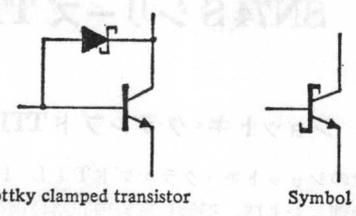
用途 ショットキTTL回路、すなわち54S/74Sシリーズはスピードとパワー積を考慮した超高速度のデジタル・システムを構成するのに最適である。例えば電子計算機のCPU、端末機器、デジタル計測機器、デジタル通信機器等の応用が考えられる。

6-1-2 SBD TTLの主な特性

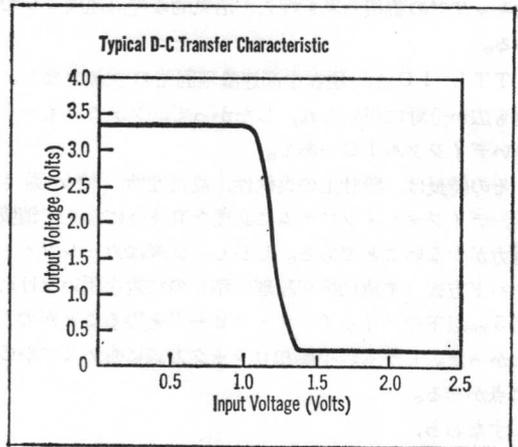
表6-1にSN54S/74S, SN54H/74H, SN54/74, SN54L/74Lの代表的な電気的特性を示す。表からわかるように、SN54S/74Sのスピード・パワー積は特にすぐれている。また他のシリーズと完全にコンパクトなので非常に使い易い。図6-1にショットキ・クランプド・トランジスタの断面図、図6-2に構成図及びシンボルを示す。

ショットキ・クランプド・トランジスタはSBDをnpnトランジスタのベース・コレクタ接合部に平行に取り付けて作られている。

メタライゼーションは、ベースとコレクタの“N”部の上にほどこされていて、そこにはメタル・シリコンダイオード構造が出来ている。このSBDはコレクタ・ベ-



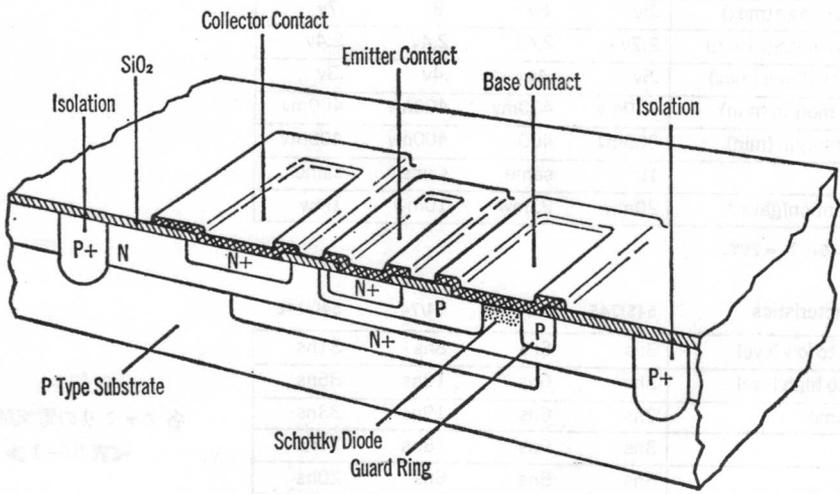
SBDトランジスタの構成図およびシンボル
〔図6-2〕



〔図6-3〕電圧伝達特性

ス接合よりも順方向電圧が低く、トランジスタをクランプし、過度なベース電流の殆んどをSBDに転流させトランジスタが飽和状態になるのを防いでいる。

SBDや、トランジスタにも少数キャリアの蓄積効果がないので、蓄積時間が大きく短縮されており、このためにトランジスタのスイッチング時間が大きく改善されている。ショットキ・クランプド・トランジスタは記号で示されているように、従来の集積回路と同様な方



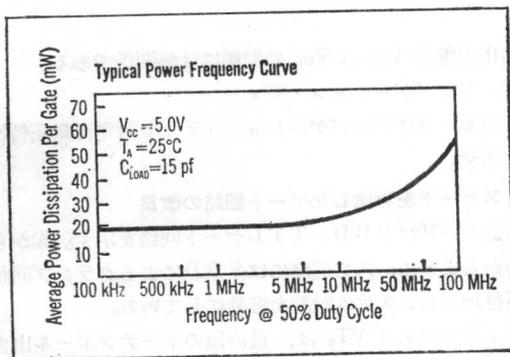
〔図6-1〕SBD TTLの断面図

法で作られている。図6-3にSN54/74Sの電圧伝達特性を示す。

図からわかるように、これは能動素子によるプルダウン構成によって、トランスファ特性をシャープにしている。

すなわち、入力電圧が論理“0”から“1”に変化したとき、出力回路の下方のトランジスタの前段のトランジスタと、抵抗の組合せからなる能動回路は、コモンエミッタ出力回路を急速にターン・オンさせるためのものである。

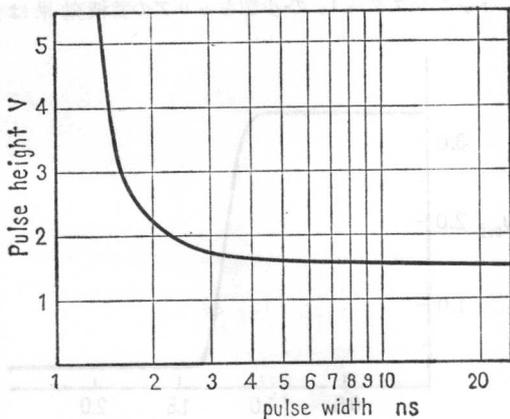
これによって、従来のTTL ICに見られたゆるやかなトランスファ特性を改善している。プルダウン出力回路は、トランジスタの飽和を防ぐため、ショットキ・クランプ方式を採用し、スピードを早めている。また



〔図6-4〕消費電力と周波数特性

	Min	Typ	Max
V_{OH}	2.7	3.3	
V_{OL}		0.2	0.5
V_{IH}	2.0	1.4	
V_{IL}		1.3	0.8

〔表6-2〕論理“1”，“0”の入出力電圧値



〔図6-5〕AC雑音余裕度

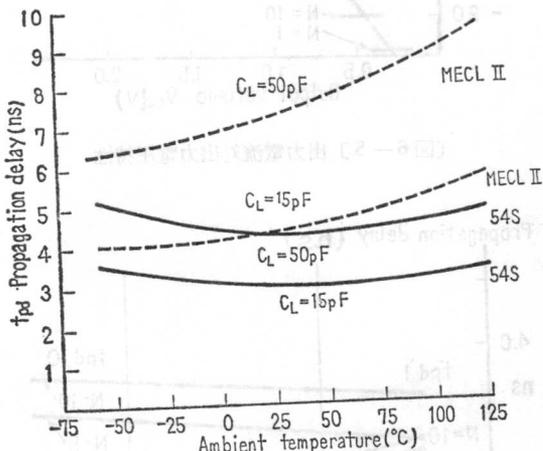
54S/74Sの消費電力と周波数の関係を図6-4に示す。図からわかるように、消費電力は、周波数範囲50MHzまでは一定で低電力使用が可能である。

ノイズマージン

表6-2に論理“1”，および、論理“0”における入力電圧の関係を示す。表6-2からわかるように、論理“1”に対するノイズ・マージンは標準値で1.9V，最悪条件を考慮すると0.7Vである。

また、論理“0”に対するノイズ・マージンは、標準値で1.1V，ワースト・ケースを考慮すると0.3Vである。パルス中に対するAC雑音余裕度を図6-5に示す。これはパルス中がせまくなるほどノイズに対する余裕度が高いことを示している。

プロパゲーション・ディレイに対する温度特性を図6-6に示す。図からわかるように、MECL IIは温度に対してかなりシビアであるが、54Sは変動が少なく信頼度が高くなっている。いかにいえば、ECLにくらべて54Sのスイッチング時間は、温度に対して非常に安定している。



プロパゲーション・ディレイ対温度特性 (SBD TTLとMECL IIの比較)

〔図6-6〕

各パラメータの電源特性

1 入力特性

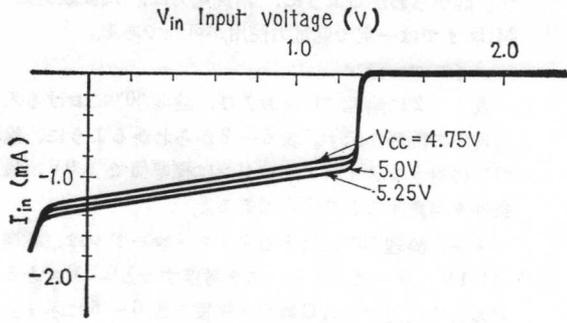
図6-7に入力電流対入力電圧特性を示す。図からわかるように、電源電圧 V_{CC} の変動により入力電流は変化する。

2 出力電圧 V_{OH} (論理“1”)

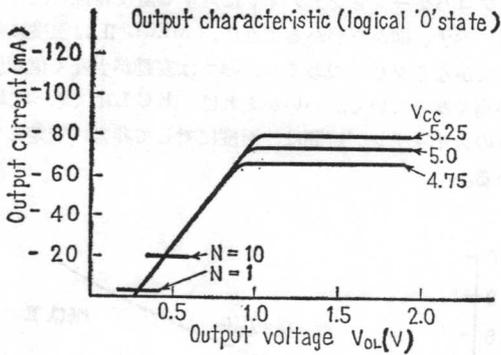
この V_{OH} も V_{CC} の変動によりえいきょうする。例えば、電源電圧 V_{CC} が4.75Vから5.25Vに変わった時、出力電圧 V_{OH} は0.5V増加する。

3 出力電圧 V_{OL} (論理“0”)

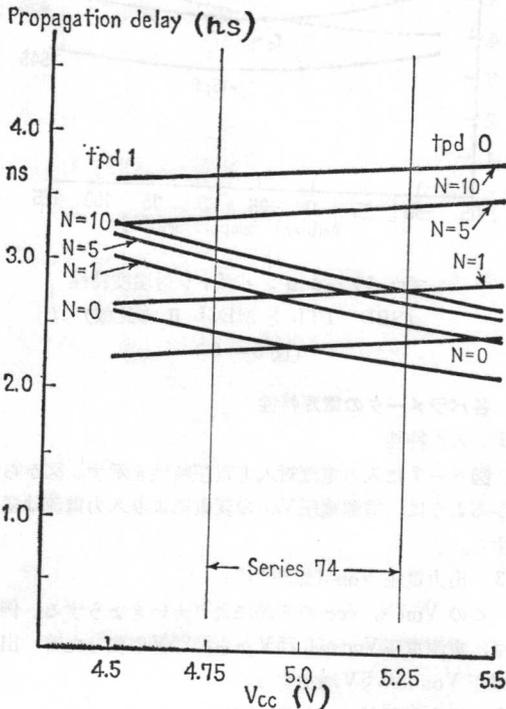
図6-8に出力電流対出力電圧特性を示す。論理“0”



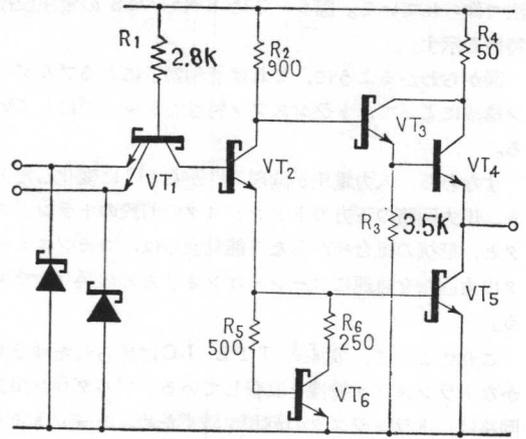
〔図6-7〕 入力電流対入力電圧特性



〔図6-8〕 出力電流対出力電圧特性



〔図6-9〕 T_{pd} 対電源電圧特性



〔図6-10〕 SBD TTL NAND ゲートの基本回路

の出力電圧 V_{OL} は V_{CC} の変動には無関係である。

4 プロパゲーション・ディレイ

図6-9にプロパゲーション・ディレイ対電源電圧特性を示す。

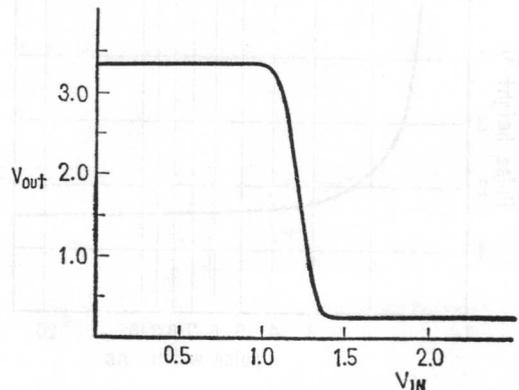
スピードを考慮したゲート回路の改良

図6-10にSBD TTLゲート回路を示す。図からわかるように、入力回路にはSBDによるクランプ回路が付加されシステム設計を容易にしている。

トランジスタ VT_6 は、最終段のトーテンポール出力回路の下方のトランジスタ VT_5 をドライブするために付加している。このトランジスタ VT_6 のため従来のTTLゲート回路と比較して、いろいろな点が改良されている。まず、電圧伝達特性図からわかるように、シャープなトランスファ特性を示している。

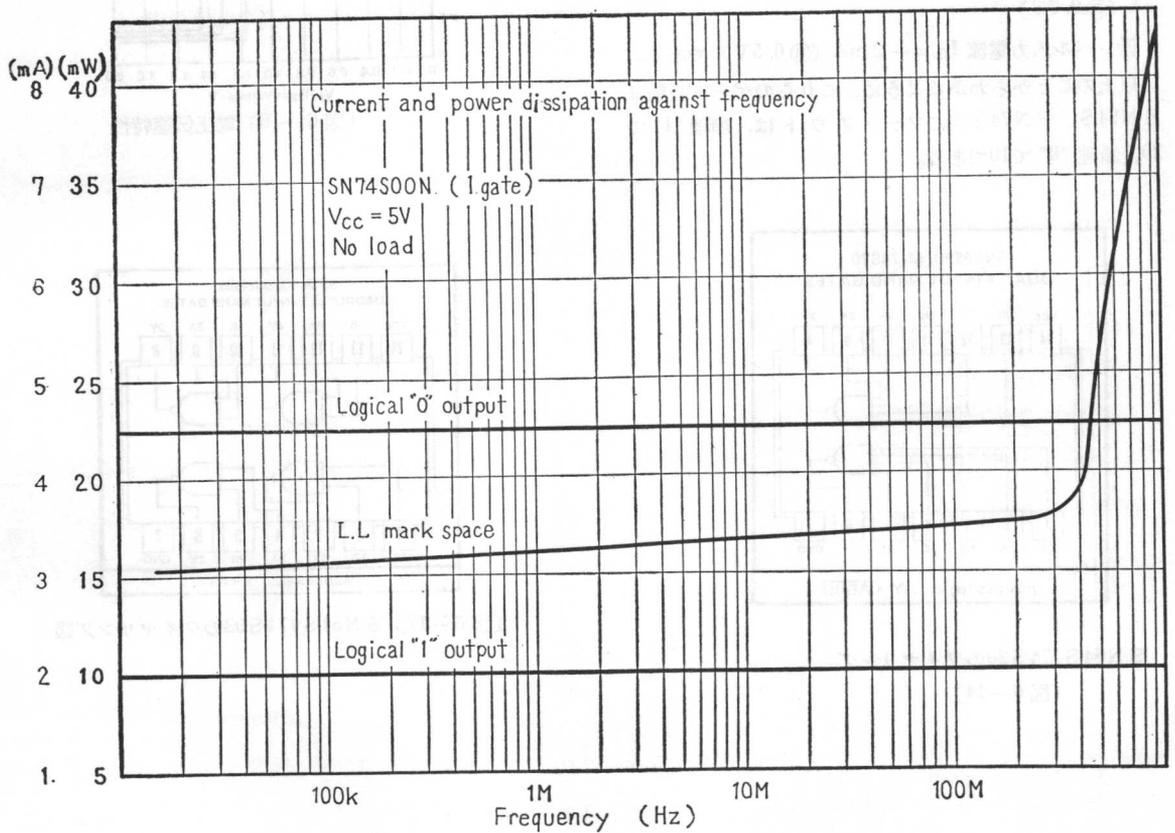
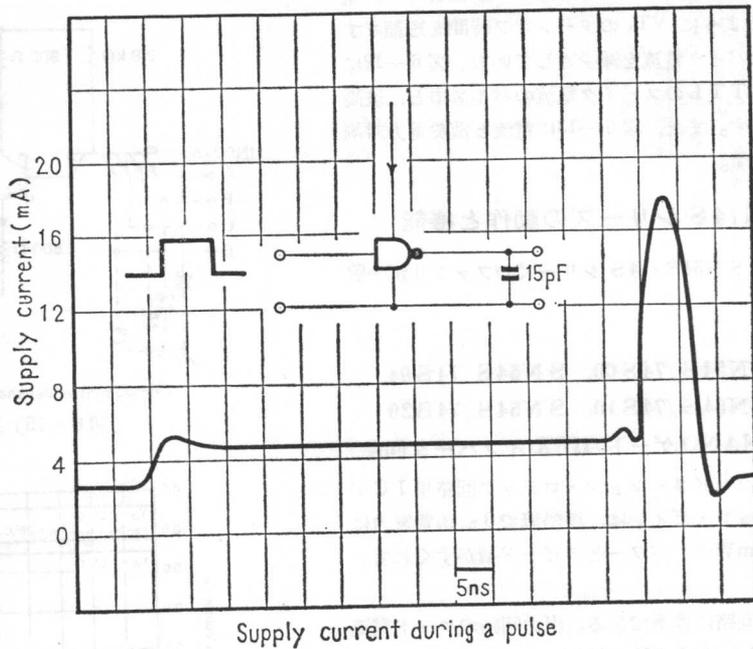
図6-11に入力電圧対出力電圧の関係を示す。また、論理“1”のノイズ・マージンが大きい。この付加されたトランジスタ VT_6 や、ショットキ・トランジスタの使用により、論理“0”から“1”に変化する時の電流スパイクを減少させている。

トランジスタ VT_6 の少数キャリアの蓄積効果は無



〔図6-11〕 電圧伝達特性

スパイク電流
[図6-12]



[図6 13] 電流と消費電力対周波数特性

視でき、ベース容量はトランジスタ VT_6 によって放電される。このように VT_5 のターンオフ時間を短縮すると、同時にスパイク電流を減少させている。図6-12にショットキーTTLのスパイク電流のパルス中と、波高値の関係を示す。また、図6-13に電流と消費電力対周波数特性を示す。

6-2 SN74S シリーズの動作と機能

表6-3にSN54S/74Sシリーズのファミリ別一覧表を示す。

6-2-1 SN54S/74S00, SN54S/74S04, SN54S/74S10, SN54S/74S20

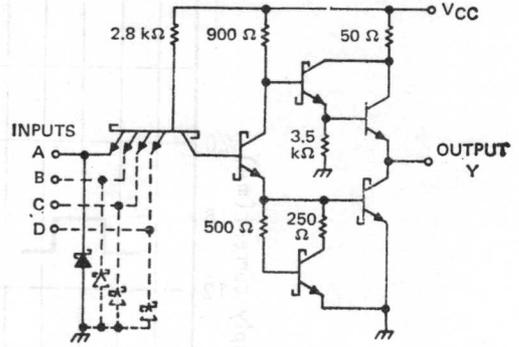
(NAND ゲート/HEX インバータ回路)

これらは、コンビネーション・ロジック回路用ICでプロパゲーション・ディレイは、標準値で3ns消費電力はゲート当り19mWで、パワーとスピード積がすぐれている。

高速度論理回路に最適である。出力回路のロード電流 $I_{OH} = -1$ [mA] (@2.5V (54S), 2.7V (74S)) シンク電流 $I_{OL} = 20$ mA (@0.5V) である。また入力特性は、最悪条件を考慮すると、高レベル入力電流 $I_{IH} = 50$ μ A (@2.7V)

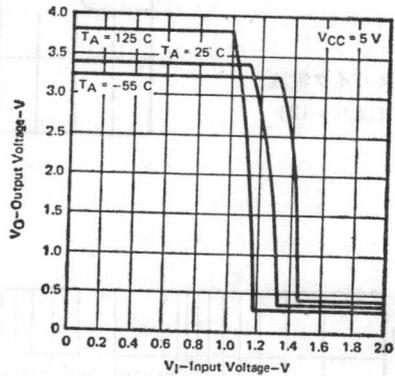
低レベル入力電流 $I_{IL} = -2$ mA (@0.5V) である。

以上のことからわかるように、これらのゲート回路はSN54S, SN74S共にファンアウトは、論理“1”で20, 論理“0”で10である。

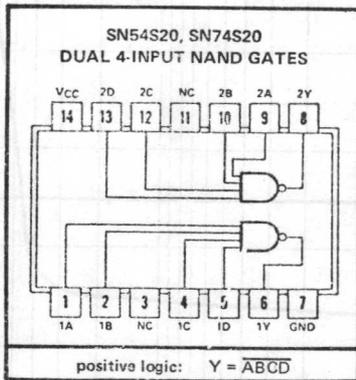


Component values shown are nominal.

〔図6-15〕回路図

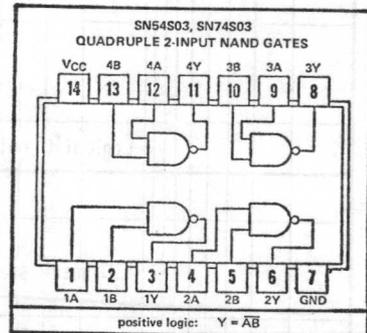


〔図6-16〕電圧伝達特性



SN54S/74S20のワイヤリング

〔図6-14〕



〔図6-17〕SN54S/74S03のワイヤリング図

FUNCTION

OPERATING TEMPERATURE RANGE
-55°C to 125°C 0°C to 70°C

PACKAGES*

Dual-In-Line Flat PAGE

NAND/NOR GATES

Quadruple 2-Input Positive-NAND Gates	SN54S00	SN74S00	J	N	W	5-4
Quadruple 2-Input Positive-NAND Gates (with Open-Collector Output)	SN54S03	SN74S03	J	N	W	5-8
Hex Inverters	SN54S04	SN74S04	J	N	W	5-4
Hex Inverters (with Open-Collector Output)	SN54S05	SN74S05	J	N	W	5-8
Triple 3-Input Positive-NAND Gates	SN54S10	SN74S10	J	N	W	5-4
Triple 3-Input Positive-AND Gates	SN54S11	SN74S11	J	N	W	5-10
Triple 3-Input Position-AND Gates (with Open-Collector Output)	SN54S15	SN74S15	J	N	W	5-10
Dual 4-Input Positive-NAND Gates	SN54S20	SN74S20	J	N	W	5-4
Dual 4-Input Positive-NAND Gates (with Open-Collector Output)	SN54S22	SN74S22	J	N	W	5-8
Dual 4-Input Positive-NAND Buffers	SN54S40	SN74S40	J	N	W	5-12
Dual 4-Input Positive-NAND Line Drivers	SN54S140	SN74S140	J	N	W	5-12

AND-OR-INVERT GATES

4-2-3-2-Input AND-OR-INVERT Gates	SN54S64	SN74S64	J	N	W	5-13
4-2-3-2-Input AND-OR-INVERT Gates (with Open-Collector Output)	SN54S65	SN74S65	J	N	W	5-13

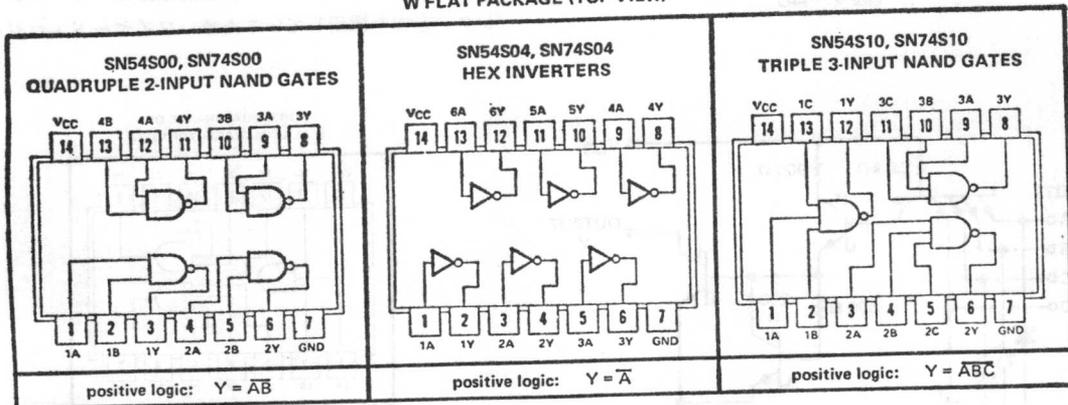
FLIP-FLOPS

Dual D-Type Edge-Triggered Flip-Flops	SN54S74	SN74S74	J	N	W	5-15
Dual J-K Negative Edge-Triggered Flip-Flops (80 MHz) with Preset and Clear	SN54S112	SN74S112	J	N	W	5-17
Dual J-K Negative Edge-Triggered Flip-Flops (80 MHz) with Preset	SN54S113	SN74S113	J	N	W	5-21
Dual J-K Negative Edge-Triggered Flip-Flops (80 MHz) Common Clock and Common Clear	SN54S114	SN74S114	J	N	W	5-21

* For outline drawings of all packages, see Section 1.

◀表 6-3▶ SN54S/74S シリーズのファミリ別一覧表

J OR N DUAL-IN-LINE OR
W FLAT PACKAGE (TOP VIEW)



SN54S/74S00のワイヤリング図
[図 6-18]

SN54S/74S04のワイヤリング図
[図 6-19]

SN54S/74S10のワイヤリング図
[図 6-20]

6-2-2 SN54S/74S03, SN54S/74S05, SN54S/74S22 (NAND ゲート/ HEX INVERTER 回路)

オープンコレクタ方式

これらの IC は、1つのパッケージの中に 2 入力 NAND ゲート回路が 4 組、4 入力 NAND ゲート回路が 2 組、あるいは、インバータ回路が 6 組納められていて、出力回路はすべてオープン・コレクタ方式を採用しているため、ワイヤード・ロジックが可能である。

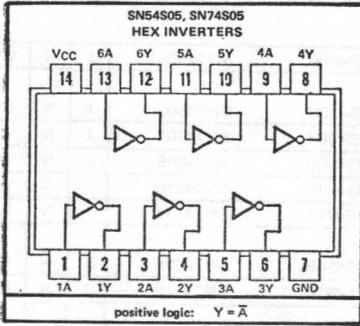
しかも、プロパゲーションタイムは標準値で 5 ns、消費電力はゲート当たり 17mW である。図 6-20 に SN54S/74S03 のワイヤリング図、図 6-21 に SN54S/74S05 のワイヤリング図、図 6-22 に SN54S/74S22 のワイヤリング図、図 6-23 に回路図を示す。

ロード電流 $I_{OH}=250\mu A$ @ $V_{OH}=5.5V$ 、シンク電流 $I_{OL}=20mA$ @ $0.5V$ 、入力特性は次のようになる。高レベル入力電流 $I_{IH}=50\mu A$ @ $2.7V$ 、低レベル入力電流 $I_{IL}=-2[mA]$ @ $0.5V$ 、である。以上のことからこれらの IC のファンアウトの数は 10 である。

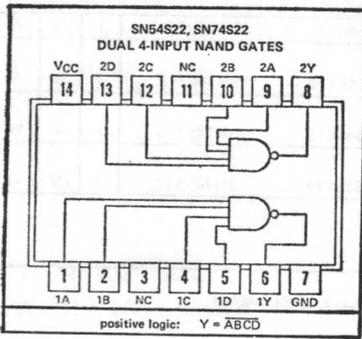
6-2-3 SN54S/74S11, SN54S/74S15 (トリプル、3 入力 AND ゲート回路)

これらの IC は、1つのパッケージの中に 3 入力の AND ゲート回路が 3 組納められている。SN54S/74S11 の出力回路は、アクティブ・プルアップ方式でプロパゲーション・タイムは、標準値で 5 ns、消費電力はゲート当たり 32mW である。

また、SN54S/74S15 の出力回路は、オープン・コレクタ方式を採用しているため、ワイヤード・ロジック

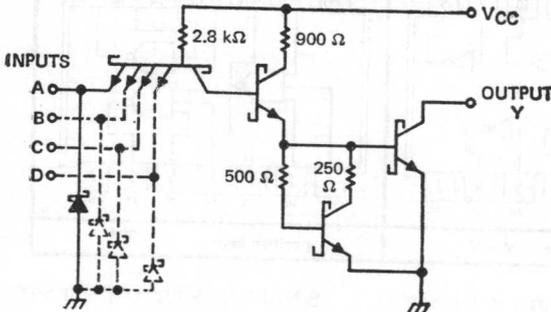


SN54S/74S05 のワイヤリング図
[図 6-21]



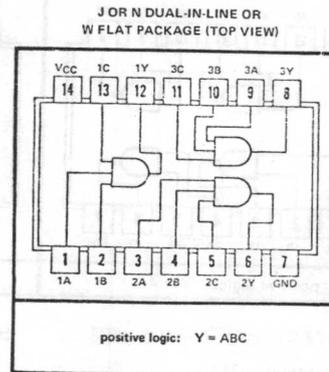
NC-No internal connection

SN54S/74S22 のワイヤリング図
[図 6-22]



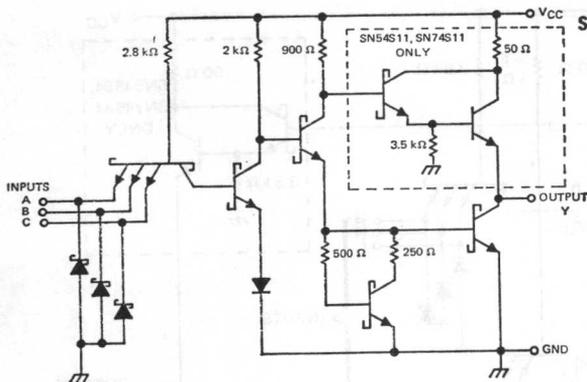
Component values shown are nominal.

[図 6-23] 回路図



SN54S/74S11, SN54S/74S15 の
ワイヤリング図

[図 6-24]



〔図 6-25〕 回路図

ができ、プロパゲーション・タイムは標準値で 6 ns、消費電力は、ゲートあたり 29mW を得ている。

ロード電流 $I_{OH}=250\mu A$ @ 5.5V = V_{OH} シンク電流 $I_{OL}=20mA$ @ 0.5V 入力特性は次のようになる。高レベル入力電流 $I_{IH}=50\mu A$ @ 2.7V 低レベル入力電流 $I_{IL}=-2mA$ @ 0.5V である。

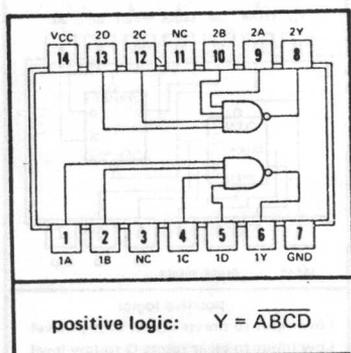
そのため、SN54S/74S11 のファンアウトは、論理“1”で 20、論理“0”で 10、また、SN54S/74S15 のファンアウトは、論理“0”で 10 である。図 6-24 に SN54S/74S11、SN54S/74S15 のワイヤリング図、図 6-25 に回路図を示す。

6-2-4 SN54S/74S40, SN54S/74S140

(デュアル 4 入力 NAND バッファ/ドライバ回路)

この IC は、1 つのパッケージの中に 4 入力 NAND バッファ・ゲート回路が 2 組納められている。ファンアウトが多くとれるラインドライバーとしてのアプリケーションも考えられる。

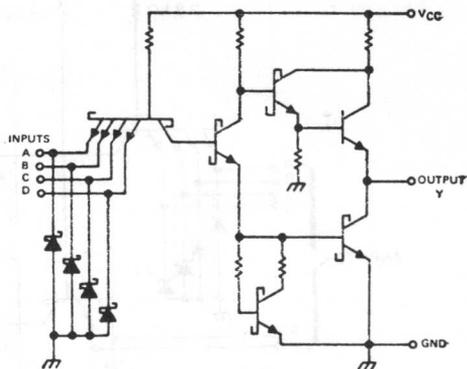
J OR N DUAL-IN-LINE OR W FLAT PACKAGE (TOP VIEW)



SN54S/74S40, SN54S/74S140 のワイヤリング図

〔図 6-26〕

schematic (each gate)



〔図 6-27〕 回路図

ンションも考えられる。プロパゲーション・タイムは、標準値で 4 ns である。

ロード電流 $I_{OH}=-3mA$ @ 2.7V シンク電流 $I_{OL}=60mA$ @ 0.5V、また、入力特性は次のようになる。

高レベル入力電流 $I_{IH}=100\mu A$ @ 2.7V、低レベル入力電流 $I_{IL}=-4mA$ @ 0.5V である。以上のことからファン・アウトの数は、論理“1”で 30、論理“0”で 15 である。

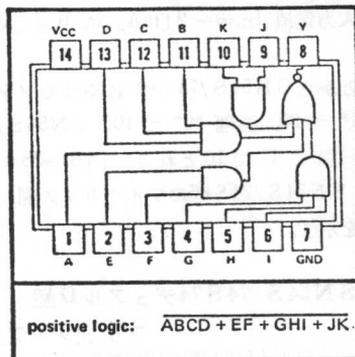
図 6-26 に SN54S/74S40、SN54S/74S140 のワイヤリング図、図 6-27 に回路図を示す。

6-2-5 SN54S/74S64, SN54S/74S65

(4-2-3-2 入力 AND-OR/INVERT 回路)

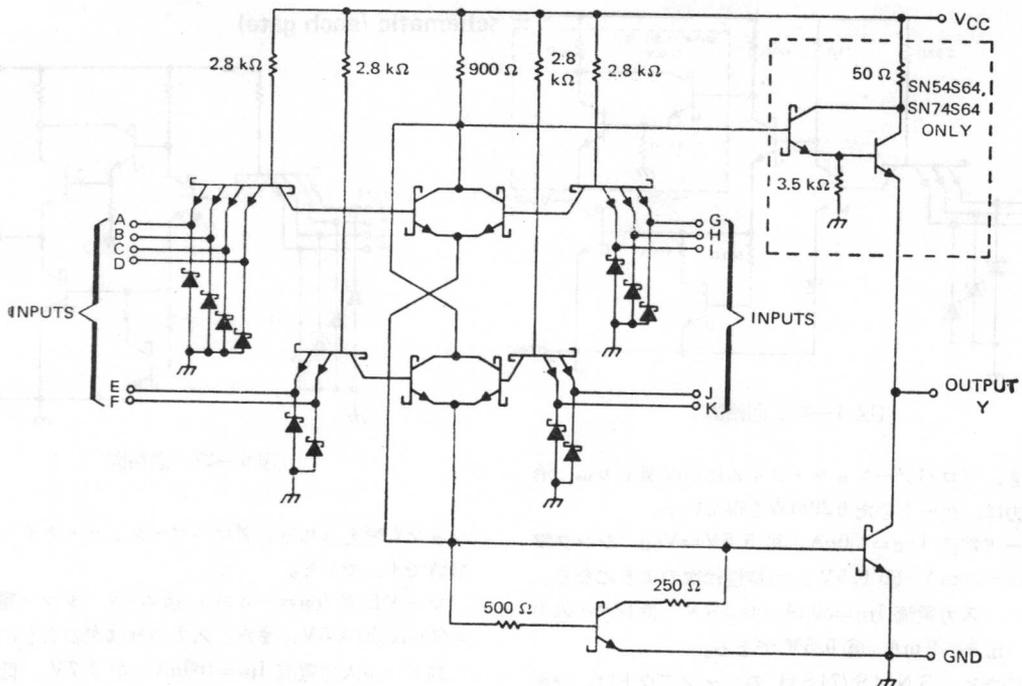
この IC は、1 つのパッケージの中に 4-2-3-2 入力の AND-OR-INVERT 回路が納められている。

J OR N DUAL-IN-LINE OR W FLAT PACKAGE (TOP VIEW)



SN54S/74S64, SN54S/74S65 のワイヤリング図

〔図 6-28〕



〔図6-29〕 回路図

SN54S/74S64 の出力回路は、アクティブ・プリアップ方式を採用しているため、プロパゲーション・タイムも速く標準値で 3.5ns、しかも、消費電力は標準値で 39mWである。

一方SN54S/74S65 の出力回路は、オープン・コレクタ方式なのでワイヤードロジックが可能である。プロパゲーション・タイムは、標準値で 5ns 消費電力は標準値で 36mWである。

- ロード電流 $I_{OH} = -1$ [mA]
- シンク電流 $I_{OL} = 20$ [mA] @ 0.5 [V]

また、入力特性は次のようになる。

- 高レベル入力電流 $I_{IH} = 50$ [μ A] @ 0.7 [V]
- 低レベル入力電流 $I_{IL} = -2$ [mA] @ 0.5 [V]

である。

以上のことからSN54S/74S64 に対するファンアウトは論理“1”で20、論理“0”で10、SN54S/74S65 に対しては、論理“1”で10とれる。図6-28にSN54S/74S64、SN54S/74S65のワイヤリング図、図6-29に回路図を示す。

6-2-6 SN54S/74S74デュアルD型

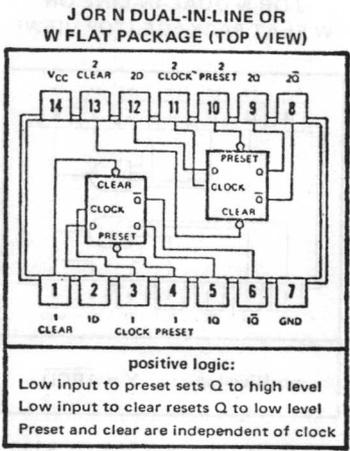
フリップ・フロップ

このICは、1つのパッケージの中に2組のD型フリップ・フロップ回路が納められている。また、このモノリシックIC (F/F) は超高速D型フリップ・フロップ回路を構成するため、ショットキTTL回路を採用し

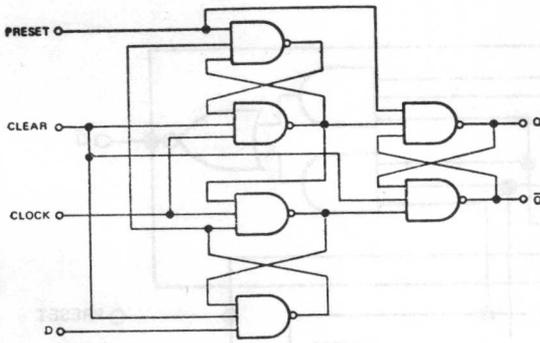
ている。各フリップ・フロップ回路は、それぞれ独立して、データ入力端子、クリア端子、プリセット入力端子および、コンプリメンタリ出力端子Q、 \bar{Q} をそなえている。

入力クロック周波数は 90 MHz、消費電力は標準値で 75mW/F. Fである。

- ロード電流 $I_{OH} = -1$ [mA] @ 2.7 [V]
 - シンク電流 $I_{OL} = 20$ [mA] @ 0.5 [V]
- で入力特性は次のようになる。



SN54S/74S74 のワイヤリング図
〔図6-30〕



〔図6-31〕ブロックダイアグラム

TRUTH TABLE
(Each Flip-Flop)

t_n		t_{n+1}	
INPUT	D	OUTPUT	Q
L	L	L	H
H	H	H	L

H = high level, L = low level

NOTES: A. t_n = bit time before clock pulse
B. t_{n+1} = bit time after clock pulse

真理値表

〔図6-32〕

高レベル入力電流 I_{IH} は、データ入力端子Dに対して $50\mu A$ 、クロックおよびプリセット入力端子に対して $100\mu A$ 、クリア入力端子に対して $150\mu A$ である。

低レベル入力電流 I_{IL} は、データ入力端子Dで $-2mA$ 、クロック、および、プリセット入力端子で $-4mA$ 、クリア入力端子で $-6mA$ である。

図6-30に、SN54S/74S74のワイヤリング図、図6-31にブロック・ダイアグラム、図6-32に真理値表を示す。

このフリップ・フロップの動作は真理値表からもわかるように、データ入力端子Dに情報をセットし、クロック入力端子にクロック・パルスを印加すれば、そのクロックパルスのポジティブ・エッジで入力情報が読み込まれ、出力端子Q、 \bar{Q} からこのF/Fに記憶されているデータを取り出すことができる。

この時、クリア、および、プリセット入力端子は常時論理“1”にする。また、クロック入力端子が論理“1”，あるいは、論理“0”の状態にある場合、データ入力端子の情報が変化しても、このF/Fの内容はかわらない。2進のカウンタとして使用する場合は、データ入力端子Dと、出力端子 \bar{Q} を接続（ジャンプ）し、クロック入力端子に諸要のクロックパルスを供給することにより、このフリップ・フロップ回路はバイナリカウンタとして動作する。

このF/Fは、この他の動作としてデータを直接セットおよび、リセットすることができる。直接セットする

場合は、プリセット入力端子を使用し、論理“0”なる信号を印加、逆にリセットしたい場合は、クリア入力端子を使用し、論理“0”なる信号を印加することにより可能である。

これらのF/Fは、他のTTL、DTL回路とコンパチブルである。

6-2-7 SN54S/74S 112 デュアルJ-K, F/F

これは、モノリシックJ-Kフリップ・フロップで、1つのパッケージの中に2組納められている。各フリップ・フロップ回路は、それぞれ独立したJ, K入力端子、クロック入力端子コンプリメンタリ出力端子Q, \bar{Q} 及び非同期的プリセット端子、クリア端子をそなえている。

入力クロック周波数は、125MHzで非常に早く、超高速度を要求される回路には最適である。また、消費電力は標準値で75mW/F.Fである。

出力特性はロード電流 $I_{OH} = -1mA$ @ 2.7V

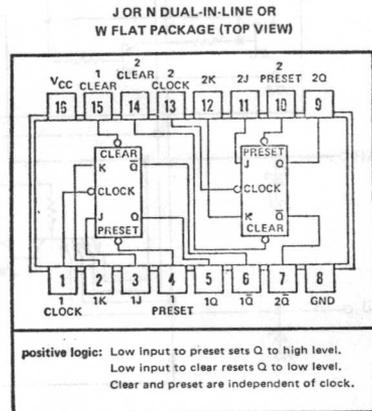
シンク電流 $I_{OL} = 20mA$ @ 0.5V

また、入力特性は次のようになる。

高レベル入力電流 I_{IH} は $50\mu A$ (J, K) $100\mu A$

(クロック, プリセット, クリア入力端子)

低レベル入力電流 I_{IL} は $-1.6mA$ (J, K), $-4mA$



SN54S/74S 112のワイヤリング図

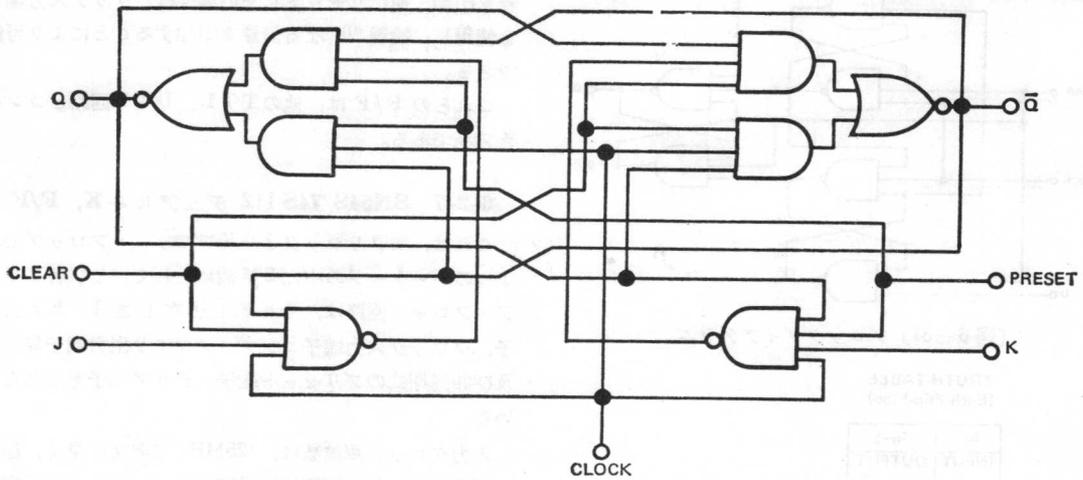
〔図6-33〕

TRUTH TABLE

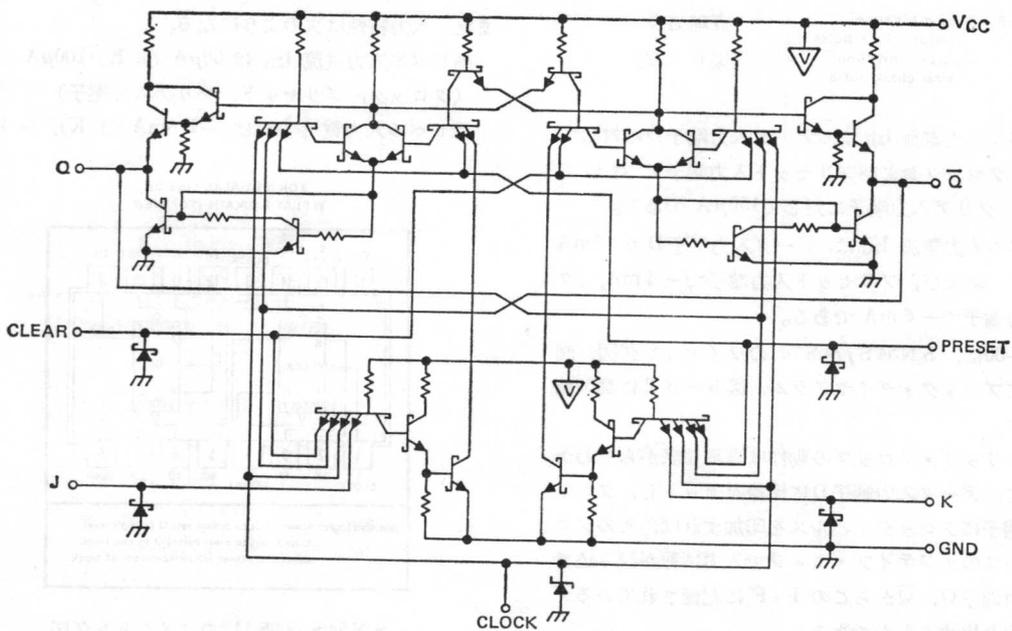
t_n		t_{n+1}
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	\bar{Q}_n

NOTES: A. t_n = Bit time before clock pulse.
B. t_{n+1} = Bit time after clock pulse.

〔図6-34〕真理値表



【図6-35】 SN54S/74S112のブロック・ダイアグラム



【図6-36】回路図

(クロック), -7mA (プリセット・クリア)である。

図6-33にSN54S/74S112のワイヤリング図, 図6-34に真理値表, 図6-35にブロック図, 図6-36に回路図を示す。このフリップ・フロップの動作は、スタンダード品のそれと全く同じで、クロックパルスのポジティブ・エッジでマスタにデータが読み込まれ、ネガティブ・エッジでマスタフリップ・フロップのデータがスレーブ側に転送される。

すなわち、クロック・パルスの立下りで、このF/Fは

真理値表にしたがって動作する。また、2進計数器として使用する場合は、真理値表からもわかるようにJ、K入力端子を論理“1”にするか、あるいは、J入力端子と出力端子 \bar{Q} 、K入力端子と出力端子Qを接続し、クロック入力端子に諸要のクロック・パルスを印加することにより可能である。

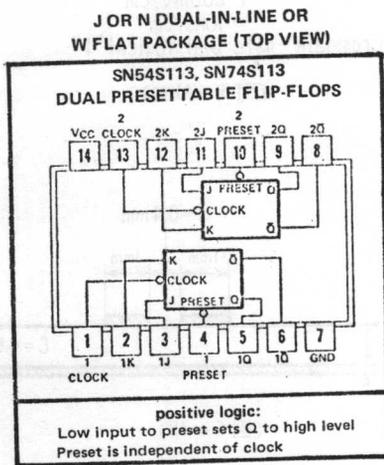
このとき、クリア端子、および、プリセット入力端子は、論理“1”にセットすること。また、この制御端子を使用して、このF/Fにデータを直接セット・リセット

さすことができる。直接セットする場合は、プリセット入力端子に論理“0”を、また、直接リセットしたい場合はクリア入力端子に論理“0”なる信号を印加することにより可能である。

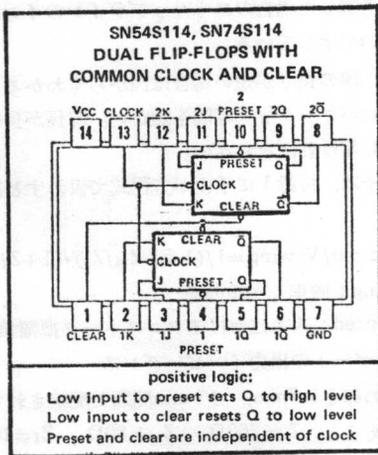
6-2-8 SN54S/74S113, SN54S/74S114 (デュアル J-K F/F)

モノリシック J-K フリップ・フロップで、1つのパッケージの中に2回路納められている。SN54S/74S113は独立した J, K 入力端子プリセット入力端子、クロック入力端子をそなえている。

SN54S/74S114は共通したクロック入力端子、クリア入力端子と独立した J, K 入力端子プリセット入力端子



SN54S/74S113のワイヤリング図
〔図6-37〕



SN54S/74S114のワイヤリング図
〔図6-38〕

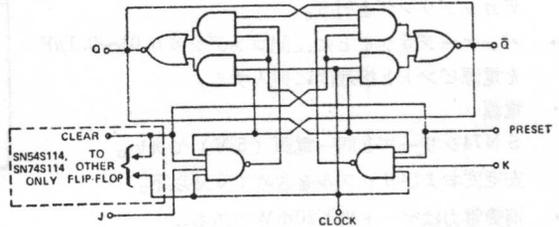
TRUTH TABLE

J	K	Q _{n+1}
L	L	Q _n
L	H	L
H	L	H
H	H	\bar{Q}_n

真理値表

NOTES: A. t_n = Bit time before clock pulse.
B. t_{n+1} = Bit time after clock pulse.

〔図6-39〕



〔図6-40〕ブロック図

子をそなえている。入力クロック周波数は、125MHz、消費電力は標準値で75mW/F.Fである。

出力特性はロード電流 $I_{OH} = -1\text{mA} @ 2.7\text{V}$
シンク電流 $I_{OL} = 20\text{mA} @ 0.5\text{V}$ また入力特性は次のようになる。高レベル入力電流 I_{IH} は SN54S/74S113 に対して、 $50\mu\text{A}$ (J, K), $100\mu\text{A}$ (クロック), $100\mu\text{A}$ (プリセット) SN54S/74S114 に対して、 $50\mu\text{A}$ (J, K), $200\mu\text{A}$ (クロック), $100\mu\text{A}$ (プリセット), $200\mu\text{A}$ (クリア) である。低レベル入力電流 I_{IL} は SN54S/74S113 に対して -1.6mA (J, K), -4mA (クロック), -7mA (プリセット), SN54S/74S114 に対して -1.6mA (J, K), -8mA (クロック), -7mA (プリセット), -14mA (クリア) である。

図6-37にSN54S/74S113のワイヤリング図、図6-38にSN54S/74S114のワイヤリング図、図6-39に真理値表、図6-40にブロック図を示す。

動作はSN54S/74S112と全く、同じで、SN54S/74S113に対しては、クリア制御端子がなく、SN54S/74S114はコモンクロック、および、コモンクリア制御方式になっている。また、これらのフリップ・フロップ回路のプリセット、および、クリア制御回路はクロック信号とは独立にコントロールでき、直接データをセットする場合は、このプリセット入力端子、また、リセットしたい場合はクリア入力端子に論理“0”なる入力信号を印加すれば可能である。

6-3 システム設計に対して

考慮すべき点

従来のTTLと特に変った点はないが超高速素子であるので、システム設計に対しては、高周波的な問題を考慮して進めれば良い。

実装

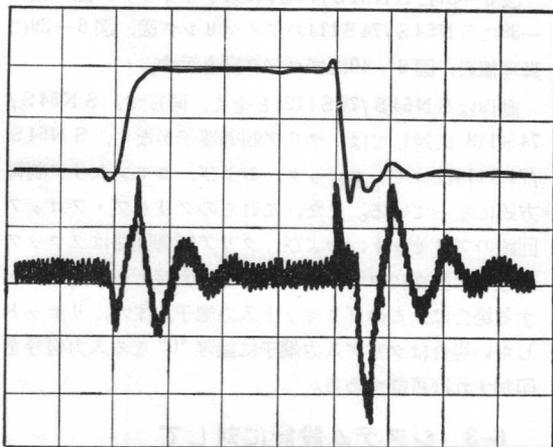
- 高周波技術を考慮してシステム設計をする。
- 信号線は短くする (25cm)。
- 接地線はインピーダンスを下げるためグランドプレーンを使用。
- 電源インピーダンスは、できるだけ低くする。
A トランスマッション・ラインを考慮する。
B 高周波特性の良いコンデンサ (セラミック等) でデカップリングを行う。
- パッケージ5ヶごとに上記コンデンサ 0.01~0.1 μ F を電源ピントと接地間に挿入する。
- 電源
S N74シリーズと同一電源 (5 V) で良い。
安定度およびリップルを含めて 5%以下。
- 消費電力はゲート当り20mWである。
- カーレントモード・ロジックのような厳しいルールはない。

クロストークひずみ

このクロストークひずみはラインの種類、および、長さによって異なるが、ノイズ源として相互インダクタンス (M), キャパシタンス (cm), および、リアクティブコンポーネントのラインインピーダンス L, C は特にクロストークひずみに影響する。

同軸ケーブルは、ツイストペア線やストリップラインおよび、シングル線より効果的である。

ツイストペア線は特性インピーダンスが高く、カップリングインピーダンスが低い。ストリップライン・インピーダンスは高いがカップリング・インピーダンスは低くすることができる。



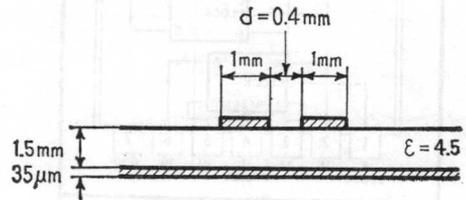
Scales \uparrow 2V/cm
 \uparrow 200mV/cm
 \rightarrow 10ns/cm
 Crosstalk - gate 3 at logical "0"

[図 6-41(a)]



Scales \uparrow 2V/cm
 \uparrow 200mV/cm
 \rightarrow 10ns/cm
 Crosstalk - gate 3 at logical "1"

[図 6-41(b)]



[図 6-42]

シングルワイヤは安価であるがノイズに対して他の線材よりおとる。このクロストークひずみの状態を図 6-41(a), 図 6-41(b)に示す。また、線のコンフィグ・レーションは図 6-42に示す。図 6-43はボードの厚さと、線の中を考慮した場合のストリップラインのインピーダンスについて示している。

かりに、線の長さが短い場合は図からもわかるように信号のプロパゲーション時間も短い。線長が長い場合は、考慮しなければならない。

その様子は、付録 1 に示すが方程式で表わすと次のようになる。

$$V_{induced}/V_{swing} = 1 / (1.5 + Z_m/Z_0) \cdot (1 + Z_I/Z_0)$$

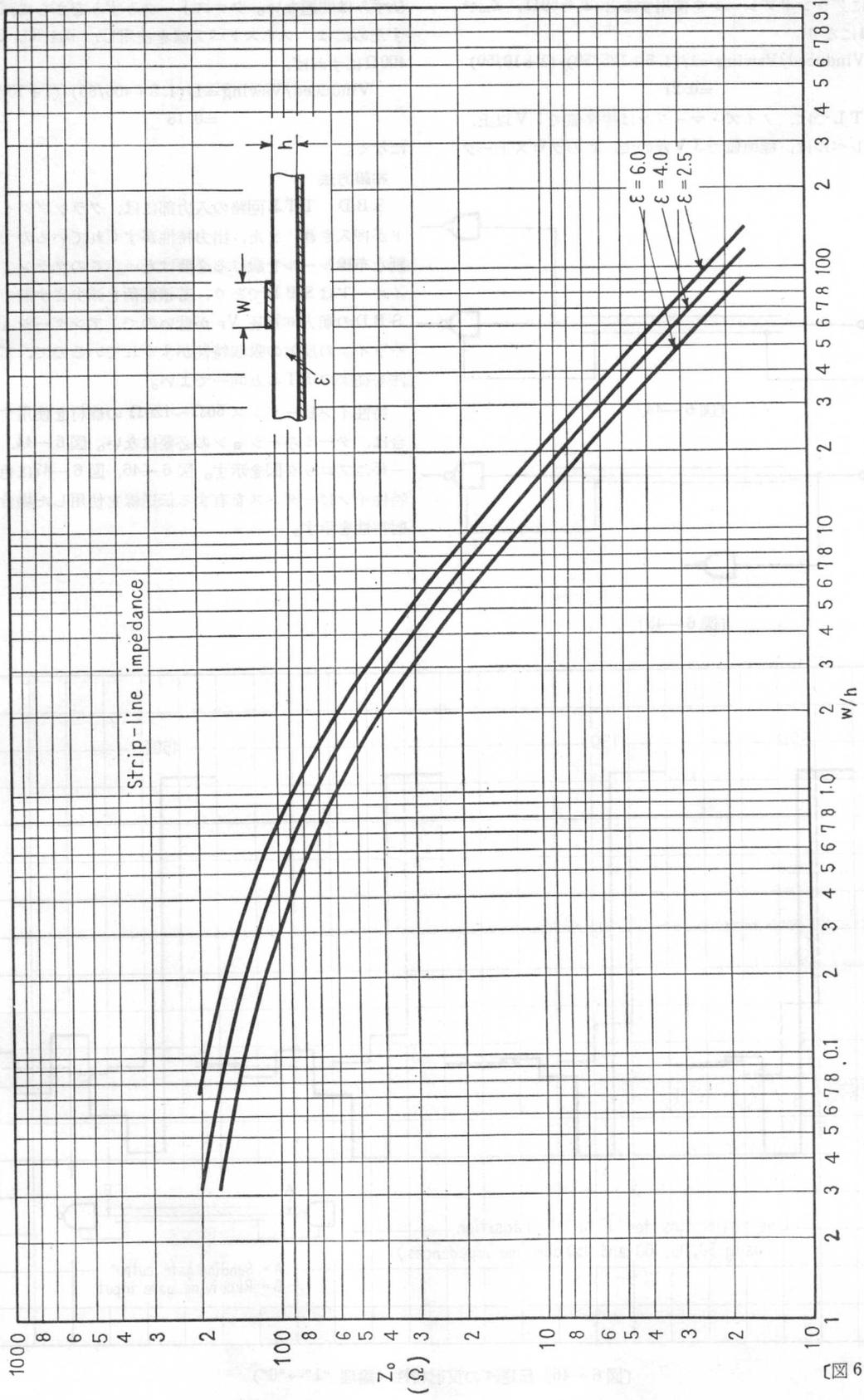
V_{swing} ; 論理レベルの値

$V_{induced}$; 入力におけるクロストーク振幅値

Z_I ; ゲートの出力インピーダンス

ポートの厚さ 1.5mm, で 1mm 間隔で配線されている場合を考えると, $Z_0 = 200\Omega$ $Z_m = 80\Omega$ $Z_I = 10\Omega$ になり次式のようになる。

$$V_{induced}/V_{swing} = 1 / (1.5 + 80/200) \cdot (1 + 10/200) = 0.5$$



かりにグランドプレーンを使用すると $Z_0 \approx 50\Omega$, $Z_m \approx 125\Omega$ になり,

$$\begin{aligned} V_{\text{induced}}/V_{\text{swing}} &= 1/(1.5 + 125/50) \cdot (1 + 10/50) \\ &= 0.21 \end{aligned}$$

TTLでは、ノイズ・マージンは標準値で1V以上、論理レベルは、標準値で3Vなので、このクロストーク

ひずみは問題ない。クロストークみずみをさらに減少させるためには、ツイストペア線を使用し、 $Z_0 \approx 80$, $Z_m \approx 400\Omega$ にすれば,

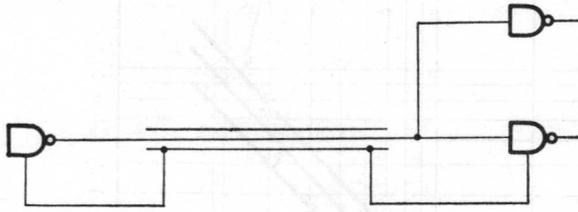
$$\begin{aligned} V_{\text{induced}}/V_{\text{swing}} &= 1/(1.5 + 400/80) \cdot (1 + 10/80) \\ &= 0.13 \end{aligned}$$

になる。

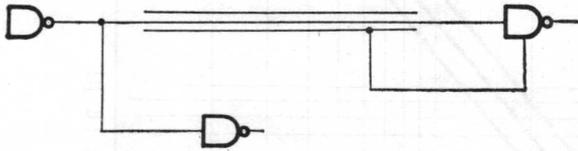
布線方法

SBD TTL回路の入力部には、クランプダイオードが押入され、また、出力特性がすぐれているので、特別な布線ルールを設ける必要はない。このクランプ・ダイオードはSBDであり、蓄積電荷を減少させる能力や、SBDの順方向電圧 V_F が低いので、アンダーシュートやラインの反射の吸収特性がすぐれているので、布線方法も従来のTTLと同一でよい。

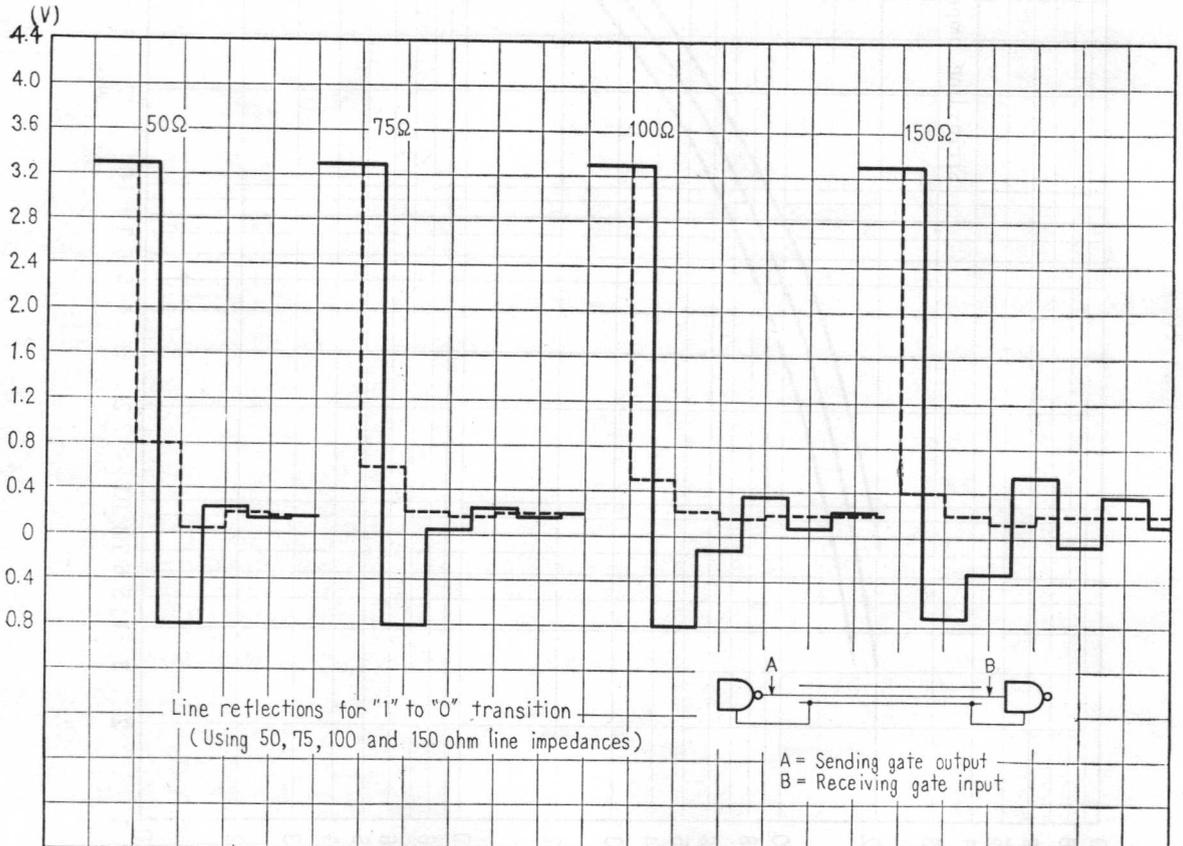
特性インピーダンス $50\Omega \sim 120\Omega$ の線材を使用する場合は、ターミネーションの必要はない。図6-44、図6-45にブロック図を示す。図6-46、図6-47に色々な特性インピーダンスを有する伝送線を使用した場合の反射特性を示す。



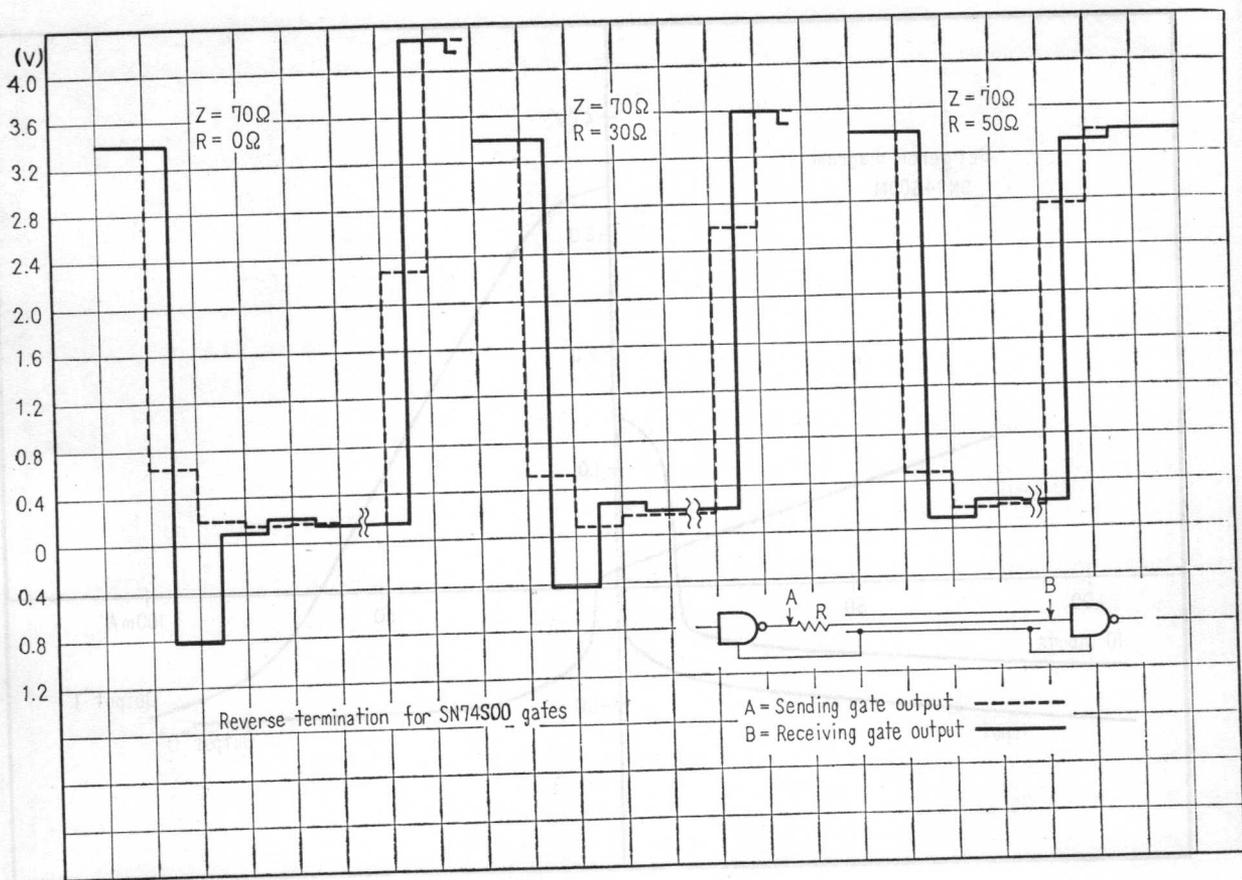
〔図 6—44〕



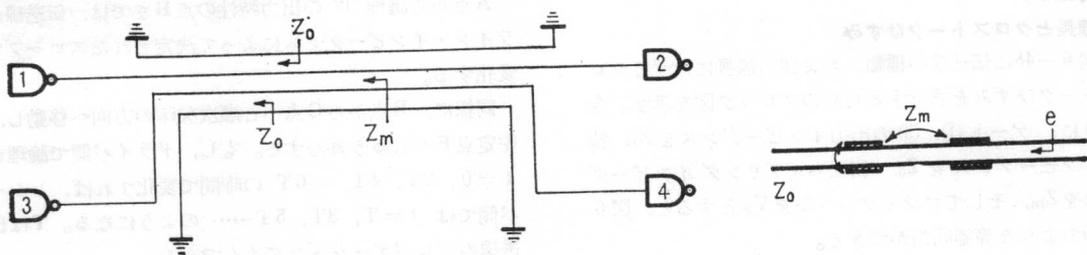
〔図 6—45〕



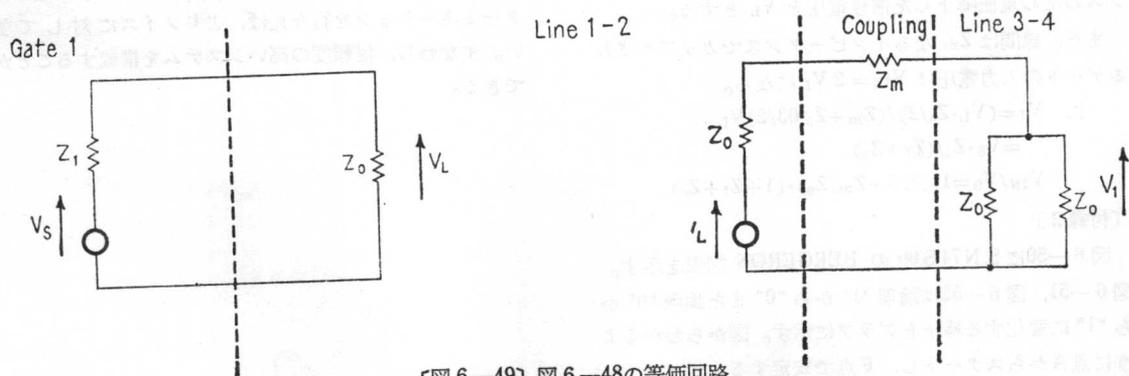
〔図 6—46〕 伝送線の反射特性 (論理 “1”→“0”)



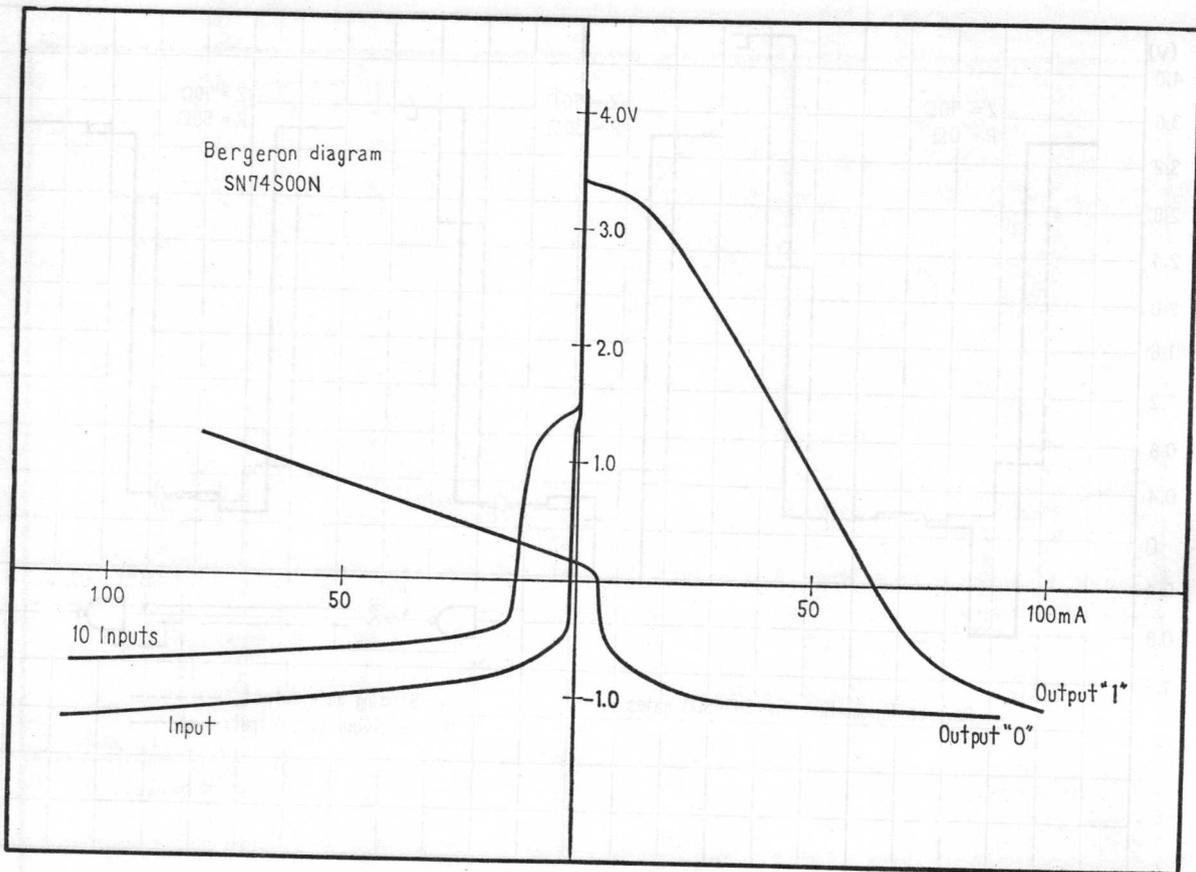
〔図 6—47〕 伝送線の反射特性 (リバース・ターミネーション抵抗を使用)



〔図 6—48〕 クロストークひずみに対するブロック図



〔図 6—49〕 図 6—48の等価回路



〔図6-50〕 SN74S00の BERGERON 図表

〔付録1〕

線長とクロストークひずみ

図6-48に伝送線の種類、および、線長に対するクロストークひずみを解析するためのブロック図を示す。今かりに、ゲート①、③の出力インピーダンスを Z_I 、特性インピーダンスを Z_0 、相互カップリングインピーダンスを Z_m 、そしてロジックレベルを V_S とすると、図6-49のような等価回路ができる。

かりに V_S なる信号を特性インピーダンス Z_0 なる伝送線を使用して信号を伝送した場合、ライン・インピーダンスのため電圧降下した信号電圧を V_L とする。

また、線間は Z_m なるインピーダンスでカップルされるゲートの入力電圧は $V_{IN} = 2V_I$ になる。

$$\therefore V_I = (V_L \cdot Z_0 / 2) / (Z_m + Z_0 / 2) = V_S \cdot Z_0 / (Z_I + Z_0)$$

$$V_{IN} / V_S = 1 / (1.5 + Z_m / Z_0) \cdot (1 + Z_I + Z_0)$$

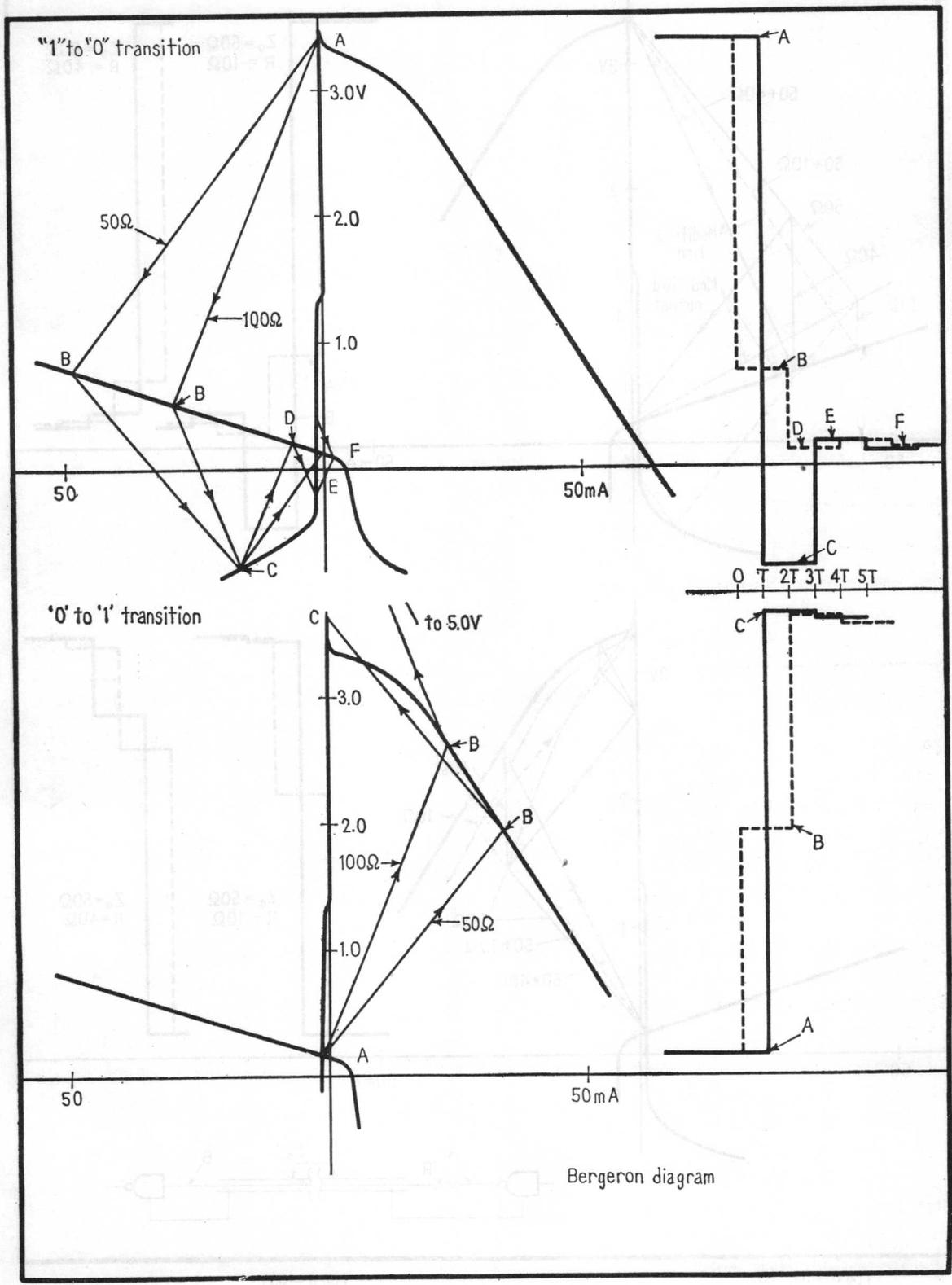
〔付録2〕

図6-50にSN74S00のBERGERON図表を示す。図6-51、図6-52は論理“1”から“0”また論理“0”から“1”に変化する様子をグラフに示す。図からわかるように点Aからスタートし、F点で安定する。

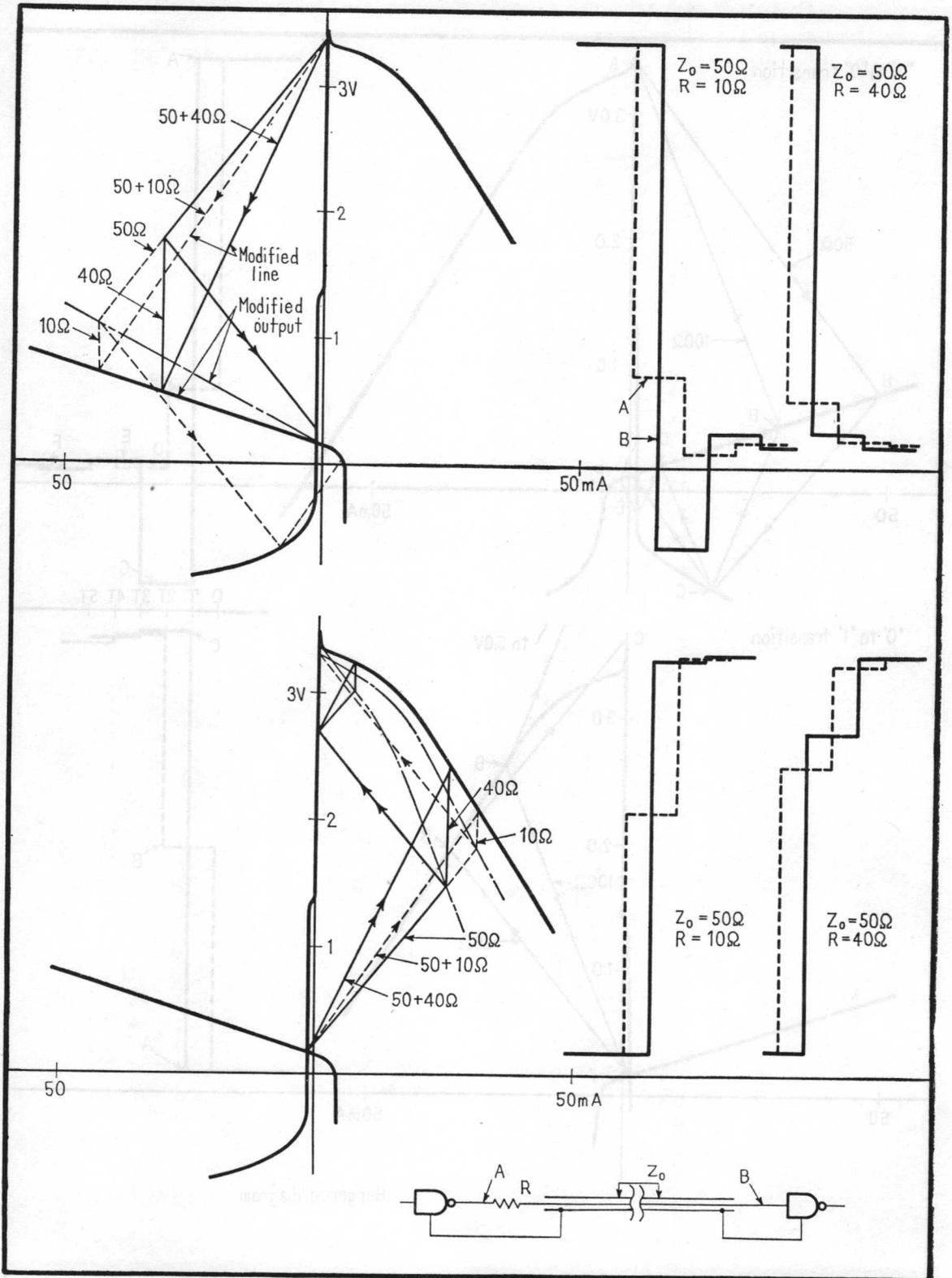
A点から論理“0”の出力特性の点Bまでは、伝送線のライン・インピーダンスによって決定されたスロープで変化する。

同様に、B点からC点へと順次矢印の方向へ移動し、安定点Fへしゅうれんする。もし、ドライバ側で論理が $t = 0, 2T, 4T, \dots, 6T$ の時間で変化すれば、レシーバ側では $t = T, 3T, 5T, \dots$ のようになる。 T は伝送線のプロパゲーションタイムである。

次に、ターミネーションを図6-53のような方法で行うと、上記の変化は図6-54、図6-55のようになり、ターミネーションを行えば、よりノイズに対して強い。すなわち、信頼度の高いシステムを構成することができる。



[図 6-51, 52] BERGERON図表によるトランジション図



[図 6-54, 55]

ターミネーション方式による
トランジション図

[図 6-53]

ターミネーションによる伝送

付 録

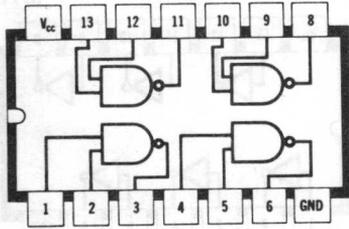
SN54/74 シリーズ TTL IC 一覧表

SN54/74シリーズ

SN5400N / SN7400N

SN5400J / SN7400J

4回路、2入力、NANDゲート

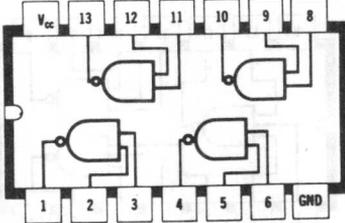


伝播遅延 10nsec
消費電力 40mW
ファンアウト 10

SN5401N / SN7401N

SN5401J / SN7401J

4回路、2入力、NANDゲート
(開放コレクタ出力)

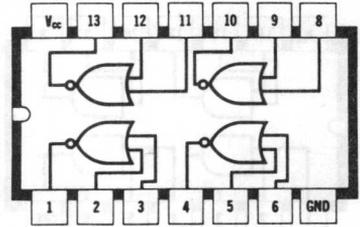


最大出力電圧 5.5V
消費電力 40mW
ファンアウト 16mA シンク(0.4V)

SN5402N / SN7402N

SN5402J / SN7402J

4回路、2入力、NORゲート

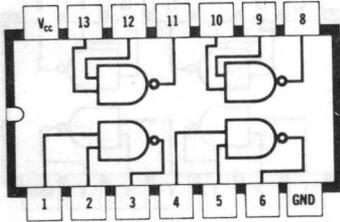


伝播遅延 10nsec
消費電力 48mW
ファンアウト 10

SN5403N / SN7403N

SN5403J / SN7403J

4回路、2入力、NANDゲート
(開放コレクタ出力)

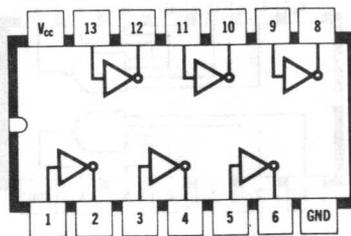


最大出力電圧 5.5V
消費電力 40mW
ファンアウト 16mA シンク(0.4V)

SN5404N / SN7404N

SN5404J / SN7404J

6回路、インバータ

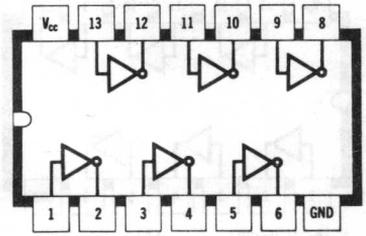


伝播遅延 10nsec
消費電力 60mW
ファンアウト 10

SN5405N / SN7405N

SN5405J / SN7405J

6回路、インバータ
(開放コレクタ出力)

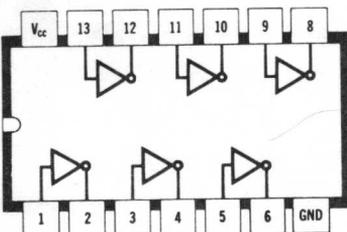


最大出力電圧 5.5V
消費電力 60mW
ファンアウト 16mA シンク(0.4V)

SN5406N / SN7406N

SN5406J / SN7406J

6回路、インバータバッファ
/ ドライバ (開放コレクタ出力)

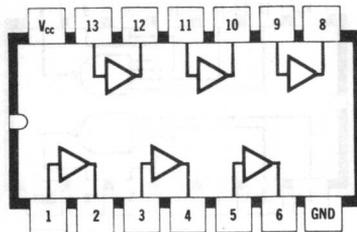


最大出力電圧 30V
消費電力 105mW
ファンアウト 30mA 又は40mA

SN5407N / SN7407N

SN5407J / SN7407J

6回路、バッファ/ドライバ
(開放コレクタ出力)

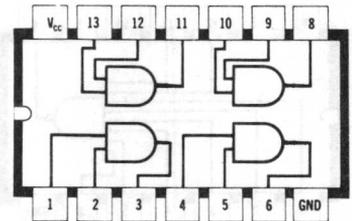


最大出力電圧 30V
消費電力 145mW
ファンアウト 30mA 又は40mA

SN5408N / SN7408N

SN5408J / SN7408J

4回路、2入力、ANDゲート

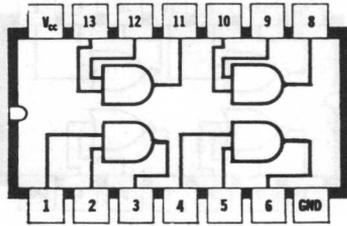


伝播遅延 15nsec
消費電力 80mW
ファンアウト 10

SN5409N / SN7409N

SN5409J / SN7409J

4回路、2入力、ANDゲート
(開放コレクタ出力)

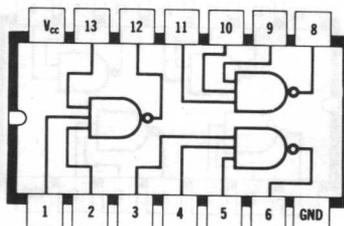


最大出力電圧 5.5V
消費電力 80mW
ファンアウト 16mA シンク(0.4V)

SN5410N / SN7410N

SN5410J / SN7410J

3回路、3入力、NANDゲート

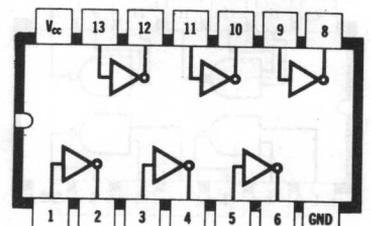


伝播遅延 10nsec
電力消費 30mW
ファンアウト 10

SN5416N / SN7416N

SN5416J / SN7416J

6回路、インバータバッファ
/ ドライバ (開放コレクタ出力)

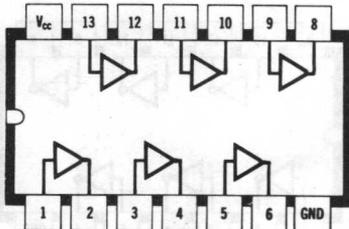


最大出力電圧 15V
電力消費 105mW
ファンアウト 30mA 又は40mA

SN5417N / SN7417N

SN5417J / SN7417J

6回路、バッファ/ドライバ
(開放コレクタ出力)

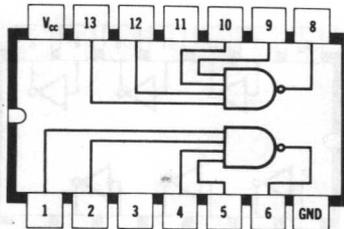


最大出力電圧 15V
消費電力 145mW
ファンアウト 30mA 又は40mA

SN5420N / SN7420N

SN5420J / SN7420J

2回路、4入力、NANDゲート

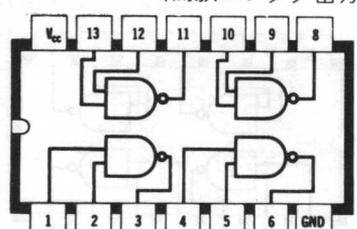


伝播遅延 10nsec
消費電力 20mW
ファンアウト 10

SN5426N / SN7426N

SN5426J / SN7426J

4回路、2入力、インターフェース
NAND (開放コレクタ出力)

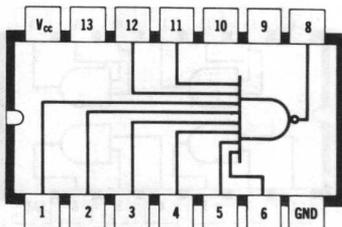


最大出力電圧 15V
消費電力 40mW
ファンアウト 16mA シンク(0.4V)

SN5430N / SN7430N

SN5430J / SN7430J

8入力、NANDゲート

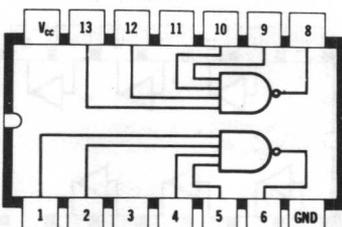


伝播遅延 10nsec
電力消費 10mW
ファンアウト 10

SN5440N / SN7440N

SN5440J / SN7440J

2回路、4入力、NANDバッファ

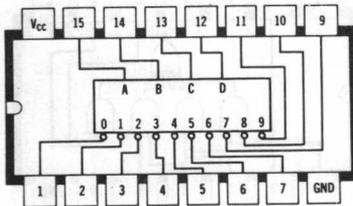


伝播遅延 10nsec
消費電力 50mW
ファンアウト 30

SN5442N / SN7442N

SN5442J / SN7442J

BCD-デシマルデコーダ

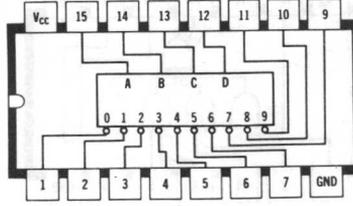


伝播遅延 22nsec
消費電力 140mW
ファンアウト 10

SN5443N / SN7443N

SN5443J / SN7443J

アクセス3—デシマルデコーダ

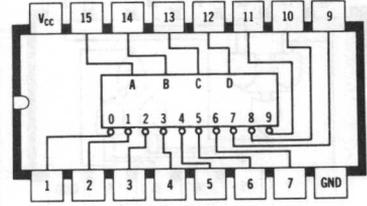


伝播遅延 22nsec
消費電力 140mW
ファンアウト 10

SN5444N / SN7444N

SN5444J / SN7444J

アクセス3 グレイ—
デシマルデコーダ

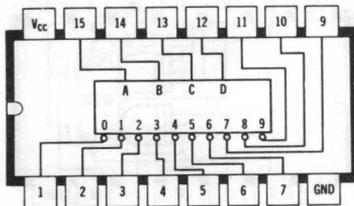


伝播遅延 22nsec
消費電力 140mW
ファンアウト 10

SN5445N / SN7445N

SN5445J / SN7445J

BCD-デシマルデコーダ
／ドライバ（開放コレクタ出力）

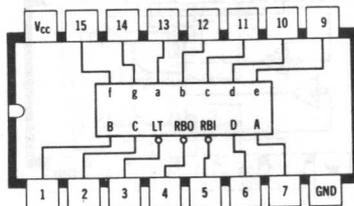


最大出力電圧 30V
消費電力 215mW
ファンアウト 80mA シンク(0.5V)

SN5446AN / SN7446AN

SN5446AJ / SN7446AJ

BCD-7セグメントデコーダ
／ドライバ（開放コレクタ出力）

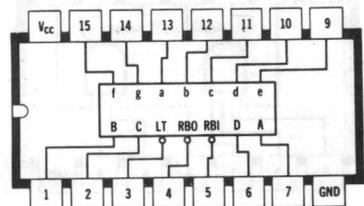


最大出力電圧 30V
消費電力 265mW
ファンアウト 20mA シンク(0.4V)

SN5447AN / SN7447AN

SN5447AJ / SN7447AJ

BCD-7セグメント デコーダ
／ドライバ（開放コレクタ出力）

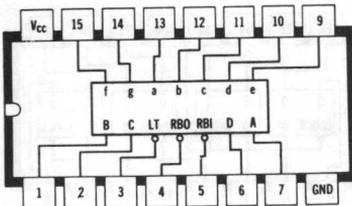


最大出力電圧 15V
消費電力 265mW
ファンアウト 20mA シンク(0.4V)

SN5448N / SN7448N

SN5448J / SN7448J

BCD-デシマルデコーダ
／ドライバ

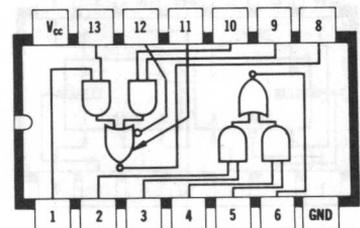


a~g出力の負荷電流 2mA (0.85V)
消費電力 265mW
ファンアウト 4

SN5450N / SN7450N

SN5450J / SN7450J

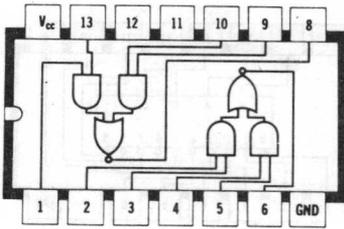
2回路エキスパンダブル
2ワイド、2入力、AND-OR-INV
ゲート



伝播遅延 10nsec
消費電力 28mW
ファンアウト 10

SN5451N / SN7451N
SN5451J / SN7451J

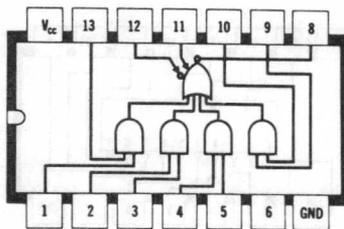
2回路、2ワイド、2入力
AND-OR-INV ゲート



伝播遅延 10nsec
消費電力 28mW
ファンアウト 10

SN5453N / SN7453N
SN5453J / SN7453J

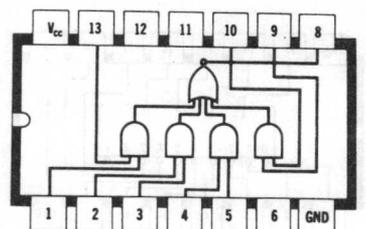
エキスパンダブル、4ワイド、
2入力 AND-OR-INV ゲート



伝播遅延 10nsec
消費電力 22mW
ファンアウト 10

SN5454N / SN7454N
SN5454J / SN7454J

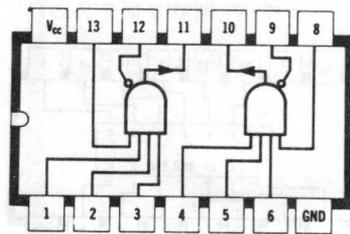
4ワイド、2入力、
AND-OR-INV ゲート



伝播遅延 10nsec
消費電力 22mW
ファンアウト 10

SN5460N / SN7460N
SN5460J / SN7460J

2回路、4入力エキスパンダ



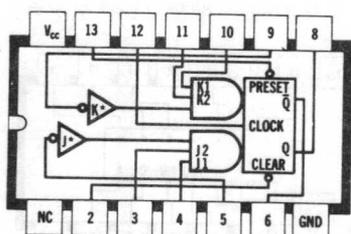
消費電力 8mW

ファンアウト

(SN54/7450又はSN54/7453に接続
できるエキスパンダの最大数) 4

SN5470N / SN7470N
SN5470J / SN7470J

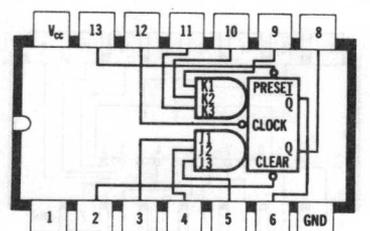
J-K フリップ・フロップ



最高クロック周波数 35MHz
伝播遅延 22nsec
消費電力 65mW
ファンアウト 10

SN5472N / SN7472N
SN5472J / SN7472J

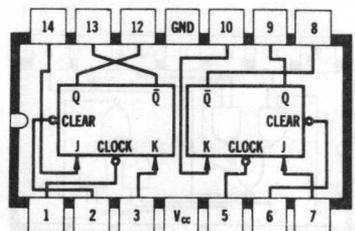
J-K マスタ・スレーブ、
フリップ・フロップ



最高クロック周波数 15MHz
伝播遅延 30nsec
消費電力 40mW
ファンアウト 10

SN5473N / SN7473N
SN5473J / SN7473J

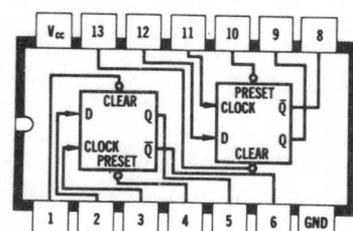
2回路、J-K、M-S
フリップフロップ



最高クロック周波数 15MHz
伝播遅延 30nsec
消費電力 80mW
ファンアウト 10

SN5474N / SN7474N
SN5474J / SN7474J

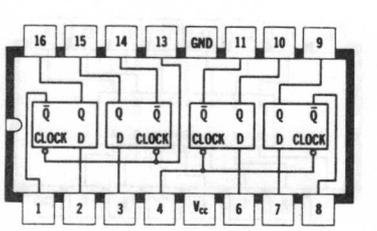
2回路、Dタイプ エッジトリガ型、
フリップ・フロップ



最高クロック周波数 25MHz
伝播遅延 24nsec
消費電力 84mW
ファンアウト 10

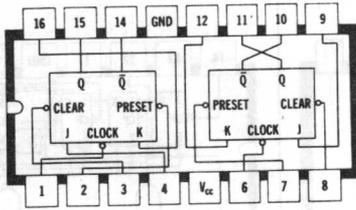
SN5475N / SN7475N
SN5475J / SN7475J

4ビット、バイステーブル
ラッチ



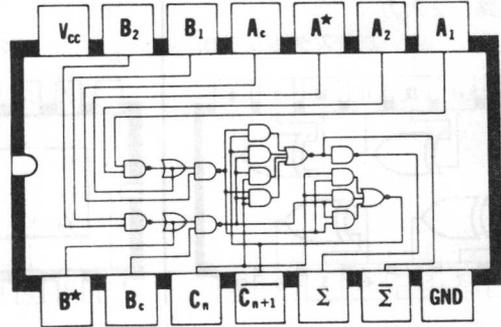
伝播遅延 30nsec
消費電力 160mW
ファンアウト 10

SN5476N / SN7476N 2回路、J-K、M-S
 SN5476J / SN7476J フリップ・フロップ
 (プリセット・クリア付)



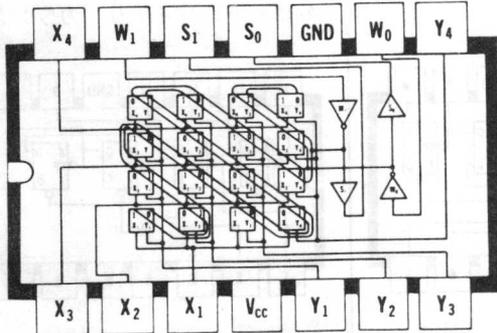
最高クロック周波数 15MHz
 伝播遅延 30nsec
 消費電力 80mW
 ファンアウト 10

SN5480N / SN7480N フル・アダー
 SN5480J / SN7480J



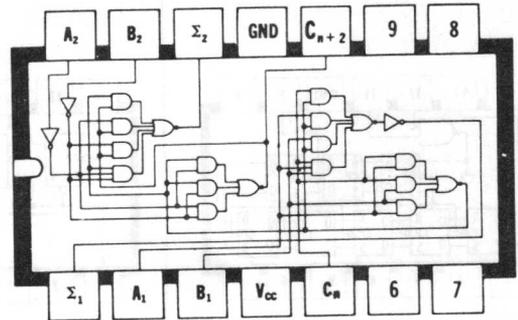
加算遅延 50nsec 消費電力 105mW
 キャリー遅延 8nsec ファンアウト 10

SN5481AN / SN7481AN 16ビットリード
 SN5481AJ / SN7481AJ / ライトメモリ



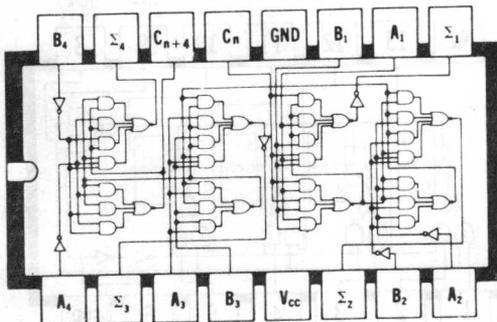
消費電力 275mW
 アクセスタイム 20nsec
 ファンアウト 40mA 又は20mA シンク(0.4V)

SN5482N / SN7482N 2ビット、バイナリ
 SN5482J / SN7482J フルアダー



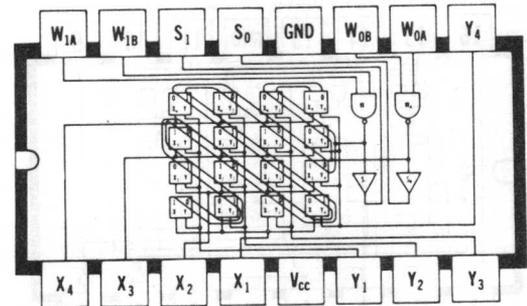
加算遅延 40nsec 消費電力 175mW
 キャリー遅延 8nsec/bit ファンアウト 10

SN5483N / SN7483N 4ビット、バイナリ、
 SN5483J / SN7483J フルアダー



加算遅延 40nsec 消費電力 350mW
 キャリー遅延 8nsec/bit ファンアウト 10

SN5484AN / SN7484AN 16ビット リード
 SN5484AJ / SN7484AJ / ライトメモリ

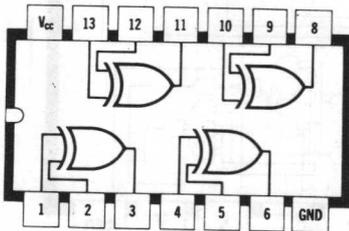


消費電力 275mW
 アクセスタイム 20nsec
 ファンアウト 40mA 又は20mA シンク(0.4V)

SN5486N / SN7486N
SN5486J / SN7486J

4回路、2入力

エクスクルシブOR

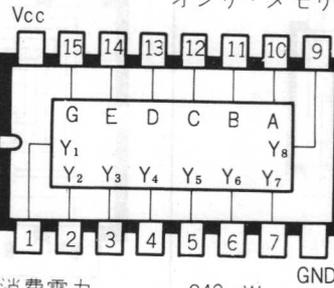


伝播遅延 12nsec
 消費電力 15mW
 ファンアウト 10

SN7488N

256ビット、リード

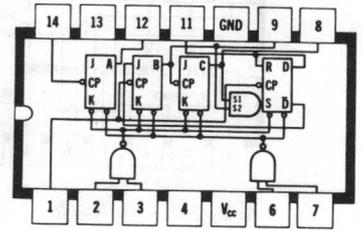
オンリ・メモリ



消費電力 240mW
 アクセスタイム 40nsec
 ファンアウト 7.5

SN5490N / SN7490N
SN5490J / SN7490J

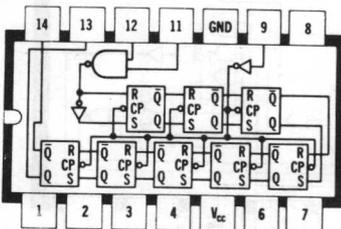
10進カウンタ



最高計数周波数 18MHz
 消費電力 160mW
 ファンアウト 10

SN5491A N / SN7491A N
SN5491A J / SN7491A J

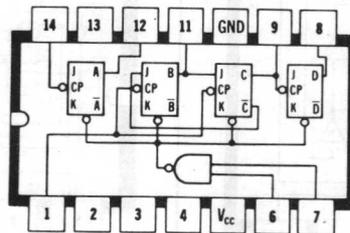
8ビット、シフトレジスタ



最高シフト周波数 18MHz
 消費電力 175mW
 ファンアウト 10

SN5492N / SN7492N
SN5492J / SN7492J

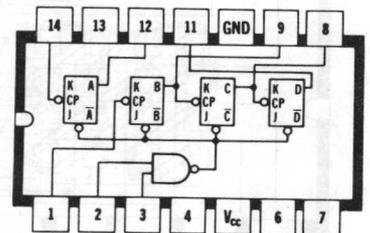
12進カウンタ



最高計数周波数 18MHz
 消費電力 155mW
 ファンアウト 10

SN5493N / SN7493N
SN5493J / SN7493J

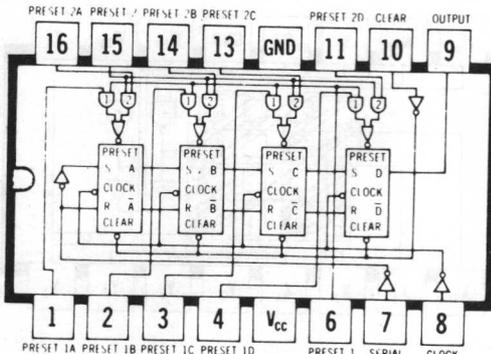
4ビット、バイナリ カウンタ



最高計数周波数 18MHz
 消費電力 160mW
 ファンアウト 10

SN5494N / SN7494N
SN5494J / SN7494J

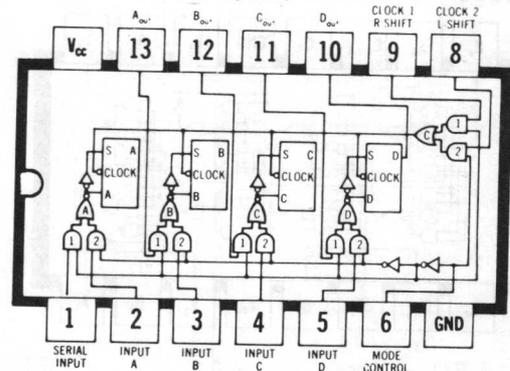
4ビット、シフトレジスタ



最高シフト周波数 20MHz
 消費電力 175mW
 ファンアウト 10

SN5495A N / SN7495A N
SN5495A J / SN7495A J

4ビット、シフトレジスタ

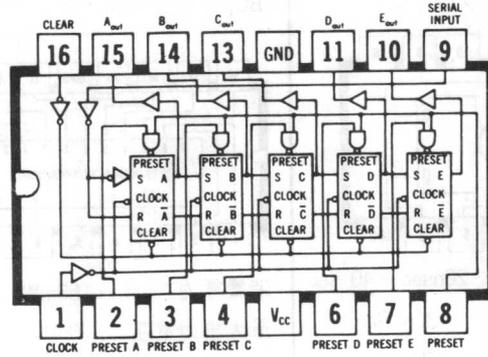


最高シフト周波数 30MHz
 消費電力 250mW
 ファンアウト 10

SN5496N / SN7496N
SN5496J / SN7496J

5ビット、シフトレジスタ

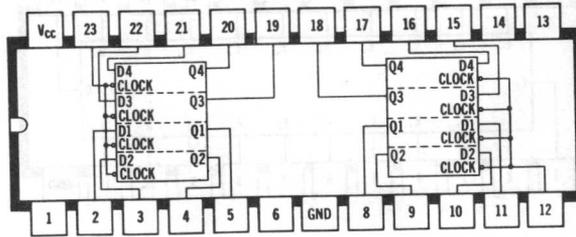
最高シフト周波数 20MHz
 消費電力 240mW
 ファンアウト 10



SN54100N / SN74100N

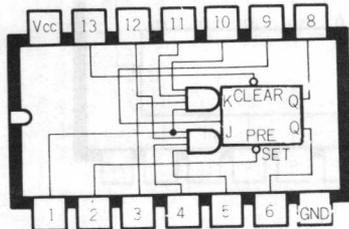
2回路、4ビット、バイステーブル・ラッチ

伝播遅延 30nsec
 消費電力 320mW
 ファンアウト 10



SN54104N / SN74104N
SN54104J / SN74104J

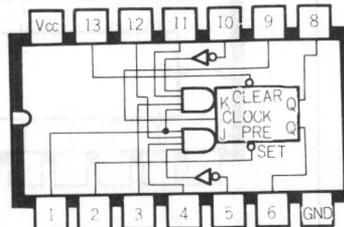
J-K、M-S フリップ・フロップ



最高クロック周波数 —
 伝播遅延 12nsec
 消費電力 75mW
 ファンアウト 10

SN54105N / SN74105N
SN54105J / SN74105J

J-K、M-S フリップ・フロップ

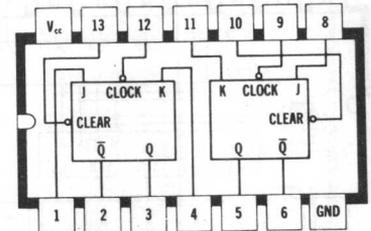


最高周波数 —
 伝播遅延 12nsec
 消費電力 75mW
 ファンアウト 10

SN54107N / SN74107N
SN54107J / SN74107J

2回路、J-K、M-S

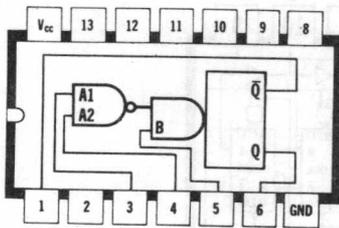
フリップ・フロップ



最高クロック周波数 15MHz
 伝播遅延 30nsec
 消費電力 80mW
 ファンアウト 10

SN54121N / SN74121N
SN54121J / SN74121J

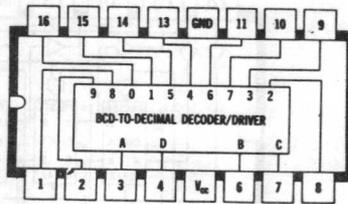
単安定マルチバイブレータ



出力パルス巾 20nsec ~ 40 sec
 最小入カトリガ巾 30n Sec
 消費電力 65mW
 ファンアウト 10

SN74141N
SN74141J

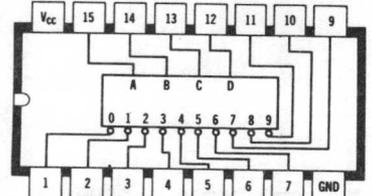
BCD-デシマル・デコーダ
 / ドライバ



消費電力 55mW
 最大出力電圧 65V
 ファンアウト (ガス封入表示管を直接ドライブ)

SN54145N / SN74145N
SN54145J / SN74145J

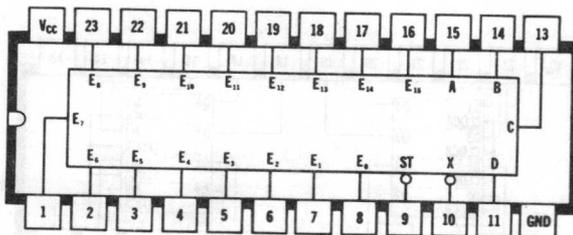
BCD-デシマル・デコーダ
 / ドライバ (開放コレクタ出力)



最大出力電圧 15V
 消費電力 215mW
 ファンアウト 80mA
 シンク (0.4V)

SN54150N / SN74150N

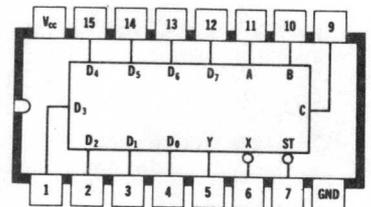
16ビット、データセクタ/マルチプレクサ



伝播遅延 20nsec
 消費電力 210mW
 ファンアウト 10

SN54151N / SN74151N
SN54151J / SN74151J

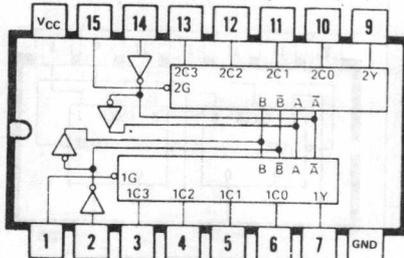
8ビット、データセクタ
 / マルチプレクサ



伝播遅延 20nsec
 消費電力 140mW
 ファンアウト 10

SN54153N / SN74153N
SN54153J / SN74153J

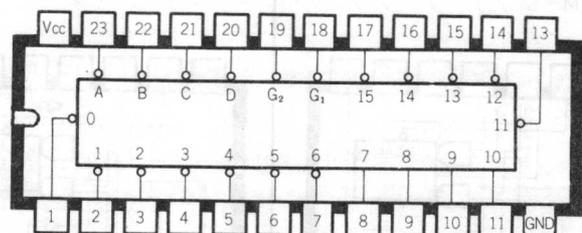
2回路、4-1ラインデータ
 セクタ/マルチプレクサ



伝 (データ入カ-出力) 14nsec
 播遅 (ストローブ-出力) 17nsec
 延 (セレクト-出力) 22nsec
 消費電力 170mW
 ファンアウト 10

SN54154N / SN74154N
SN54154J / SN74154J

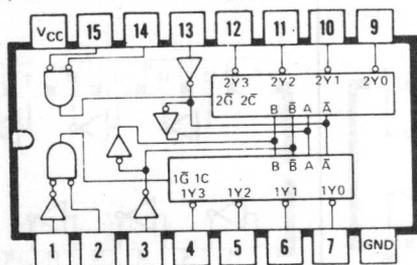
4-16ラインデコーダ
 / デマルチプレクサ



伝播遅延 (ゲート3段) 23nsec
 (ストローブ入力) 19nsec
 消費電力 170mW
 ファンアウト 10

SN54155N / SN74155N
SN54155J / SN74155J

2回路、2-4ラインデコーダ/デマルチプレクサ

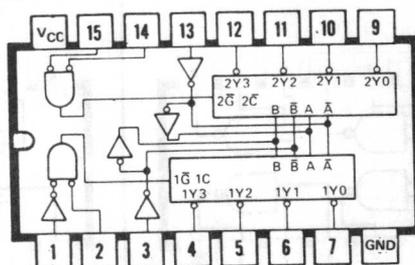


伝播遅延 (ゲート 2 段) 16nsec
 (ゲート 3 段) 21nsec
 消費電力 125mW
 ファンアウト 10

SN54156N / SN74156N
SN54156J / SN74156J

(開放コレクタ出力)

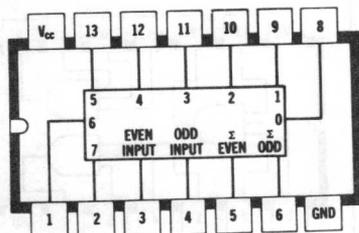
2回路、2-4ラインデコーダ/デマルチプレクサ



伝播遅延 (ゲート 2 段) 18nsec
 (ゲート 3 段) 23nsec
 消費電力 125mW
 ファンアウト 16mA シンク(0.4V)

SN54180N / SN74180N
SN54180J / SN74180J

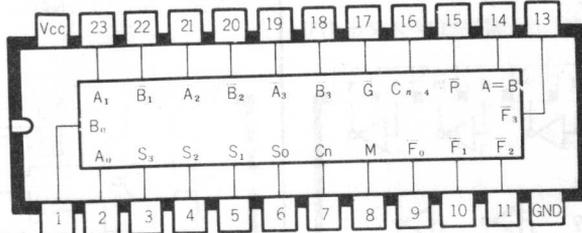
8ビット、パリティジェネレータ
 / チェッカ



伝播遅延 (データ入力) 40nsec
 (コントロール入力) 10nsec
 消費電力 170mW
 ファンアウト 10

SN54181N / SN74181N

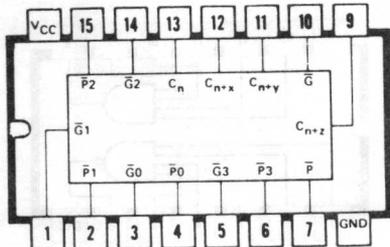
演算論理エレメント / ファンクションジェネレータ (ALU)



4ビット加算タイム 24nsec
 4ビットキャリータイム 12nsec
 消費電力 440mW
 ファンアウト 10

SN54182N / SN74182N
SN54182J / SN74182J

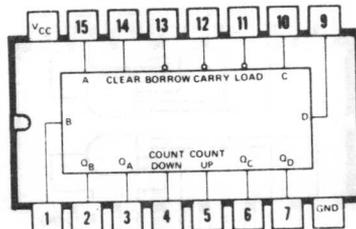
ルックアヘッド、
 キャリージェネレータ



伝播遅延 13nsec
 消費電力 180mW
 ファンアウト 10

SN54192N / SN74192N
SN54192J / SN74192J

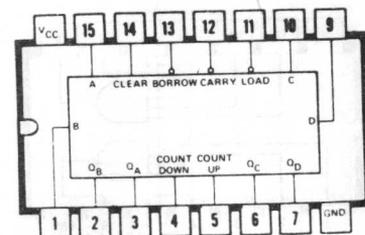
同期式、10進アップ、
 ダウンカウンタ



最高計数周波数 32MHz
 消費電力 325mW
 ファンアウト 10

SN54193N / SN74193N
SN54193J / SN74193J

同期式、4ビットバイナリ、
 アップダウンカウンタ

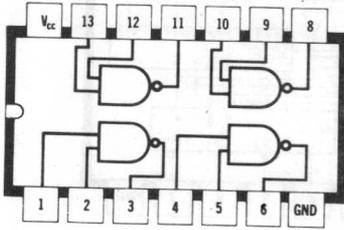


最高計数周波数 32MHz
 消費電力 325mW
 ファンアウト 10

SN54H/74Hシリーズ

SN54H00N / SN74H00N
SN54H00J / SN74H00J

4回路、2入力、NANDゲート

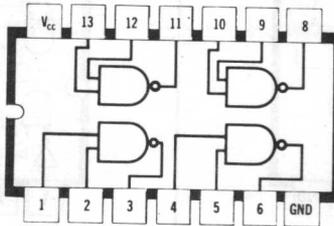


伝播遅延 6 nsec
 消費電力 88mW
 ファンアウト 10

SN54H01N / SN74H01N
SN54H01J / SN74H01J

4回路、2入力、NANDゲート

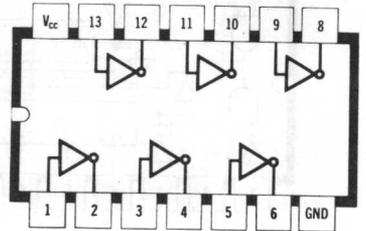
(開放コレクタ出力)



全出力端子の最大出力電圧 5.5V
 消費電力 88mW
 ファンアウト 20mA シンク(0.4V)

SN54H04N / SN74H04N
SN54H04J / SN74H04J

6回路インバータ

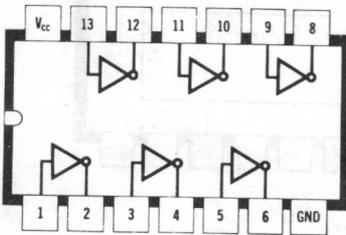


伝播遅延 6 nsec
 消費電力 132mW
 ファンアウト 10

SN54H05N / SN74H05N
SN54H05J / SN74H05J

6回路インバータ

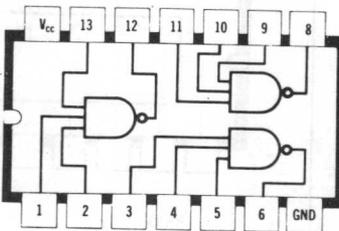
(開放コレクタ出力)



全出力端子の最大出力電圧 5.5V
 消費電力 132mW
 ファンアウト 20mA シンク(0.4V)

SN54H10N / SN74H10N
SN54H10J / SN74H10J

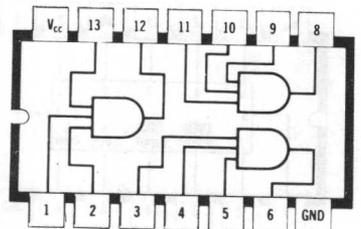
3回路、3入力、NANDゲート



伝播遅延 6 nsec
 消費電力 66mW
 ファンアウト 10

SN54H11N / SN74H11N
SN54H11J / SN74H11J

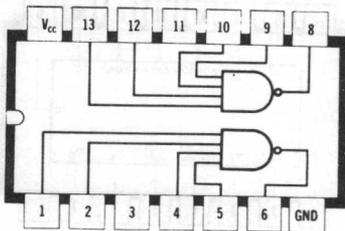
3回路、3入力、ANDゲート



伝播遅延 8 nsec
 消費電力 114mW
 ファンアウト 10

SN54H20N / SN74H20N
SN54H20J / SN74H20J

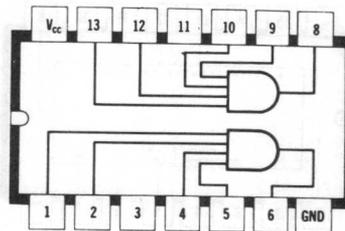
2回路、4入力、NANDゲート



伝播遅延 6 nsec
 消費電力 44mW
 ファンアウト 10

SN54H21N / SN74H21N
SN54H21J / SN74H21J

2回路、4入力、ANDゲート

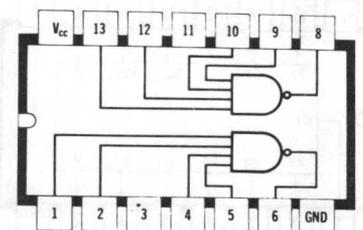


伝播遅延 8 nsec
 消費電力 76mW
 ファンアウト 10

SN54H22N / SN74H22N
SN54H22J / SN74H22J

2回路、4入力、NANDゲート

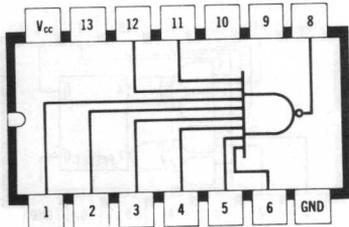
(開放コレクタ出力)



全出力端子の最大出力電圧 5.5V
 消費電力 44mW
 ファンアウト 20mA シンク(0.4V)

SN54H30N / SN74H30N
SN54H30J / SN74H30J

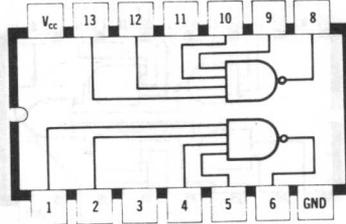
8 入力、NANDゲート



伝播遅延 8 nsec
 消費電力 22mW
 ファンアウト 10

SN54H40N / SN74H40N
SN54H40J / SN74H40J

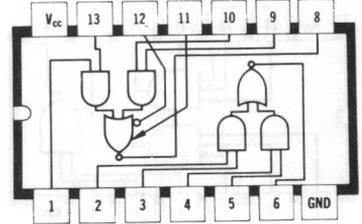
2 回路、4 入力、NANDバッファ



伝播遅延 7 nsec
 消費電力 86mW
 ファンアウト 30

SN54H50N / SN74H50N
SN54H50J / SN74H50J

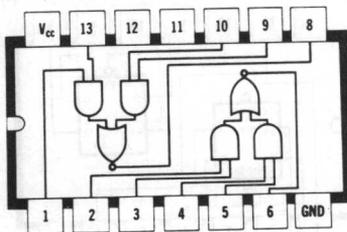
2 回路エキスパンダブル、2 ワイド
 2 入力、AND-OR-INVERTゲート



伝播遅延 7 nsec
 消費電力 56mW
 ファンアウト 10

SN54H51N / SN74H51N
SN54H51J / SN74H51J

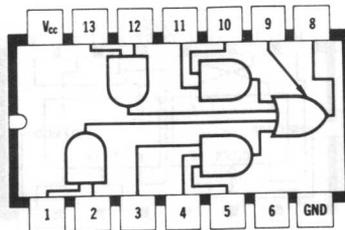
2 回路、2 ワイド、2 入力
 AND-OR-INVERTゲート



伝播遅延 70nsec
 消費電力 56mW
 ファンアウト 10

SN54H52N / SN74H52N
SN54H52J / SN74H52J

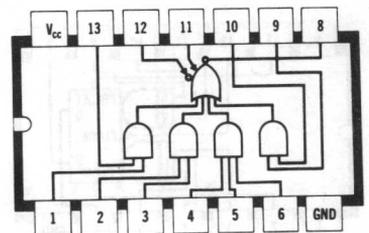
エキスパンダ、4 ワイド
 2-2-2-3 入力、AND-ORゲート



伝播遅延 10nsec
 消費電力 86mW
 ファンアウト 10

SN54H53N / SN74H53N
SN54H53J / SN74H53J

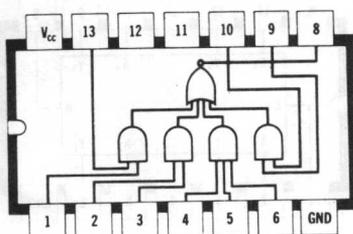
エキスパンダ 4 ワイド
 2-2-2-3 入力 AND-ORゲート



伝播遅延 7 nsec
 消費電力 40mW
 ファンアウト 10

SN54H54N / SN74H54N
SN54H54J / SN74H54J

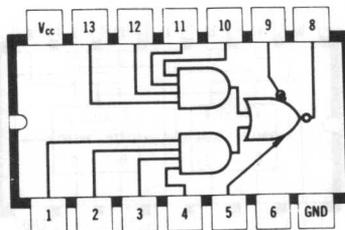
4 ワイド 2-2-2-3 入力
 AND-OR-INVERTゲート



伝播遅延 7 nsec
 消費電力 40mW
 ファンアウト 10

SN54H55N / SN74H55N
SN54H55J / SN74H55J

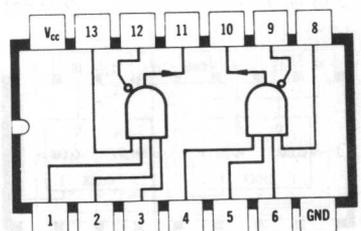
エキスパンダブル、2 ワイド、
 4 入力 AND-OR-INVERTゲート



伝播遅延 7 nsec
 消費電力 30mW
 ファンアウト 10

SN54H60N / SN74H60N
SN54H60J / SN74H60J

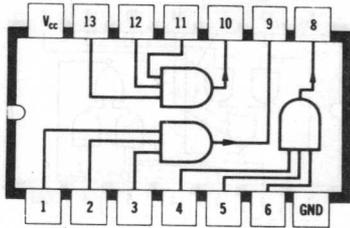
2 回路、4 入力、エキスパンダ



伝播遅延 —
 エクスパンダブルゲートの伝播遅延に最大 1 ns を加えた値
 消費電力 12mW

SN54H61N / SN74H61N
SN54H61J / SN74H61J

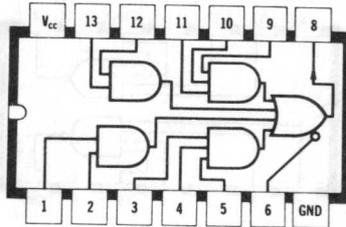
3回路、3入力、エキスパンダ



伝播遅延 —
 エクスパンダブルゲートの伝播遅延に最大1nsecを加えた値
 消費電力 24mW

SN54H62N / SN74H62N
SN54H62J / SN74H62J

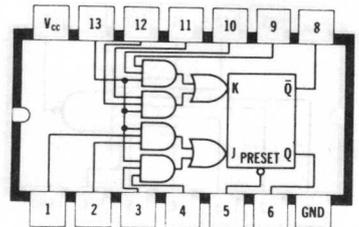
4ワイド、3-2-2-3入力
 AND-ORエキスパンダ



伝播遅延 —
 エクスパンダブルゲートの伝播遅延に最大1nsecを加えた値
 消費電力 24mW

SN54H71N / SN74H71N
SN54H71J / SN74H71J

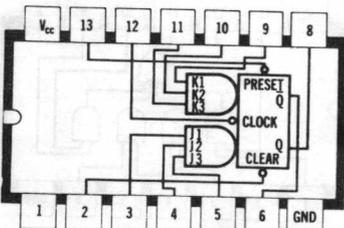
J-Kフリップ・フロップ
 (AND-OR入力付)



最高クロック周波数 30MHz
 伝播遅延 19nsec
 消費電力 95mW
 ファンアウト 10

SN54H72N / SN74H72N
SN54H72J / SN74H72J

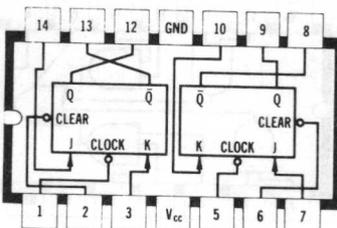
J-K・M-S フリップ・フロップ



最高クロック周波数 30MHz
 伝播遅延 19nsec
 消費電力 80mW
 ファンアウト 10

SN54H73N / SN74H73N
SN54H73J / SN74H73J

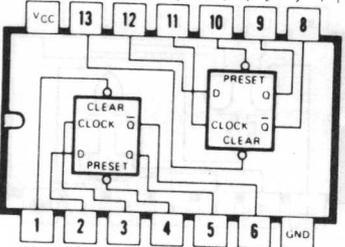
2回路、J-K、フリップ・フロップ
 (別々のクロック入力付)



最高クロック周波数 30MHz
 伝播遅延 19nsec
 消費電力 160mW
 ファンアウト 10

SN54H74N / SN74H74N
SN54H74J / SN74H74J

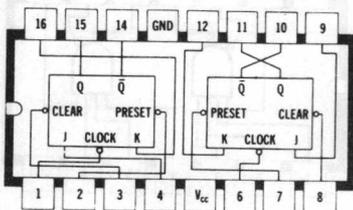
2回路、Dタイプ、エッジトリガ型
 フリップ・フロップ
 (プリセットクリア付)



最高クロック周波数 35MHz
 伝播遅延 19nsec
 消費電力 150mW
 ファンアウト 10

SN54H76N / SN74H76N
SN54H76J / SN74H76J

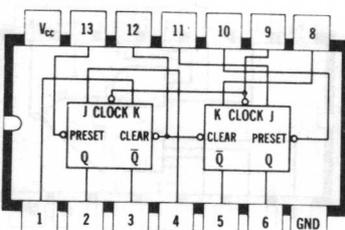
2回路、J-K、M-S フリップ
 フロップ (プリセット、クリア付)



最高クロック周波数 30MHz
 伝播遅延 19nsec
 消費電力 160mW
 ファンアウト 10

SN54H78N / SN74H78N
SN54H78J / SN74H78J

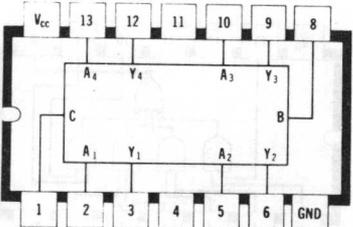
2回路J-Kフリップ・フロップ
 (プリセット・クリア入力付)



最高クロック周波数 30MHz
 伝播遅延 19nsec
 消費電力 160mW
 ファンアウト 10

SN54H87N / SN74H87N
SN54H87J / SN74H87J

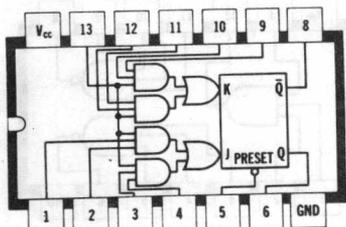
4ビット真/偽、0/1 エLEMENT



伝播遅延 14nsec
 消費電力 270mW
 ファンアウト 10

SN54H101N / SN74H101N
SN54H101J / SN74H101J

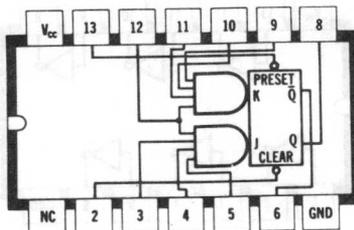
J-Kフリップ・フロップ
 (AND-OR入力付)



最高クロック周波数 50MHz
 伝播遅延 13nsec
 消費電力 100mW
 ファンアウト 10

SN54H102N / SN74H102N
SN54H102J / SN74H102J

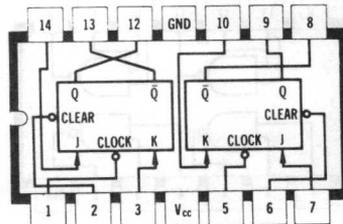
J-K、フリップ・フロップ
 (AND入力付)



最高クロック周波数 50MHz
 伝播遅延 13nsec
 消費電力 100mW
 ファンアウト 10

SN54H103N / SN74H103N
SN54H103J / SN74H103J

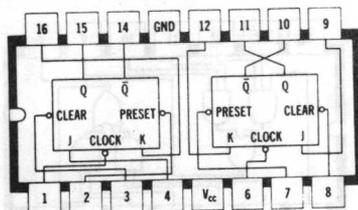
2回路、J-K、フリップ・フロップ
 (セパレートクロック入力付)



最高クロック周波数 50MHz
 伝播遅延 13nsec
 消費電力 200mW
 ファンアウト 10

SN54H106N / SN74H106N
SN54H106J / SN74H106J

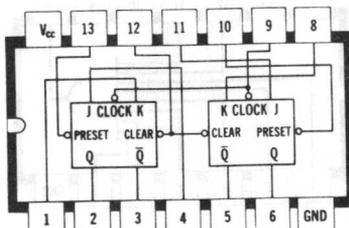
2回路、J-K、フリップ・フロップ
 (プリセット・クリア入力付)



最高クロック周波数 50MHz
 伝播遅延 13nsec
 消費電力 200mW
 ファンアウト 10

SN54H108N / SN74H108N
SN54H108J / SN74H108J

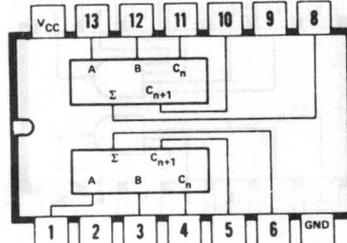
2回路、J-K、フリップ・フロップ
 (プリセット・クリア入力付)



最高クロック周波数 50MHz
 伝播遅延 13nsec
 消費電力 200mW
 ファンアウト 10

SN54H183N / SN74H183N
SN54H183J / SN74H183J

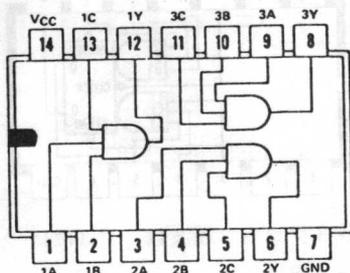
2回路、キャリアセーブ
 フルアダー



加算遅延 11nsec
 キャリー遅延 11nsec
 消費電力 220mW
 ファンアウト 10

SN54H15N / SN74H15N
SN54H15J / SN74H15J

3回路 3入力ANDゲート
 (開放コレクタ出力)



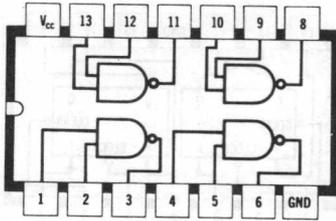
伝播遅延 10ns
 消費電力 112 mW
 シンク電流 200 mA(0.4V)

SN54L/74Lシリーズ

SN54L00N / SN74L00N

SN54L00J / SN74L00J

4回路、2入力、NANDゲート

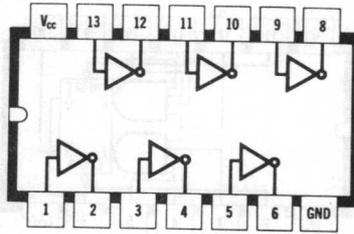


伝播遅延 33nsec
消費電力 4 mW
ファンアウト 10

SN54L04N / SN74L04N

SN54L04J / SN74L04J

6回路インバータ

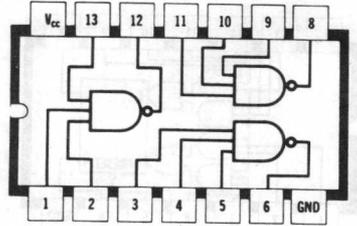


伝播遅延 33nsec
消費電力 6 mW
ファンアウト 10

SN54L10N / SN74L10N

SN54L10J / SN74L10J

3回路、3入力、NANDゲート

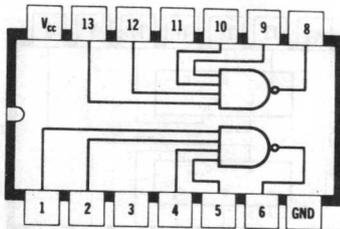


伝播遅延 33nsec
消費電力 3 mW
ファンアウト 10

SN54L20N / SN74L20N

SN54L20J / SN74L20J

2回路、4入力、NANDゲート

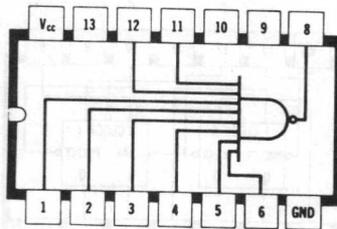


伝播遅延 33nsec
消費電力 2 mW
ファンアウト 10

SN54L30N / SN74L30N

SN54L30J / SN74L30J

8入力、NANDゲート

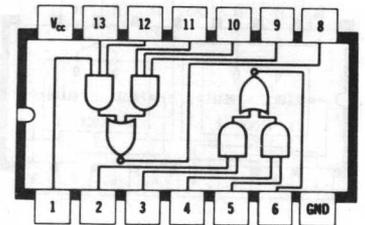


伝播遅延 52nsec
消費電力 1 mW
ファンアウト 10

SN54L51N / SN74L51N

SN54L51J / SN74L51J

2回路、2ワイド、2入力
/ 2ワイド 3入力
(AND-OR-INVERTゲート)

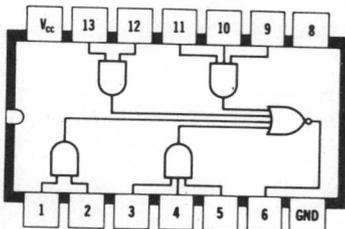


伝播遅延 42nsec
消費電力 2.8mW
ファンアウト 10

SN54L54N / SN74L54N

SN54L54J / SN74L54J

2-2-3-3入力
(AND-OR-INVERTゲート)

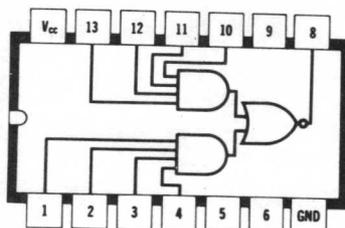


伝播遅延 42nsec
消費電力 1.4mW
ファンアウト 10

SN54L55N / SN74L55N

SN54L55J / SN74L55J

2ワイド、4入力
(AND-OR-INVERTゲート)

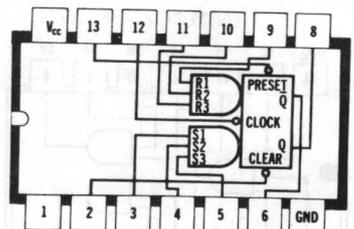


伝播遅延 42nsec
消費電力 1.4mW
ファンアウト 10

SN54L71N / SN74L71N

SN54L71J / SN74L71J

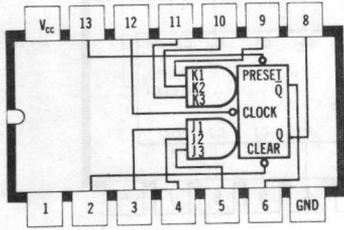
R-S、M-Sフリップ・フロップ



最高クロック周波数 3 MHz
伝播遅延 47nsec
消費電力 3.8mW
ファンアウト 10

SN54L72N / SN74L72N
SN54L72J / SN74L72J

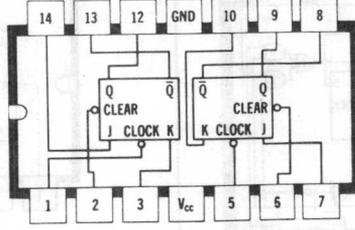
J-K、マスタースレーブ
 フリップ・フロップ



最高クロック周波数 3 MHz
 伝播遅延 47nsec
 消費電力 3.8mW
 ファンアウト 10

SN54L73N / SN74L73N
SN54L73J / SN74L73J

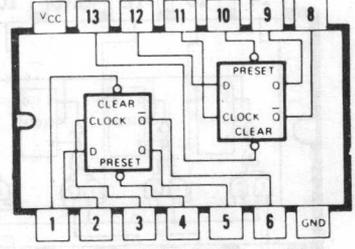
2回路、J-K マスタースレーブ
 フリップ・フロップ



最高クロック周波数 3 MHz
 伝播遅延 47nsec
 消費電力 7.6mW
 ファンアウト 10

SN54L74N / SN74L74N
SN54L74J / SN74L74J

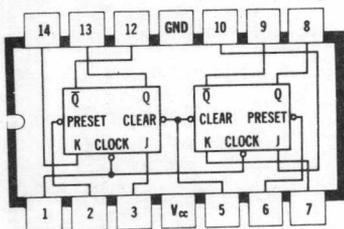
2回路、Dタイプ エッジ
 トリガ型 フリップ・フロップ



最高クロック周波数 3 MHz
 伝播遅延 65nsec
 消費電力 8.5mW
 ファンアウト 10

SN54L78N / SN74L78N
SN54L78J / SN74L78J

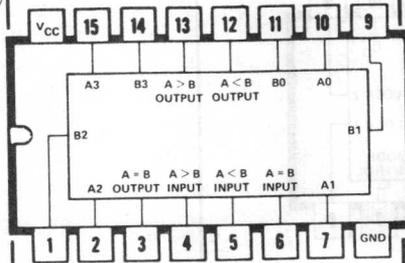
2回路、J-Kマスタースレーブ
 フリップ フロップ (共通クリア付)



最高クロック周波数 3 MHz
 伝播遅延 47nsec
 消費電力 7.6mW
 ファンアウト 10

SN54L85N / SN74L85N
SN54L85J / SN74L85J

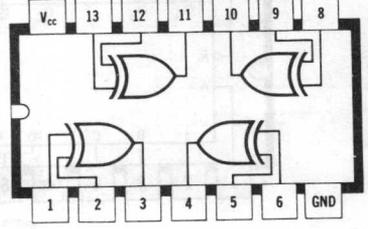
4ビット、コンパレータ



伝播遅延 75nsec
 消費電力 20mW
 ファンアウト 10

SN54L86N / SN74L86N
SN54L86J / SN74L86J

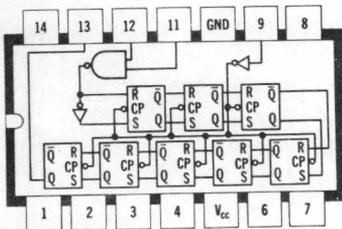
4回路、2入力、エクスクルシブ
 ORゲート



伝播遅延 58nsec
 消費電力 14mW
 ファンアウト 10

SN54L91N / SN74L91N
SN54L91J / SN74L91J

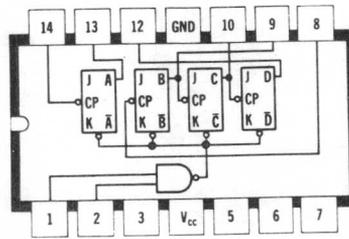
8ビット シフト レジスター



最高シフト周波数 3 MHz
 消費電力 18.5mW
 ファンアウト 10

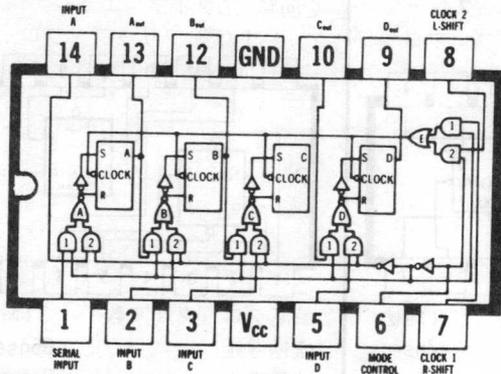
SN54L93N / SN74L93N
SN54L93J / SN74L93J

4ビット バイナリ カウンタ



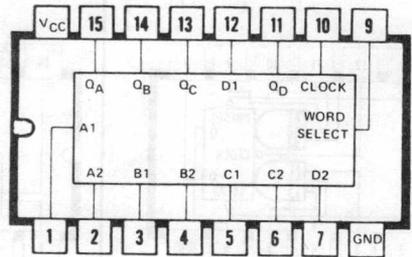
最高計数周波数 3 MHz
 消費電力 16mW
 ファンアウト 10

SN54L95N / SN74L95N 4ビットシフト
SN54L95J / SN74L95J レジスタ



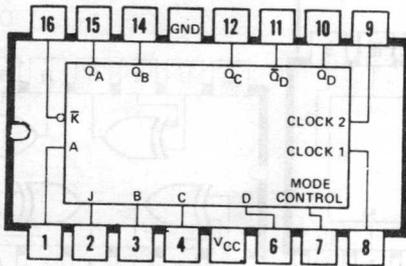
最高シフト周波数 3 MHz
 消費電力 19mW ファンアウト 10

SN54L98N / SN74L98N 4ビット、データ
SN54L98J / SN74L98J セレクタ/レジスタ



最高クロック周波数 3 MHz
 伝播遅延 120nsec
 消費電力 25mW
 ファンアウト 10

SN54L99N / SN74L99N 4ビット シフト
SN54L99J / SN74L99J レジスタ(左、右シフト)

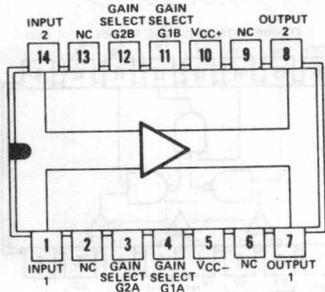


最高シフト周波数 3 MHz
 伝播遅延 120nsec
 消費電力 25mW
 ファンアウト 10

SN75 シリーズ CSIC一覽表

SN72733N

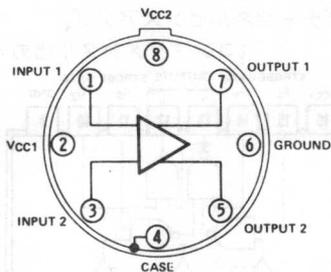
差動入力ビデオアンプ



バンド巾 200MHz
利得 10, 100, 400
入力インピーダンス 250k Ω

SN7510L

差動入力ビデオアンプ

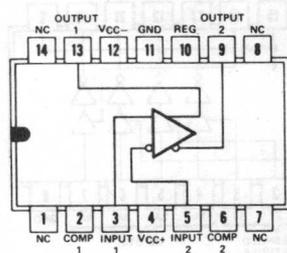


THE CIRCUIT IS ELECTRICALLY INSULATED FROM THE CASE

バンド巾 40MHz
利得 100
入力インピーダンス 6k Ω

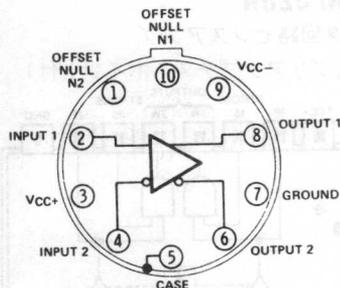
SN7511N

差動入力ビデオアンプ



バンド巾 3MHz
利得 600
入力インピーダンス 5k Ω

SN7512L 差動入力ビデオアンプ (オフセット調整端子付)

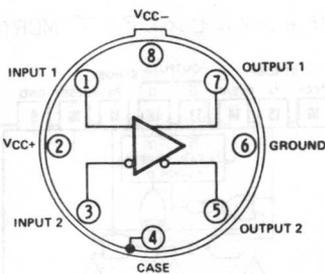


THE CIRCUIT IS ELECTRICALLY INSULATED FROM THE CASE

バンド巾 80MHz
利得 300
入力インピーダンス 6k Ω

SN7514L

差動入力ビデオアンプ

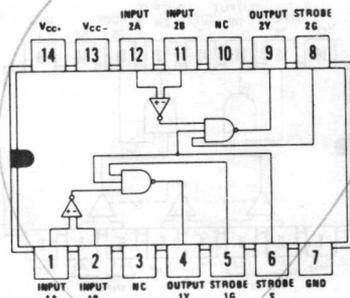


THE CIRCUIT IS ELECTRICALLY INSULATED FROM THE CASE

バンド巾 80MHz
利得 300
入力インピーダンス 6k Ω

SN75107AN (トーンポール出力) SN75108AN (開放コレクタ出力)

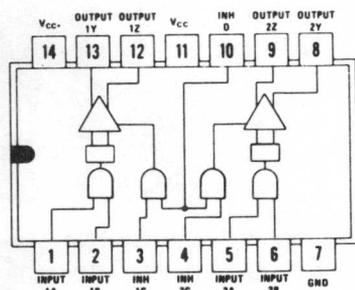
2回路差動入力ラインレシーバ



供給電源 $\pm 5V$
スレッショルド $\pm 25mV$

SN75109N SN75110N

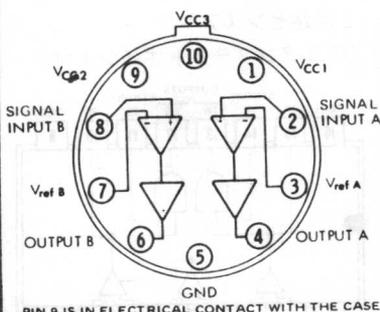
2回路差動出力ラインドライバ



供給電源 $\pm 5V$
ドライブ電流 6mA (SN75109)
12mA (SN75110)

SN75100L

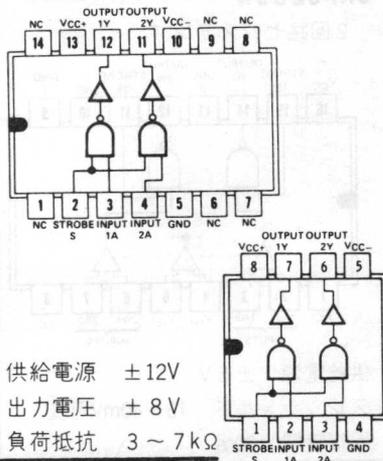
2回路ラインレシーバ



供給電源 $\pm 8V + 4V$
スレッショルド $-1.5V \sim +1.5V$ 可変

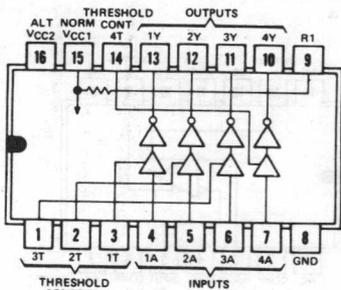
SN75150N/P

2回路ラインドライバ



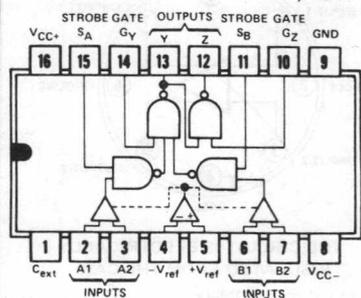
供給電源 $\pm 12V$
出力電圧 $\pm 8V$
負荷抵抗 3 ~ 7k Ω

SN75154N 4回路ラインレシーバ
(シュミットアクション)



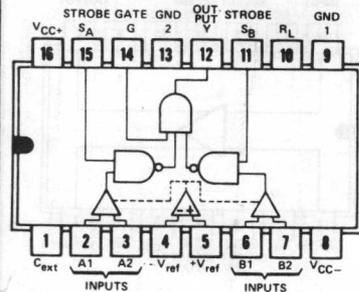
供給電源 +12V, +5V
スレッシュولد +2.2V
(ポジティブゴーイング)
+1.4V or -1.1V
(ネガティブゴーイング)

SN7520N
SN7521N
2チャンネルセンスアンプ
(コンプリメンタリ出力)



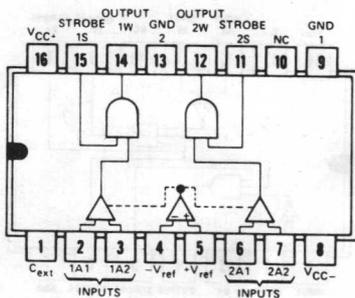
供給電源 $\pm 5V$
スレッシュولد 15~40mV可変
回復時間 20ns

SN7522N
SN7523N
2チャンネルセンスアンプ



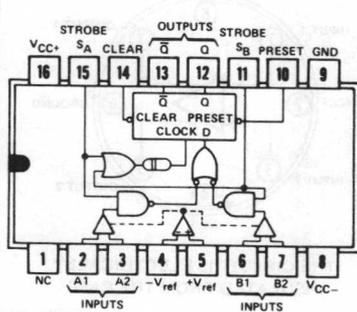
供給電源 $\pm 5V$
スレッシュولد 15~40mV可変
回復時間 20ns

SN7524N
SN7525N
2回路センスアンプ



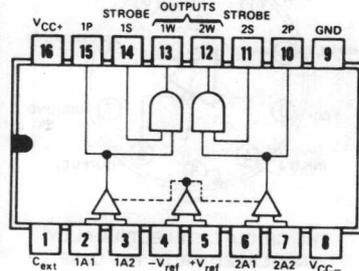
供給電源 $\pm 5V$
スレッシュولد 15~40mV可変
回復時間 20ns

SN7526N
SN7527N
2チャンネルセンスアンプ (MDR付)



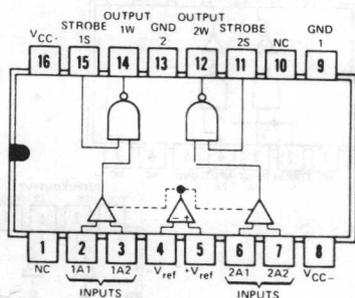
供給電源 $\pm 5V$
スレッシュولد 15~40mV可変
回復時間 20ns

SN7528N
SN7529N
2回路センスアンプ
(プリアンプテストポイント付)



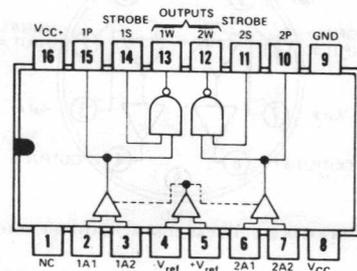
供給電源 $\pm 5V$
スレッシュولد 15~40mV可変
回復時間 20ns

SN75234N
SN75235N
2回路センスアンプ



供給電源 $\pm 5V$
スレッシュولد 15~40mV可変
回復時間 20ns

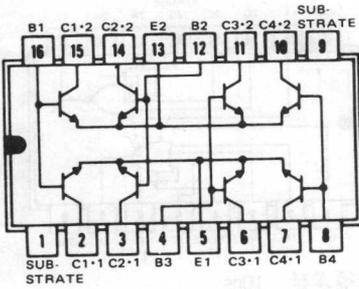
SN75238N
SN75239N
2回路センスアンプ
(プリアンプテストポイント付)



供給電源 $\pm 5V$
スレッシュولد 15~40mV可変
回復時間 20ns

SN75303N

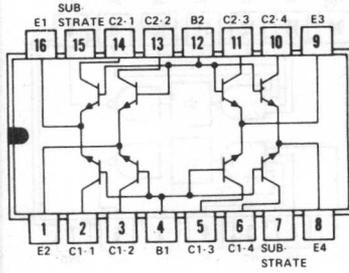
2 × 4 トランジスタアレイ



$V_{CE(D)}$ 18Vmin
 I_C 150mA
 $V_{CE(sat)}$ 0.75Vmax
 P_C 250mW

SN75308N

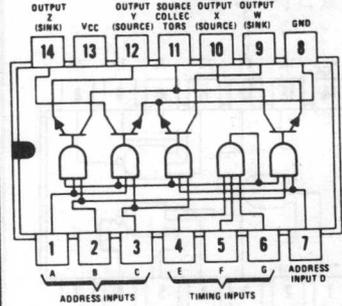
4 × 2 トランジスタアレイ



V_{CES} 25Vmin
 I_C 600mA
 $V_{CE(sat)}$ 0.8Vmax
 P_C 800mW

SN75324N

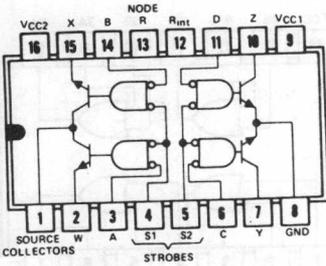
メモリドライバ (デコード入力付)



V_{CC} 17Vmax
 I_{sink} I_{source} 420mA
 $V_{CE(sat)}$ 0.85Vmax
 P_C 800mW

SN75325N

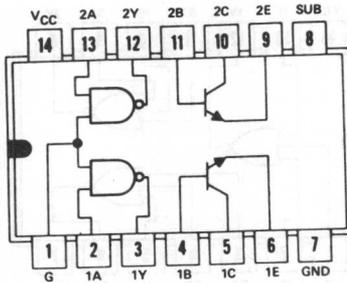
メモリドライバ



V_{CC} 25Vmax
 I_{sink} I_{source} 600mA
 $V_{CE(sat)}$ 0.75Vmax
 P_C 800mW

SN75450N

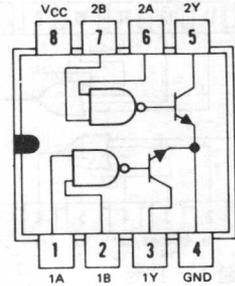
2 回路ペリフェラル NAND ドライバ



V_{CER} 30V
 I_C 300mA
 $V_{CE(sat)}$ 0.7Vmax

SN75451P

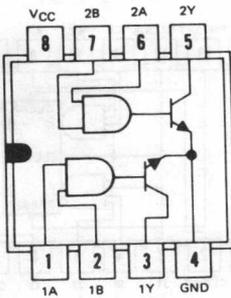
2 回路ペリフェラル NAND ドライバ



V_{CE} 30V
 I_C 300mA
 $V_{CE(sat)}$ 0.7Vmax

SN75452P

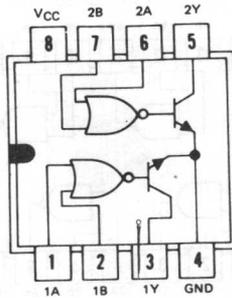
2 回路ペリフェラル AND ドライバ



V_{CE} 30V
 I_C 300mA
 $V_{CE(sat)}$ 0.7Vmax

SN75453P

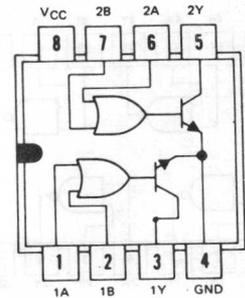
2 回路ペリフェラル NOR ドライバ



V_{CE} 30V
 I_C 300mA
 $V_{CE(sat)}$ 0.7Vmax

SN75454P

2 回路ペリフェラル OR ドライバ

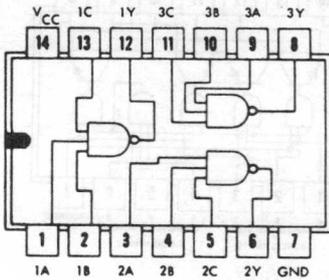


V_{CE} 30V
 I_C 300mA
 $V_{CE(sat)}$ 0.7Vmax

SN74 シリーズ SSI 一覧表

SN7412N

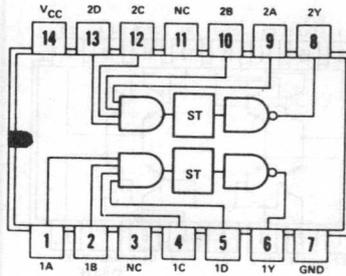
3回路3入力NANDゲート
(開放コレクタ出力)



伝播遅延 30ns
消費電力 30mW
ファンアウト 16mAシンク (0.4V)

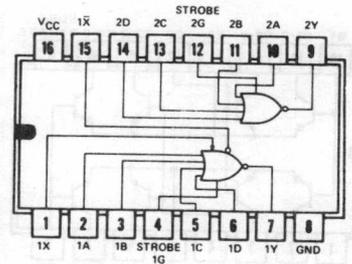
SN7413N

2回路NAND シュミットトリガ



伝播遅延 16ns
スレッシュホールド1.7V (正方向)
0.9V (負方向)
消費電力 80mW

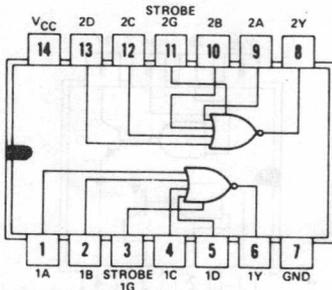
NS7423N 2回路4入力NORゲート (エキスパンDstロブ入力付)



伝播遅延 10ns
消費電力 45mW
ファンアウト 10
ファンイン 1
4 (ストロブ入力)

SN7425N

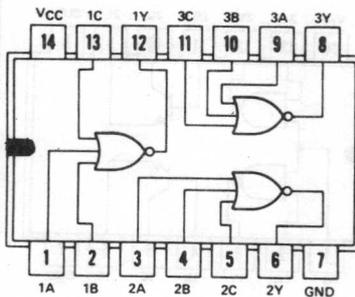
2回路、4入力
NORゲート(ストロブ入力付)



伝播遅延 10ns
消費電力 45mW
ファンアウト10
ファンイン 1
4 (ストロブ入力)

SN7427N

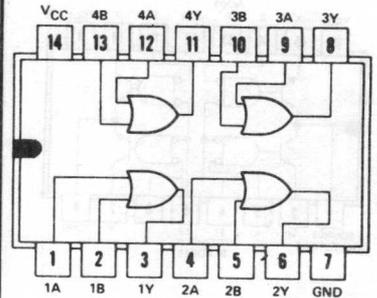
3回路、3入力NORゲート



伝播遅延 9ns
消費電力 60mW
ファンアウト10

SN7432N

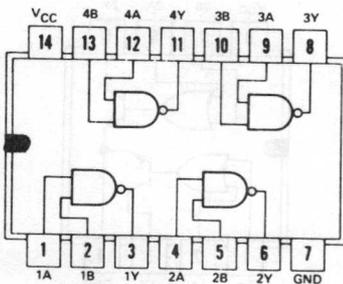
4回路、2入力ORゲート



伝播遅延 12ns
消費電力 90mW
ファンアウト10

SN7437N

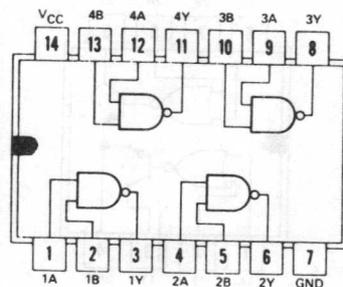
4回路、2入力NANDバッファ



伝播遅延 10ns
消費電力 105mW
ファンアウト30

SN7438N

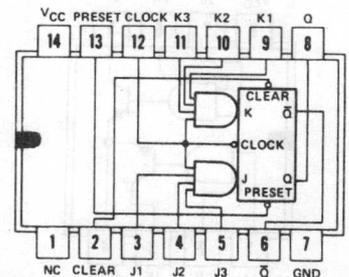
4回路、2入力NANDバッファ
(開放コレクタ出力)



伝播遅延 13ns
消費電力 95mW
ファンアウト48mAシンク(0.4V)

SN74110N

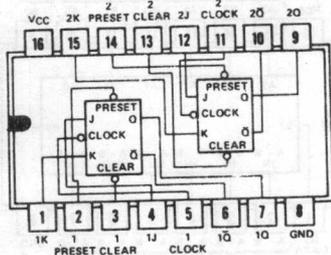
J-K、M-Sフリップ・フロップ
(データロックアウト型)



最高クロック周波数 25MHz
伝播遅延 17ns
消費電力 95mW
ファンアウト10

SN74111N

2回路、J-K、M-Sフリップ・フロップ(データロックアウト型)

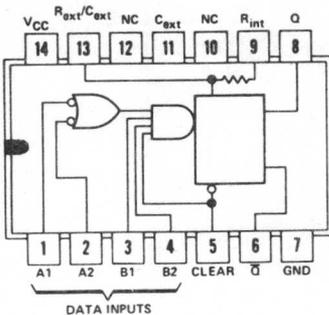


最高クロック周波数 25MHz
伝播遅延 16ns
消費電力 130mW
ファンアウト 10

SN74122N

再トリガ型

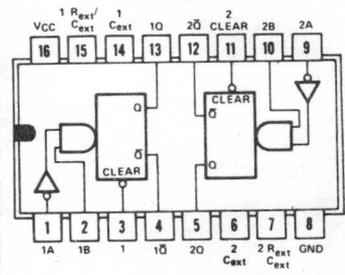
単安定マルチ(クリア入力付)



出力パルス巾 40ns~
最小トリガパルス巾 40ns
消費電力 110mW
ファンアウト 10

SN74123N

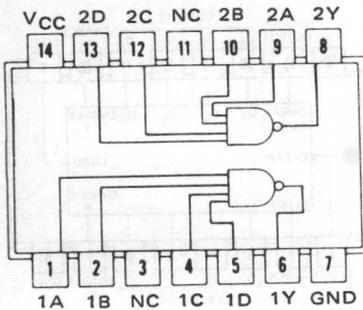
2回路、再トリガ型、単安定マルチ(クリア入力付)



出力パルス巾 40ns~
最小トリガパルス巾 40ns
消費電力 220mW
ファンアウト 10

SN7422N

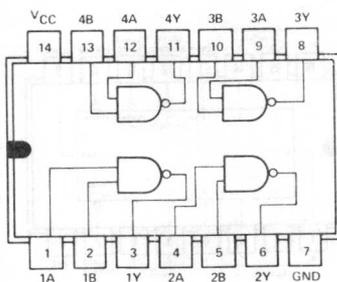
2回路 4入力 NANDゲート (開放コレクタ出力)



伝播遅延 21 ns
消費電力 20 mW/Gate
シンク電流 16 mA (0.4V)

SN7426N

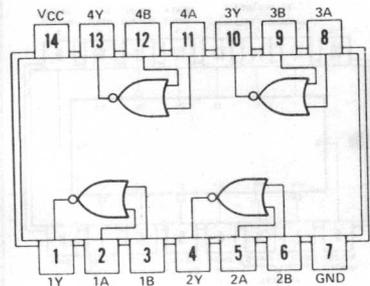
4回路 2入力 NANDゲート (開放コレクタ出力)



伝播遅延 13ns
消費電力 80 mW/Gate
シンク電流 16 mA (0.4V)

SN7433N

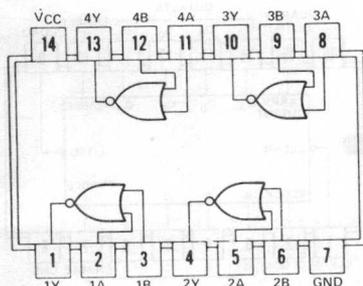
4回路 2入力 NORバッファ (開放コレクタ出力)



伝播遅延 11ns
消費電力 112 mW/Gate
ファンアウト 30

SN7428N/74128N

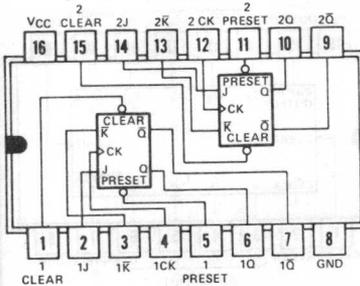
4回路入力 NORバッファ



伝播遅延 7 ns
消費電力 112 mW/Gate
ファンアウト 30

SN74109N

2回路 J-Kエッジトリガードフリップフロップ (バッファードクロック入力)

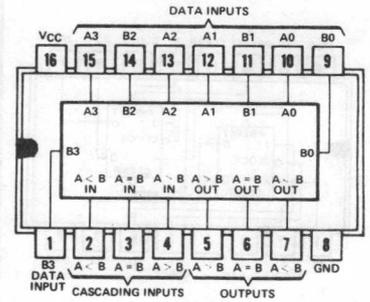


消費電力 140 mW/Gate
ファンアウト

SN74 シリーズ MSI 一覧表

SN7485N

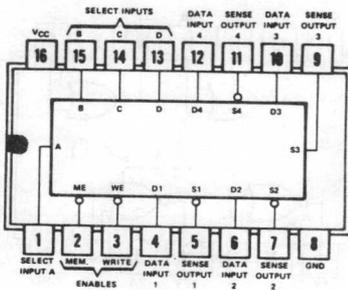
4ビット・コンパレータ



伝播遅延 15ns
消費電力 260mW
ファンアウト 10

SN7489N

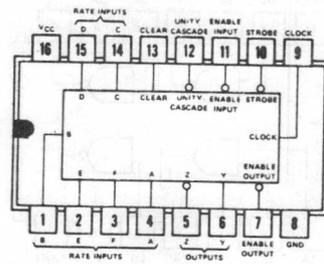
64ビット R.A.M



アクセス時間 40ns
消費電力 360mW
ファンアウト 12mAシンク (0.4V)

SN7497N

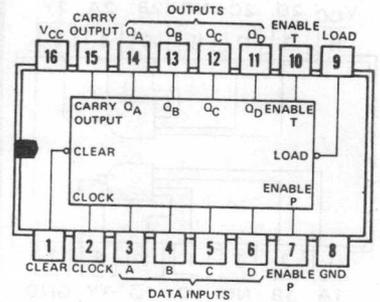
6ビット、バイナリ、マルチプライヤ (クロック同期式)



最高クロック周波数 32MHz
消費電力 330mW
ファンアウト 10

SN74160N

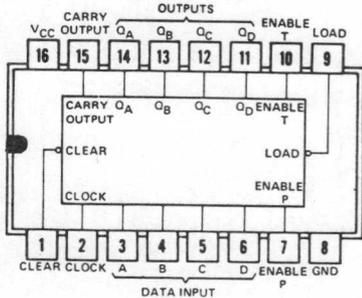
同期式10進カウンタ (非同期クリア入力付)



最高クロック周波数 32MHz
消費電力 290mW
ファンアウト 10

SN74161N

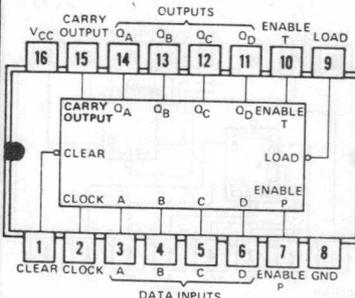
同期式4ビットバイナリカウンタ (非同期クリア入力付)



最高クロック周波数 32MHz
消費電力 290mW
ファンアウト 10

SN74162N

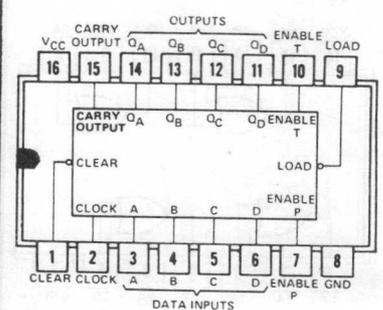
全同期式10進カウンタ



最高クロック周波数 32MHz
消費電力 290mW
ファンアウト 10

SN74163N

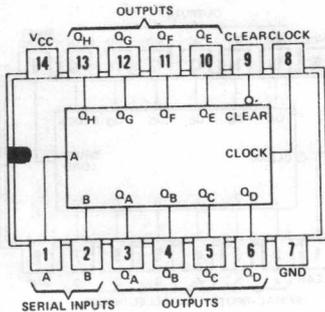
全同期式4ビットバイナリカウンタ



最高クロック周波数 32MHz
消費電力 290mW
ファンアウト 10

SN74164N

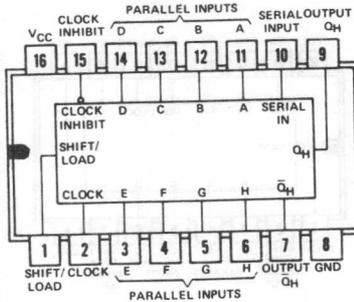
8ビットシフトレジスタ
(シリアル入力、パラレル出力)



最高シフト周波数 36MHz
消費電力 160mW
ファンアウト 5

SN74165N

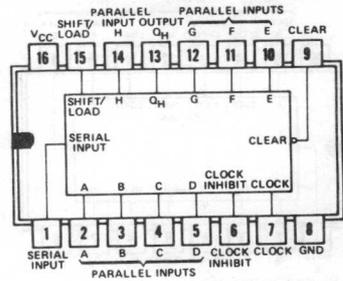
8ビットシフトレジスタ
(非同期パラレルロード付)



最高シフト周波数 26MHz
消費電力 200mW
ファンアウト 10

SN74166N

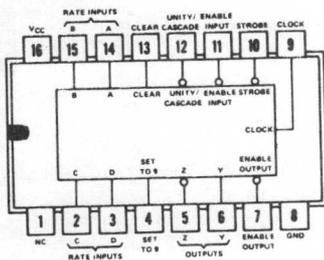
8ビットシフトレジスタ
(同期式パラレルロード付)



最高シフト周波数 35MHz
消費電力 340mW
ファンアウト 10

SN74167N

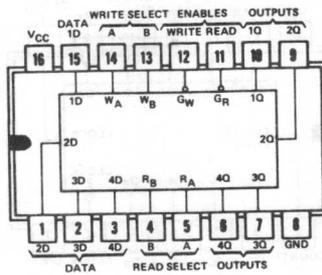
10進マルチプライヤ
(クロック同期式)



最高クロック周波数 32MHz
消費電力 250mW
ファンアウト 10

SN74170N

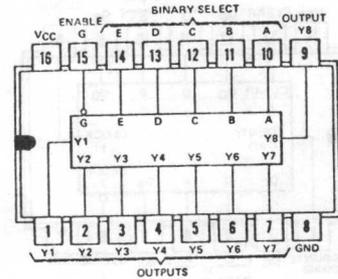
4×4ビットメモリ



アクセス時間 20ns
消費電力 600mW
ファンアウト 16mAシンク(0.4V)

SN74184N

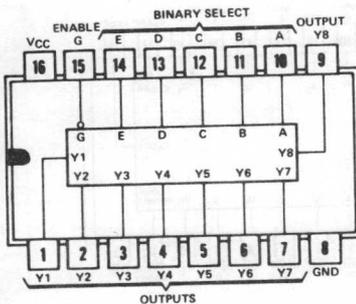
BCD-バイナリコンバータ



伝播遅延 22ns
消費電力 270mW
ファンアウト 12mAシンク(0.4V)

SN74185AN

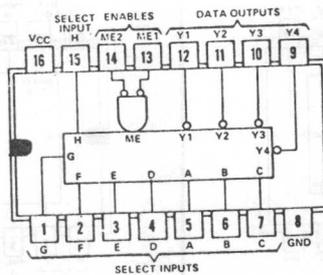
バイナリ-BCDコンバータ



伝播遅延 22ns
消費電力 270mW
ファンアウト 12mAシンク(0.4V)

SN74187N

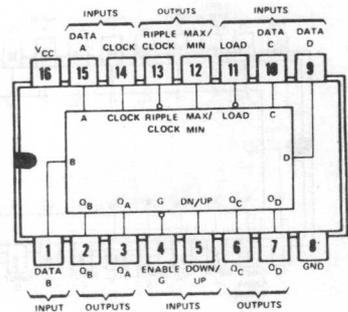
1024ビット R.O.M



アクセス時間 40ns
消費電力 440mW
ファンアウト 12mAシンク(0.4V)

SN74190N

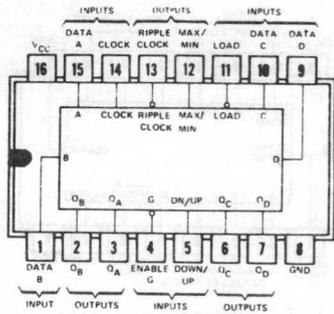
同期式10進、アップダウンカウンタ



最高クロック周波数 25MHz
消費電力 310mW
ファンアウト 10

SN74191N

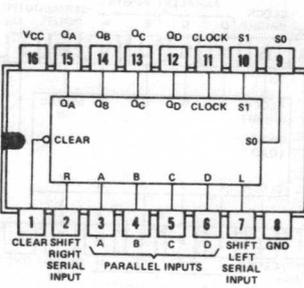
同期式4ビットバイナリ
アップダウンカウンタ



最高クロック周波数 25MHz
消費電力 310mW
ファンアウト 10

SN74194N

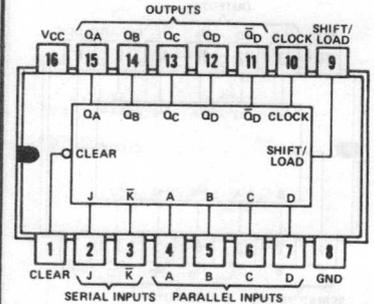
4ビット左右シフトレジスタ
(パラレル入力、パラレル出力)



最高シフト周波数 36MHz
消費電力 170mW
ファンアウト 10

SN74195N

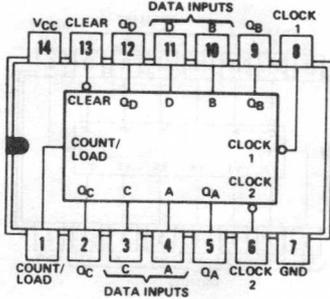
4ビットシフトレジスタ
(パラレル入力、パラレル出力)



最高シフト周波数 39MHz
消費電力 170mW
ファンアウト 10

SN74196N

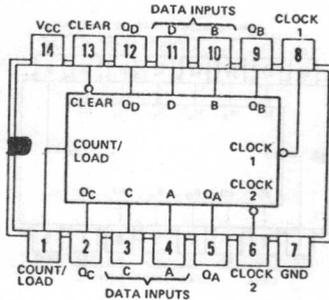
50MHz 10進カウンタラッチ
(プリセット入力付)



最高クロック周波数 50MHzmin
消費電力 230mW
ファンアウト 10

SN74197N

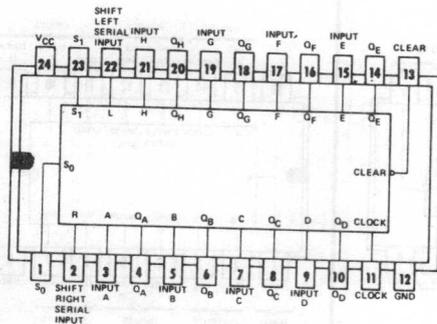
50MHz 4ビットバイナリカウンタ
ラッチ (プリセット入力付)



最高クロック周波数 50MHzmin
消費電力 230mW
ファンアウト 10

SN74198N

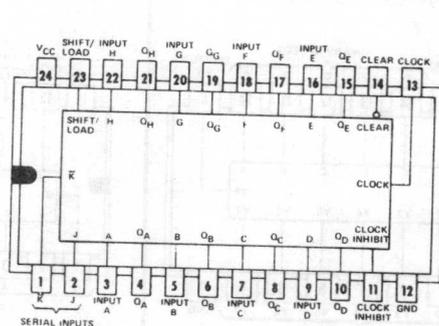
8ビット左、右シフトレジスタ
(パラレル入力、パラレル出力)



最高クロック周波数 35MHz
消費電力 340mW
ファンアウト 10

SN74199N

8ビットシフトレジスタ
(パラレル入力、パラレル出力)

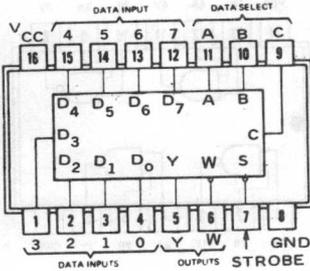


最高クロック周波数 35MHz
消費電力 340mW
ファンアウト 10

SN74S シリーズ MSI 一覧表

SN74S151N

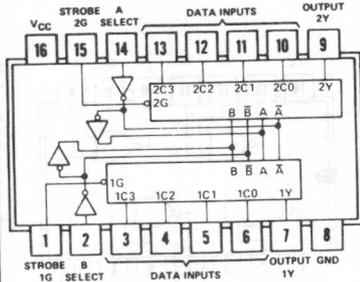
8ビット、データセクタ
/マルチプレクサ



伝播遅延 4.5ns
消費電力 160mW
ファンアウト 10

SN74S153N

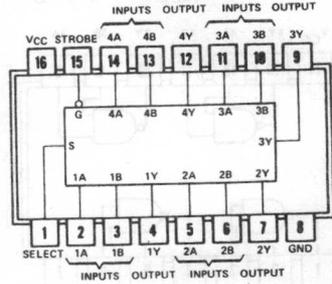
4-1ライン
データセクタ/マルチプレクサ



伝播遅延
データ入カ-出力 6ns
ストローブ-出力 10ns
セレクト-出力 12ns
消費電力 225mW
ファンアウト 10

SN74S157N

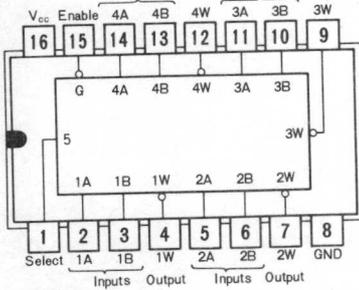
4回路2-1
データセクタ/マルチプレクサ



伝播遅延
データ入カ-出力 5ns
ストローブ-出力 8ns
セレクト-出力 8ns
消費電力 220mW
ファンアウト 10

74S158N

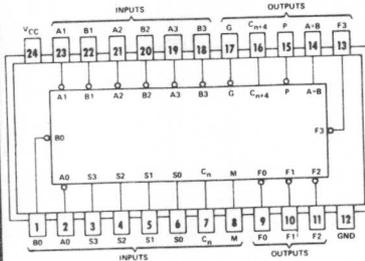
4回路2-1
データセクタ/マルチプレクサ



伝播遅延
データ入カ-出力 4ns
ストローブ-出力 7ns
セレクト-出力 7ns
消費電力 180mW
ファンアウト 10

74S181N

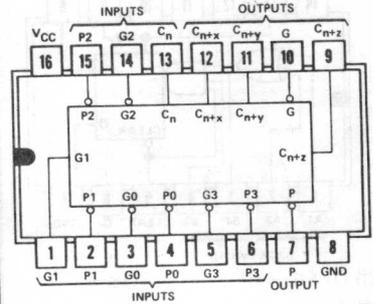
演算論理エレメント/ファンクション
ジェネレータ(ALU)



4ビット 加算タイム 11ns
4ビット キャリータイム 8ns
消費電力 700mW
ファンアウト 10

74S182N

ルックアヘッド キャリー
ジェネレータ

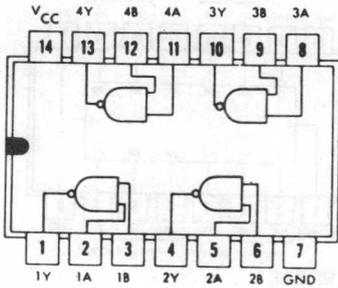


伝播遅延 4ns
消費電力 260mW
ファンアウト 10

SN74L シリーズ SSI 一覧表

SN74L01N

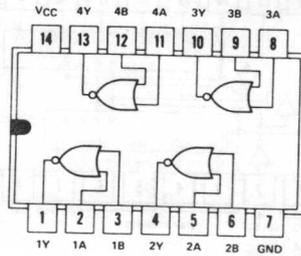
4 回路、2 入力 NAND ゲート
(開放コレクタ出力)



伝播遅延 75ns max
消費電力 2.4mW
ファンアウト 10

SN74L02N

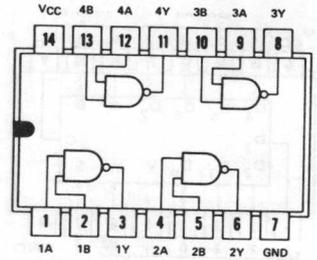
4 回路、2 入力 NOR ゲート



伝播遅延 33ns
消費電力 2.5mW
ファンアウト 10

SN74L03N

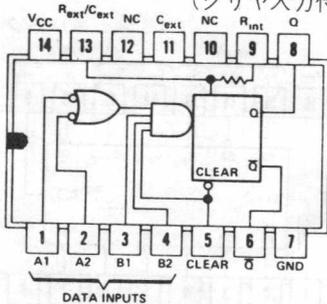
4 回路、2 入力 NAND ゲート
(開放コレクタ出力)



伝播遅延 75ns max
消費電力 2.4mW
ファンアウト 10

SN74L122N

再トリガ、単安定マルチ
(クリア入力付)

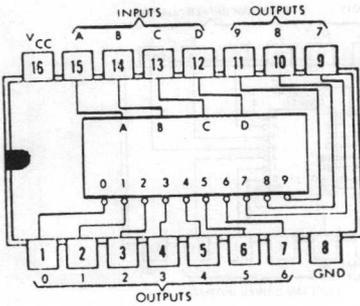


出力パルス巾 70ns ~
最小トリガパルス巾 50ns
消費電力 52mW
ファンアウト 40

SN74L シリーズ MSI 一覧表

SN74L42N

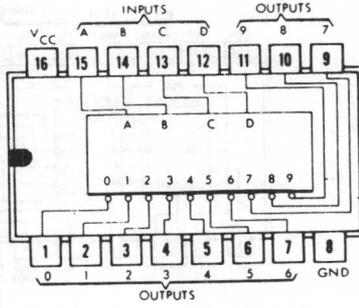
BCD-デシマルデコーダ



伝播遅延 40ns
消費電力 70mW
ファンアウト 40

SN74L44N

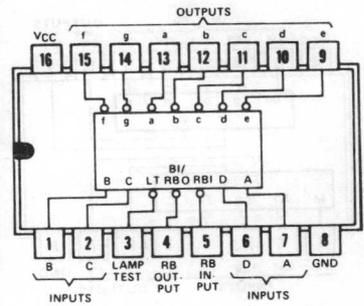
エクセス3 グレーデシマル
デコーダ



伝播遅延 40ns
消費電力 70mW
ファンアウト 40

SN74L46N

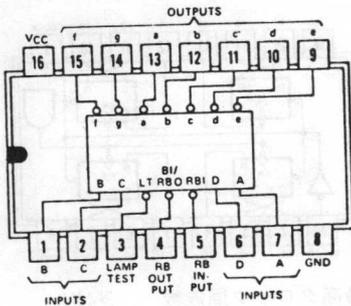
BCD-7セグメントデコーダ
ノドライバ(耐圧 30V)



伝播遅延 0.2μs max
消費電力 130mW
ファンアウト 20mAシンク (0.4V)

SN74L47N

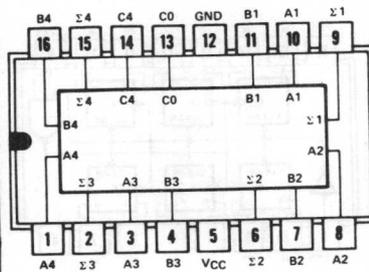
BCD-7セグメントデコーダ
ノドライバ(耐圧 15V)



伝播遅延 0.2μs max
消費電力 130mW
ファンアウト 20mAシンク (0.4V)

SN74LS83N

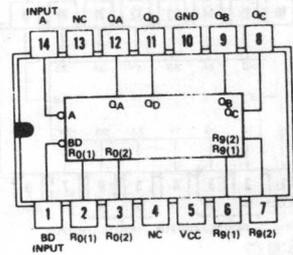
4ビット、フルアダー
(ショットキー-TTL)



伝播遅延 50ns
消費電力 70mW
ファンアウト 20

SN74L90N

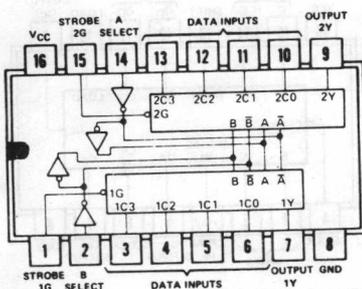
10進カウンタ



最高クロック周波数 3MHz
消費電力 20mW
ファンアウト 10

SN74L153N

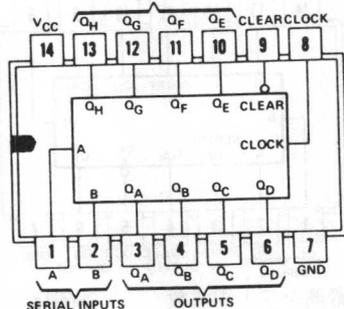
4-1ラインデータセクタ
ノマルチプレクサ



伝播遅延 27ns
消費電力 85mW
ファンアウト 40

SN74L164N

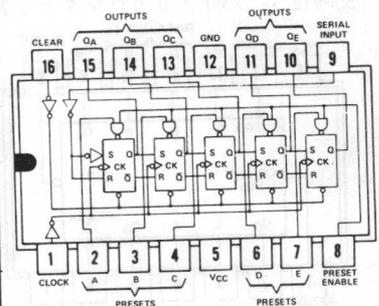
8ビットシフトレジスタ
(パラレル出力)



最高シフト周波数 18MHz
消費電力 85mW
ファンアウト 20

74L96N

5ビット、シフトレジスタ

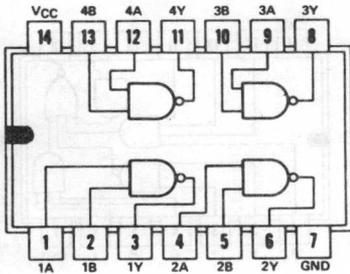


最高シフト周波数 5MHz
伝播遅延時間 80ns
消費電力 120mW
ファンアウト 10

SN74S シリーズ SSI 一覧表

SN74S00N

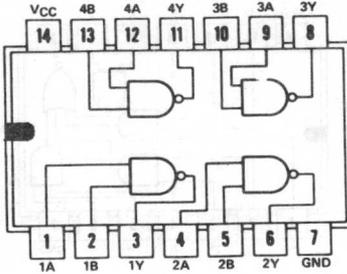
4回路、2入力NANDゲート



伝播遅延 3 ns
消費電力 18mW/Gate
ファンアウト 10

SN74S03N

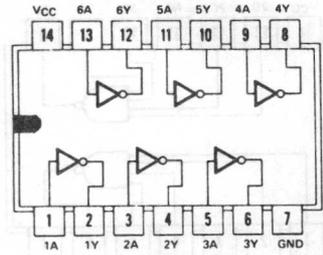
4回路、2入力NANDゲート
(開放コレクタ出力)



伝播遅延 5 ns
消費電力 15mW/Gate
ファンアウト 20mAシンク (0.5V)

SN74S04N

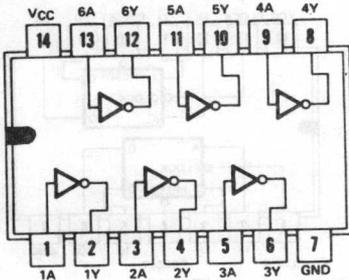
6回路 インバータ



伝播遅延 3 ns
消費電力 18mW/Gate
ファンアウト 10

SN74S05N

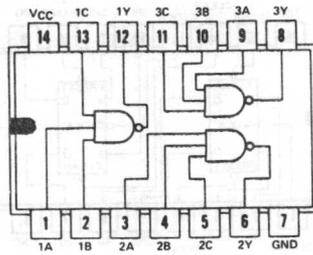
6回路 インバータ
(開放コレクタ出力)



伝播遅延 5 ns
消費電力 15mW/Gate
ファンアウト 20mAシンク (0.5V)

SN74S10N

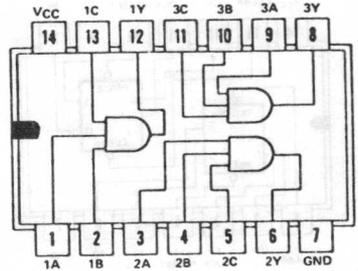
3回路、3入力NANDゲート



伝播遅延 3 ns
消費電力 18mW/Gate
ファンアウト 10

SN74S11N

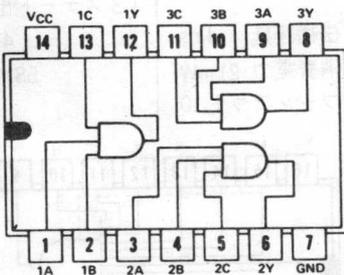
3回路、3入力ANDゲート



伝播遅延 5 ns
消費電力 30mW/Gate
ファンアウト

SN74S15N

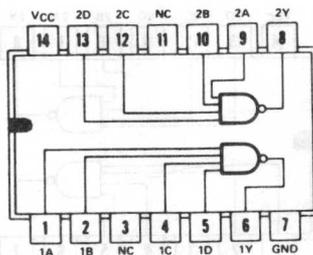
3回路、3入力ANDゲート
(開放コレクタ出力)



伝播遅延 6 ns
消費電力 27mW/Gate
ファンアウト 20mAシンク (0.5V)

SN74S20N

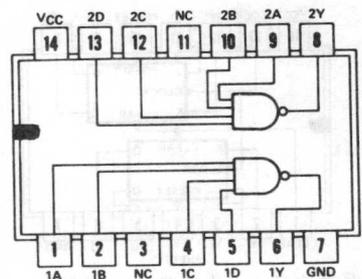
2回路、4入力NANDゲート



伝播遅延 3 ns
消費電力 18mW/Gate
ファンアウト 10

SN74S22N

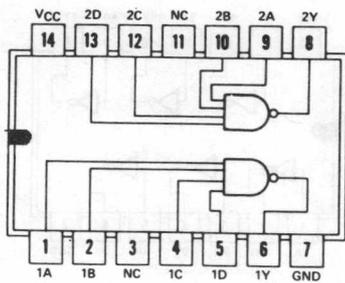
2回路、4入力NANDゲート
(開放コレクタ出力)



伝播遅延 5 ns
消費電力 15mW/Gate
ファンアウト 20mAシンク (0.5V)

SN74S40N

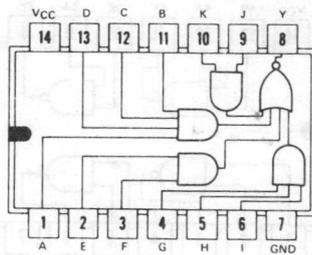
2回路、4入力NANDバッファ



伝播遅延 4 ns
消費電力 41mW/Gate
ファンアウト 30

SN74S64N

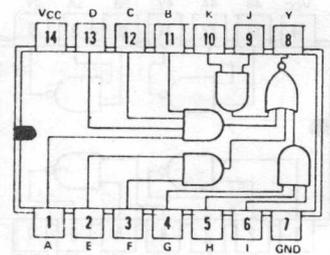
4-2-3-2入力
AND-OR-INVゲート



伝播遅延 3.5 ns
消費電力 36mW
ファンアウト 10

SN74S65N

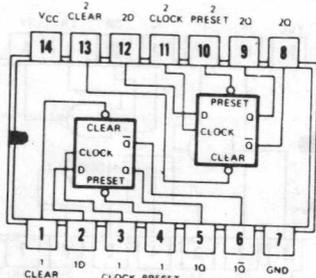
4-2-3-2入力
AND-OR-INVゲート
(開放コレクタ出力)



伝播遅延 5 ns
消費電力 34mW
ファンアウト 20mAシンク (0.5V)

SN74S74N

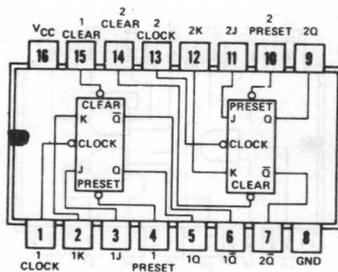
2回路、Dタイプ、エッジトリガ
フリップ・フロップ



最高クロック周波数 90MHz
伝播遅延 7 ns
消費電力 70mW/FF
ファンアウト 10

SN74S112N

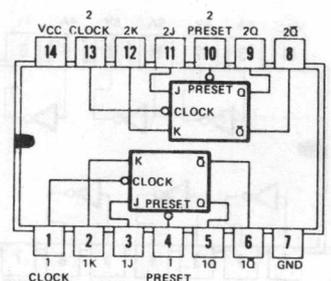
2回路、J-K エッジトリガ
フリップ・フロップ



最高クロック周波数 125MHz
伝播遅延 4.5 ns
消費電力 70mW/FF
ファンアウト 10

SN74S113N

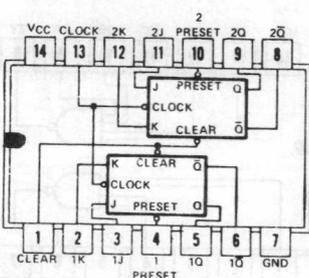
2回路、J-K エッジトリガ
フリップ・フロップ



最高クロック周波数 125MHz
伝播遅延 4.5 ns
消費電力 70mW/FF
ファンアウト 10

SN74S114N

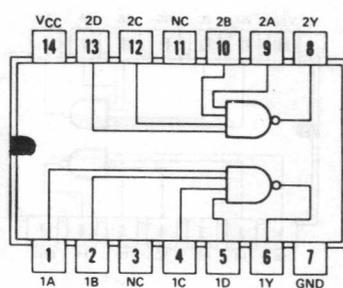
2回路、J-K エッジトリガ
フリップ・フロップ



最高クロック周波数 125MHz
伝播遅延 4.5 ns
消費電力 70mW/FF
ファンアウト 10

SN74S140N

2回路、4入力NANDバッファ
(50Ωラインドライバ)

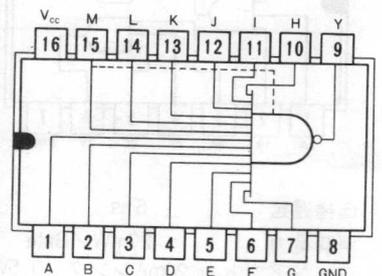


伝播遅延 4 ns
消費電力 41mW/Gate
ファンアウト 30

74S133N

13入力NANDゲート
(3ステート出力)

伝播遅延 4 ns
消費電力 21 mW
ファンアウト 10



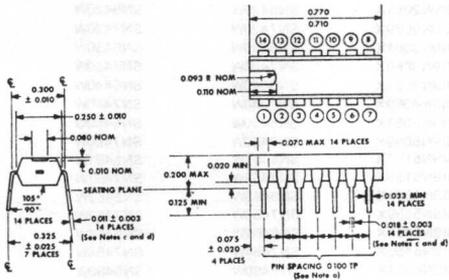
74S134N

12入力NANDゲート
(3ステート出力)

伝播遅延 4 ns
消費電力 58 mW
ファンアウト 10

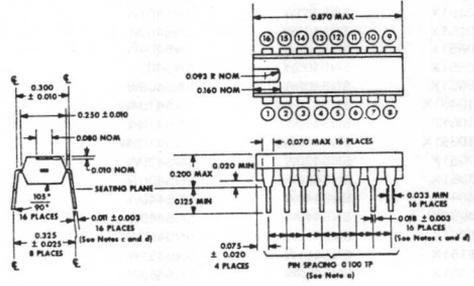
NプラスチックDIPパッケージ寸法図

14-PIN N PLASTIC DUAL-IN-LINE PACKAGE OUTLINE

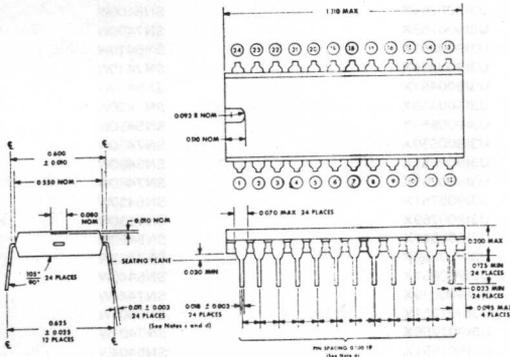


Falls Within JEDEC TO-116 and
MO-001AA Dimensions

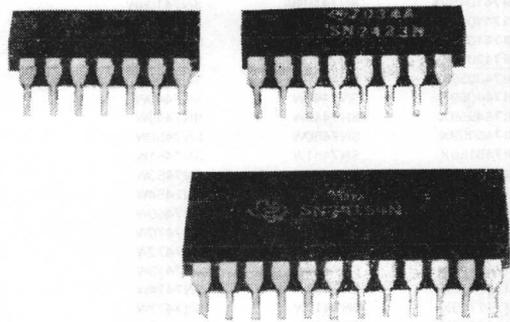
16-PIN N PLASTIC DUAL-IN-LINE PACKAGE OUTLINE



24-PIN N PLASTIC DUAL-IN-LINE PACKAGE OUTLINE



- NOTES:
- Each pin centerline is located within 0.010 of its true longitudinal position.
 - All dimensions are in inches unless otherwise noted.
 - This dimension does not apply for solder-dipped leads.
 - When solder-dipped leads are specified, dipped area of the lead extends from the lead tip to at least 0.020 above the seating plane.



他社製品との比較一覧表(外国編)

Fairchild TTL

Type Number	Direct Replacement	Recommended for New Designs	Type Number	Direct Replacement	Recommended for New Designs
A319033512	SN5481W	SN5489W	U319N0459X	SN7404W	SN7404W
A319033591	SN7481W	SN7489W	U319N0551X	SN5405W	SN5405W
A319033592	SN7481W	SN7489W	U319N0559X	SN7405W	SN7405W
A4L410359X	SN7489W	SN7489W	U319N0851X	SN5408W	SN5408W
A6A9033512	SN5481W	SN5489W	U319N0859X	SN7408W	SN7408W
A6A9033591	SN7481W	SN7489W	U319N10451X	SN54104W	SN54104W
A6A9033592	SN7481W	SN7489W	U319N10459X	SN74104W	SN74104W
A7B410359X	SN7489J, N	SN7489J, N	U319N1051X	SN5410W	SN5410W
A7B9034A1B	SN5488AW	SN5488AW	U319N10515X	SN54105W	SN54105W
A7B9034A9B	SN7488AW	SN7488AW	U319N10559X	SN74105W	SN74105W
U31540051X	SN5400W	SN5400W	U319N1059X	SN7410W	SN7410W
U31540151X	SN5401W	SN5401W	U319N2051X	SN5420W	SN5420W
U31540251X	SN5402W	SN5402W	U319N2059X	SN7420W	SN7420W
U31540451X	SN5404W	SN5404W	U319N3051X	SN5430W	SN5430W
U31540551X	SN5405W	SN5405W	U319N3059X	SN7430W	SN7430W
U31540851X	SN5408W	SN5408W	U319N4051X	SN5440W	SN5440W
U315410451X	SN54104W	SN54104W	U319N4059X	SN7440W	SN7440W
U31541051X	SN5410W	SN5410W	U319N5051X	SN5450W	SN5450W
U315410551X	SN54105W	SN54105W	U319N5059X	SN7450W	SN7450W
U31542051X	SN5420W	SN5420W	U319N5151X	SN5451W	SN5451W
U31543051X	SN5430W	SN5430W	U319N5159X	SN7451W	SN7451W
U31544051X	SN5440W	SN5440W	U319N5351X	SN5453W	SN5453W
U31544951X	SN5449W	SN5449W	U319N5359X	SN7453W	SN7453W
U31545051X	SN5450W	SN5450W	U319N5451X	SN5454W	SN5454W
U31545151X	SN5451W	SN5451W	U319N5459X	SN7454W	SN7454W
U31545351X	SN5453W	SN5453W	U319N6051X	SN5460W	SN5460W
U31545451X	SN5454W	SN5454W	U319N6059X	SN7460W	SN7460W
U31546051X	SN5460W	SN5460W	U319N7051X	SN5470W	SN5470W
U31547051X	SN5470W	SN5470W	U319N7059X	SN7470W	SN7470W
U31547251X	SN5472W	SN5472W	U319N7251X	SN5472W	SN5472W
U31547351X	SN5473W	SN5473W	U319N7259X	SN7472W	SN7472W
U31547451X	SN5474W	SN5474W	U319N7351X	SN5473W	SN5473W
U31547751X	SN5477W	SN5477W	U319N7359X	SN7473W	SN7473W
U31548051X	SN5480W	SN5480W	U319N7451X	SN5474W	SN5474W
U31548251X	SN5482W	SN5482W	U319N7459X	SN7474W	SN7474W
U31548651X	SN5486W	SN5486W	U319N8651X	SN5486W	SN5486W
U31549051X	SN5490W	SN5490W	U319N8659X	SN7486W	SN7486W
U31549151X	SN5491AW	SN5491AW	U31900051X	SN54104W	SN54104W
U31549251X	SN5492W	SN5492W	U31900059X	SN74104W	SN74104W
U31549351X	SN5493W	SN5493W	U31900151X	SN54105W	SN54105W
U31549551X	SN5495AW	SN5495AW	U31900159X	SN74105W	SN74105W
U31740059X	SN7400W	SN7400W	U31900251X	SN5400W	SN5400W
U31740159X	SN7401W	SN7401W	U31900259X	SN7400W	SN7400W
U31740459X	SN7404W	SN7404W	U31900351X	SN5410W	SN5410W
U31740559X	SN7405W	SN7405W	U31900359X	SN7410W	SN7410W
U31740859X	SN7408W	SN7408W	U31900451X	SN5420W	SN5420W
U317410459X	SN74104W	SN74104W	U31900459X	SN7420W	SN7420W
U317410559X	SN74105W	SN74105W	U31900551X	SN5450W	SN5450W
U31741059X	SN7410W	SN7410W	U31900559X	SN7450W	SN7450W
U31742059X	SN7420W	SN7420W	U31900651X	SN5460W	SN5460W
U31743059X	SN7430W	SN7430W	U31900659X	SN7460W	SN7460W
U31744059X	SN7440W	SN7440W	U31900751X	SN5430W	SN5430W
U31744959X	SN7449W	SN7449W	U31900759X	SN7430W	SN7430W
U31745059X	SN7450W	SN7450W	U31900851X	SN5453W	SN5453W
U31745159X	SN7451W	SN7451W	U31900859X	SN7453W	SN7453W
U31745359X	SN7453W	SN7453W	U31900951X	SN5440W	SN5440W
U31745459X	SN7454W	SN7454W	U31900959X	SN7440W	SN7440W
U31746059X	SN7460W	SN7460W	U31901251X	SN5401W	SN5401W
U31747059X	SN7470W	SN7470W	U31901259X	SN7401W	SN7401W
U31747259X	SN7472W	SN7472W	U31901651X	SN5404W	SN5404W
U31747359X	SN7473W	SN7473W	U31901659X	SN7404W	SN7404W
U31747459X	SN7474W	SN7474W	U31901751X	SN5405W	SN5405W
U31747759X	SN7477W	SN7477W	U31901759X	SN7405W	SN7405W
U31748059X	SN7480W	SN7480W	U31935951X	SN5449W	SN5449W
U31748259X	SN7482W	SN7482W	U31935959X	SN7449W	SN7449W
U31748659X	SN7486W	SN7486W	U31937751X	SN5477W	SN5477W
U31749059X	SN7490W	SN7490W	U31937759X	SN7477W	SN7477W
U31749159X	SN7491AW	SN7491AW	U31938051X	SN5480W	SN5480W
U31749259X	SN7492W	SN7492W	U31938059X	SN7480W	SN7480W
U31749359X	SN7493W	SN7493W	U31938251X	SN5482W	SN5482W
U31749559X	SN7495AW	SN7495AW	U31938259X	SN7482W	SN7482W
U319N0051X	SN5400W	SN5400W	U31939051X	SN5490W	SN5490W
U319N0059X	SN7400W	SN7400W	U31939059X	SN7490W	SN7490W
U319N0151X	SN5401W	SN5401W	U31939151X	SN5491AW	SN5491AW
U319N0159X	SN7401W	SN7401W	U31939159X	SN7491AW	SN7491AW
U319N0251X	SN5402W	SN5402W	U31939251X	SN5492W	SN5492W
U319N0259X	SN7402W	SN7402W	U31939259X	SN7492W	SN7492W
U319N0451X	SN5404W	SN5404W	U31939351X	SN5493W	SN5493W

Fairchild TTL, Cont.

Type Number	Direct Replacement	Recommended for New Designs	Type Number	Direct Replacement	Recommended for New Designs
U3I939359X	SN7493W	SN7493W	U4M931159X		SN74150W
U3I939551X	SN5495AW	SN5495AW	U4M934051X		SN54181W
U3I939559X	SN7495W	SN7495W	U4M934059X		SN74181W
U3I960051X		SN54122W	U4M934151X	SN54181W	SN54181W
U3I960059X		SN74122W	U4M934159X	SN74181W	SN74181W
U3I960151X	SN54122W	SN54122W	U6A540051X	SN5400J, N	SN5400J, N
U3I960159X	SN74122W	SN74122W	U6A540151X	SN5401J, N	SN5401J, N
U4L5418251X	SN54182W	SN54182W	U6A540251X	SN5402J, N	SN5402J, N
U4L5419251X	SN54192W	SN54192W	U6A540351X	SN5403J, N	SN5403J, N
U4L5419351X	SN54193W	SN54193W	U6A540451X	SN5404J, N	SN5404J, N
U4L548351X	SN5483W	SN5483W	U6A540551X	SN5405J, N	SN5405J, N
U4L549451X	SN5404W	SN5494W	U6A540851X	SN5408J, N	SN5408J, N
U4L549651X	SN5496W	SN5496W	U6A5410451X	SN54104J, N	SN54104J, N
U4L7418259X	SN74182W	SN74182W	U6A541051X	SN5410J, N	SN5410J, N
U4L7419259X	SN74192W	SN74192W	U6A5410551X	SN54105J, N	SN54105J, N
U4L7419359X	SN74193W	SN74193W	U6A5410751X	SN54107J, N	SN54107J, N
U4L901451X		SN5486W	U6A542051X	SN5420J, N	SN5420J, N
U4L901459X		SN7486W	U6A543051X	SN5430J, N	SN5430J, N
U4L902051X		SN54111W	U6A544051X	SN5440J, N	SN5440J, N
U4L902059X		SN74111W	U6A545051X	SN5450J, N	SN5450J, N
U4L902251X		SN54111W	U6A545151X	SN5451J, N	SN5451J, N
U4L902259X		SN74111W	U6A545351X	SN5453J, N	SN5453J, N
U4L902451X		SN54111W	U6A545451X	SN5454J, N	SN5454J, N
U4L902459X		SN74111W	U6A546051X	SN5460J, N	SN5460J, N
U4L930051X	SN54195W	SN54195W	U6A547051X	SN5470J, N	SN5470J, N
U4L930059X	SN74195W	SN75195W	U6A547251X	SN5472J, N	SN5472J, N
U4L930151X		SN5442W	U6A547351X	SN5473J, N	SN5473J, N
U4L930159X		SN7442W	U6A547451X	SN5474J, N	SN5474J, N
U4L930451X		SN5482W	U6A548051X	SN5480J, N	SN5480J, N
U4L930459X		SN7482W	U6A548251X	SN5482J, N	SN5482J, N
U4L930651X		SN54190W	U6A548651X	SN5486J, N	SN5486J, N
U4L930659X		SN74190W	U6A549051X	SN5490J, N	SN5490J, N
U4L930751X	SN5448W	SN5448W	U6A549151X	SN5491AJ, N	SN5491AJ, N
U4L930759X	SN7448W	SN7448W	U6A549251X	SN5492J, N	SN5492J, N
U4L930951X		SN54153W	U6A549351X	SN5493J, N	SN5493J, N
U4L930959X		SN74153W	U6A549551X	SN5495AJ, N	SN5495AJ, N
U4L931051X	SN54160W	SN54160W	U6A740059X	SN7400J, N	SN7400J, N
U4L931059X	SN74160W	SN74160W	U6A740159X	SN7401J, N	SN7401J, N
U4L931251X		SN54151W	U6A740259X	SN7402J, N	SN7402J, N
U4L931259X		SN74151W	U6A740359X	SN7403J, N	SN7403J, N
U4L931451X		SN5475W	U6A740459X	SN7404J, N	SN7404J, N
U4L931459X		SN7475W	U6A740559X	SN7405J, N	SN7405J, N
U4L931559X	SN74141W	SN74141W	U6A740859X	SN7408J, N	SN7408J, N
U4L931651X	SN54161W	SN54163W	U6A7410459X	SN74104J, N	SN74104J, N
U4L931659X	SN74161W	SN74163W	U6A7410559X	SN74105J, N	SN74105J, N
U4L9317511	SN5446AW	SN5446AW	U6A741059X	SN7410J, N	SN7410J, N
U4L9317512	SN5447AW	SN5447AW	U6A7410759X	SN74107J, N	SN74107J, N
U4L9317513	SN5446AW	SN5446AW	U6A742059X	SN7420J, N	SN7420J, N
U4L9317514	SN5447AW	SN5447AW	U6A743059X	SN7430J, N	SN7430J, N
U4L9317591	SN7446AW	SN7446AW	U6A743059X	SN7430J, N	SN7430J, N
U4L9317592	SN7447AW	SN7447AW	U6A744059X	SN7440J, N	SN7440J, N
U4L9317593	SN7446AW	SN7446AW	U6A745059X	SN7450J, N	SN7450J, N
U4L9317594	SN7447AW	SN7447AW	U6A745159X	SN7451J, N	SN7451J, N
U4L932151X		SN54153W	U6A745359X	SN7453J, N	SN7453J, N
U4L932159X		SN74153W	U6A745459X	SN7454J, N	SN7454J, N
U4L932251X		SN54153W	U6A746059X	SN7460J, N	SN7460J, N
U4L932259X		SN74153W	U6A747059X	SN7470J, N	SN7470J, N
U4L932451X		SN5485W	U6A747259X	SN7472J, N	SN7472J, N
U4L932459X		SN7485W	U6A747359X	SN7473J, N	SN7473J, N
U4L932559X	SN74141W	SN74141W	U6A747459X	SN7474J, N	SN7474J, N
U4L9327511	SN5448W	SN5448W	U6A748059X	SN7480J, N	SN7480J, N
U4L9327512	SN5448W	SN5448W	U6A748259X	SN7482J, N	SN7482J, N
U4L9327591	SN7448W	SN7448W	U6A748659X	SN7486J, N	SN7486J, N
U4L9327592	SN7448W	SN7448W	U6A749059X	SN7490J, N	SN7490J, N
U4L932851X		SN5491AW	U6A749159X	SN7491AJ, N	SN7491AJ, N
U4L932859X		SN7491AW	U6A749259X	SN7492J, N	SN7492J, N
U4L934251X	SN54182W	SN54182W	U6A749359X	SN7493J, N	SN7493J, N
U4L934259X	SN74182W	SN74182W	U6A749559X	SN7495AJ, N	SN7495AJ, N
U4L934851X		SN54180W	U6A9N0051X	SN5400J, N	SN5400J, N
U4L934859X		SN74180W	U6A9N0059X	SN7400J, N	SN7400J, N
U4L936051X	SN54192W	SN54192W	U6A9N0151X	SN5401J, N	SN5401J, N
U4L936059X	SN74192W	SN74192W	U6A9N0159X	SN7401J, N	SN7401J, N
U4L936651X	SN54193W	SN54193W	U6A9N0251X	SN5402J, N	SN5402J, N
U4L936659X	SN74193W	SN74193W	U6A9N0259X	SN7402J, N	SN7402J, N
U4L960251X		SN54123W	U6A9N0351X	SN5403J, N	SN5403J, N
U4L960259X		SN74123W	U6A9N0359X	SN7403J, N	SN7403J, N
U4M5418151X	SN54181W	SN54181W	U6A9N0451X	SN5404J, N	SN5404J, N
U4M7418159X	SN74181W	SN74181W	U6A9N0459X	SN7404J, N	SN7404J, N
U4M931151X		SN54150W	U6A9N0551X	SN5405J, N	SN5405J, N
			U6A9N0559X	SN7405J, N	SN7405J, N

Fairchild TTL, Cont.

Type Number	Direct Replacement	Recommended for New Designs	Type Number	Direct Replacement	Recommended for New Designs
U6A9N0851X	SN5408J, N	SN5408J, N	U6A960151X	SN54122J, N	SN54122J, N
U6A9N0859X	SN7408J, N	SN7408J, N	U6A960159X	SN74122J, N	SN74122J, N
U6A9N10451X	SN54104J, N	SN54104J, N	U6B9N7651X	SN5476J, N	SN5476J, N
U6A9N10459X	SN74104J, N	SN74104J, N	U6B9N7659X	SN7476J, N	SN7476J, N
U6A9N1051X	SN5410J, N	SN5410J, N	U6B547551X	SN5475J, N	SN5475J, N
U6A9N10551X	SN54105J, N	SN54105J, N	U6B547651X	SN5476J, N	SN5476J, N
U6A9N10559X	SN74105J, N	SN74105J, N	U6B548351X	SN5483J, N	SN5483J, N
U6A9N1059X	SN7410J, N	SN7410J, N	U6B7414159X	SN74141J, N	SN74141J, N
U6A9N10751X	SN54107J, N	SN54107J, N	U6B744159X	SN74141J, N	SN74141J, N
U6A9N10759X	SN74107J, N	SN74107J, N	U6B747559X	SN7475J, N	SN7475J, N
U6A9N2051X	SN5420J, N	SN5420J, N	U6B747659X	SN7476J, N	SN7476J, N
U6A9N2059X	SN7420J, N	SN7420J, N	U6B748359X	SN7483J, N	SN7483J, N
U6A9N3051X	SN5430J, N	SN5430J, N	U6B901451X		SN5486J, N
U6A9N3059X	SN7430J, N	SN7430J, N	U6B901459X		SN7486J, N
U6A9N4051X	SN5440J, N	SN5440J, N	U6B901551X		SN5402J, N
U6A9N4059X	SN7440J, N	SN7440J, N	U6B901559X		SN7402J, N
U6A9N5051X	SN5450J, N	SN5450J, N	U6B930451X		SN5482J, N
U6A9N5059X	SN7450J, N	SN7450J, N	U6B930459X		SN7482J, N
U6A9N5151X	SN5451J, N	SN5451J, N	U6B930759X	SN5448J, N	SN5448J, N
U6A9N5159X	SN7451J, N	SN7451J, N	U6B930759X	SN7448J, N	SN7448J, N
U6A9N5351X	SN5453J, N	SN5453J, N	U6B930951X		SN54153J, N
U6A9N5359X	SN7453J, N	SN7453J, N	U6B930959X		SN74153J, N
U6A9N5451X	SN5454J, N	SN5454J, N	U6B931559X	SN74141J, N	SN74141J, N
U6A9N5459X	SN7454J, N	SN7454J, N	U6B932559X	SN74141J, N	SN74141J, N
U6A9N6051X	SN5460J, N	SN5460J, N	U6B934851X		SN54180J, N
U6A9N6059X	SN7460J, N	SN7460J, N	U6B934859X		SN74180J, N
U6A9N7051X	SN5470J, N	SN5470J, N	U6B937551X	SN5475J, N	SN5475J, N
U6A9N7059X	SN7470J, N	SN7470J, N	U6B937559X	SN7475J, N	SN7475J, N
U6A9N7251X	SN5472J, N	SN5472J, N	U6B938351X	SN5483J, N	SN5483J, N
U6A9N7259X	SN7472J, N	SN7472J, N	U6B938359X	SN7483J, N	SN7483J, N
U6A9N7351X	SN5473J, N	SN5473J, N	U6N5418151X	SN54181J, N	SN54181J, N
U6A9N7359X	SN7473J, N	SN7473J, N	U6N7418159X	SN74181J, N	SN74181J, N
U6A9N7451X	SN5474J, N	SN5474J, N	U6N930651X		SN54190J, N
U6A9N7459X	SN7474J, N	SN7474J, N	U6N930659X		SN74190J, N
U6A9N8651X	SN5486J, N	SN5486J, N	U6N931151X	SN54154J, N	SN54154J, N
U6A9N8659X	SN7486J, N	SN7486J, N	U6N931159X	SN74154J, N	SN74154J, N
U6A900051X	SN54104J, N	SN54104J, N	U6N934051X		SN54181J, N
U6A900059X	SN74104J, N	SN74104J, N	U6N934059X		SN74181J, N
U6A900151X	SN54105J, N	SN54105J, N	U6N934151X	SN54181J, N	SN54181J, N
U6A900159X	SN74105J, N	SN74105J, N	U6N934159X	SN74181J, N	SN74181J, N
U6A900251X	SN5400J, N	SN5400J, N	U7A935051X		SN5490J, N
U6A900259X	SN7400J, N	SN7400J, N	U7A935059X		SN7490J, N
U6A900351X	SN5410J, N	SN5410J, N	U7A935651X		SN5493J, N
U6A900359X	SN7410J, N	SN7410J, N	U7A935659X		SN7493J, N
U6A900451X	SN5420J, N	SN5420J, N	U7B5418251X	SN54182J, N	SN54182J, N
U6A900459X	SN7420J, N	SN7420J, N	U7B5419251X	SN54192J, N	SN54192J, N
U6A900551X	SN5450J, N	SN5450J, N	U7B5419351X	SN54193J, N	SN54193J, N
U6A900559X	SN7450J, N	SN7450J, N	U7B544251X	SN5442J, N	SN5442J, N
U6A900651X	SN5460J, N	SN5460J, N	U7B544351X	SN5443J, N	SN5443J, N
U6A900659X	SN7460J, N	SN7460J, N	U7B544451X	SN5444J, N	SN5444J, N
U6A900751X		SN5430J, N	U7B544651X	SN5446J, N	SN5446J, N
U6A900759X		SN7430J, N	U7B544751X	SN5447J, N	SN5447J, N
U6A900851X	SN54H53J, N	SN5453J, N	U7B544851X	SN5448J, N	SN5448J, N
U6A900859X	SN74H53J, N	SN7453J, N	U7B549451X	SN5494J, N	SN5494J, N
U6A900951X	SN5440J, N	SN5440J, N	U7B549651X	SN5496J, N	SN5496J, N
U6A900959X	SN7440J, N	SN7440J, N	U7B7418259X	SN74182J, N	SN74182J, N
U6A901251X	SN5403J, N	SN5401J, N	U7B7419259X	SN74192J, N	SN74192J, N
U6A901259X	SN7403J, N	SN7401J, N	U7B7419359X	SN74193J, N	SN74193J, N
U6A901651X	SN5404J, N	SN5404J, N	U7B744259X	SN7442J, N	SN7442J, N
U6A901659X	SN7404J, N	SN7404J, N	U7B744359X	SN7443J, N	SN7443J, N
U6A901751X	SN5405J, N	SN5405J, N	U7B744459X	SN7444J, N	SN7444J, N
U6A901759X	SN7405J, N	SN7405J, N	U7B744659X	SN7446J, N	SN7446J, N
U6A938051X	SN5480J, N	SN5480J, N	U7B744759X	SN7447J, N	SN7447J, N
U6A938059X	SN7480J, N	SN7480J, N	U7B744859X	SN7448J, N	SN7448J, N
U6A938251X	SN5482J, N	SN5482J, N	U7B749459X	SN7494J, N	SN7494J, N
U6A938259X	SN7482J, N	SN7482J, N	U7B749659X	SN7496J, N	SN7496J, N
U6A939051X	SN5490J, N	SN5490J, N	U7B902051X		SN54111J, N
U6A939059X	SN7490J, N	SN7490J, N	U7B902059X		SN74111J, N
U6A939151X	SN5491AJ, N	SN5491AJ, N	U7B902251X		SN54111J, N
U6A939159X	SN7491AJ, N	SN7491AJ, N	U7B902259X		SN74111J, N
U6A939251X	SN5492J, N	SN5492J, N	U7B902451X		SN54111J, N
U6A939259X	SN7492J, N	SN7492J, N	U7B902459X		SN74111J, N
U6A939351X	SN5493J, N	SN5493J, N	U7B930051X	SN54195J, N	SN54195J, N
U6A939359X	SN7493J, N	SN7493J, N	U7B930059X	SN74195J, N	SN74195J, N
U6A939551X	SN5495AJ, N	SN5495AJ, N	U7B930151X		SN5442J, N
U6A939559X	SN7495AJ, N	SN7495AJ, N	U7B930159X		SN7442J, N
U6A960051X		SN54122J, N	U7B931051X	SN54160J, N	SN54160J, N
U6A960059X		SN74122J, N	U7B931059X	SN74160J, N	SN74160J, N

Fairchild TTL, Cont.

Type Number	Direct Replacement	Recommended for New Designs	Type Number	Direct Replacement	Recommended for New Designs
U7B931251X		SN54151J, N	MC411F	SNG182U	SN7430W
U7B931259X		SN74151J, N	MC411L, P	SNG182J, N	SN7430J, N
U7B931451X		SN5475J, N	MC412F	SNG192U	SN7410W
U7B931459X		SN7475J, N	MC412L, P	SNG192J, N	SN7410J, N
U7B931651X	SN54161J, N	SN54161J, N	MC413F	SNF12U	SN7472W
U7B931659X	SN74161J, N	SN74161J, N	MC413L, P	SNF12J, N	SN7472J, N
U7B9317511	SN5446AJ, N	SN5446AJ, N	MC414F	SNF22U	SN7472W
U7B9317512	SN5447AJ, N	SN5447AJ, N	MC414L, P	SNF22J, N	SN7472J, N
U7B9317513	SN5446AJ, N	SN5446AJ, N	MC415F	SNF52J, N	SN7472J, N
U7B9317514	SN5447AJ, N	SN5447AJ, N	MC415L, P	SNF62U	SN74H101W
U7B9317591	SN7446AJ, N	SN7446AJ, N	MC416F	SNF62J, N	SN74H101J, N
U7B9317592	SN7447AJ, N	SN7447AJ, N	MC416L, P		SN74105W
U7B9317593	SN7446AJ, N	SN7446AJ, N	MC417F		SN74105J, N
U7B9317594	SN7447AJ, N	SN7447AJ, N	MC417L, P		SN7438W
U7B932151X		SN54153J, N	MC419F	SNG162U	SN7438J, N
U7B932159X		SN74153J, N	MC419L, P	SNG162J, N	SN7450W
U7B932251X		SN54153J, N	MC420F	SNG72U	SN7450J, N
U7B932259X		SN74153J, N	MC420L, P	SNG72J, N	SN74104W
U7B932451X		SN5485J, N	MC421F	SNF32U	SN74104J, N
U7B932459X		SN7485J, N	MC421L, P	SNF32J, N	SN7474W
U7B9327511	SN5448J, N	SN5448J, N	MC422F		SN7474J, N
U7B9327512	SN5448J, N	SN5448J, N	MC422L, P		SN7473W
U7B9327591	SN7448J, N	SN7448J, N	MC423F	SNF102U	SN7473J, N
U7B9327592	SN7448J, N	SN7448J, N	MC423L, P	SNF102J, N	SN7476W
U7B932851X		SN5491AJ, N	MC424F	SNF112U	SN7476J, N
U7B932859X		SN7491AJ, N	MC424L, P	SNF112J, N	SN7404W
U7B934251X	SN54182J, N	SN54182J, N	MC425F		SN7404J, N
U7B934259X	SN74182J, N	SN74182J, N	MC425L, P		SN7413W
U7B935251X	SN5442J, N	SN5442J, N	MC426F	SNG82U	SN7413J, N
U7B935259X	SN7442J, N	SN7442J, N	MC426L, P	SNG82J, N	SN74H52W
U7B935351X	SN5443J, N	SN5443J, N	MC427F	SNG282U	SN74H52J, N
U7B935359X	SN7443J, N	SN7443J, N	MC427L, P	SNG282J, N	SN74H61W
U7B935451X	SN5444J, N	SN5444J, N	MC428F		SN74H61J, N
U7B935459X	SN7444J, N	SN7444J, N	MC428L, P		SN7420W
U7B9357511	SN5446AJ, N	SN5446AJ, N	MC450F	SNG43U	SN7420J, N
U7B9357512	SN5447AJ, N	SN5447AJ, N	MC450L, P	SNG43J, N	SN7453J, N
U7B9357591	SN7446AJ, N	SN7446AJ, N	MC451F	SNG53U	SN7453J, N
U7B9357592	SN7447AJ, N	SN7447AJ, N	MC451L, P	SNG53J, N	SN7430W
U7B935851X	SN5448J, N	SN5448J, N	MC452F	SNG63U	SN7430J, N
U7B935859X	SN7448J, N	SN7448J, N	MC452L, P	SNG63J, N	SN7486W
U7B936051X	SN54192J, N	SN54192J, N	MC453F	SNG93U	SN7486J, N
U7B936059X	SN74192J, N	SN74192J, N	MC453L, P	SNG93J, N	SN7453W
U7B936651X	SN54193J, N	SN54193J, N	MC454F	SNG103U	SN7453J, N
U7B936659X	SN74193J, N	SN74193J, N	MC454L, P	SNG103J, N	SN74H55W
U7B939451X	SN5494J, N	SN5494J, N	MC455F	SNG113U	SN74H55J, N
U7B939459X	SN7494J, N	SN7494J, N	MC455L, P	SNG113J, N	SN7430W
U7B939651X	SN5496J, N	SN5496J, N	MC456F	SNG123U	SN7430J, N
U7B939659X	SN7496J, N	SN7496J, N	MC456L, P	SNG123J, N	SN75S140W
U7B960251X		SN54123J, N	MC457F	SNG133J, N	SN74S140J, N
U7B960259X		SN74123J, N	MC457L, P	SNG143U	SN7400W
			MC458F	SNG143J, N	SN7400J, N
			MC458L, P	SNG153U	SN74H62W
			MC459F	SNG153J, N	SN74H62J, N
			MC459L, P	SNG173U	SN7460W
			MC460F	SNG173J, N	SN7460J, N
			MC460L, P	SNG183U	SN7430W
			MC461F	SNG183J, N	SN7430J, N
			MC461L, P	SNG193U	SN7410W
			MC462F	SNG193J, N	SN7410J, N
			MC462L, P	SNF13U	SN7472W
			MC463F	SNF13J, N	SN7472J, N
			MC463L, P	SNF13U	SN7472W
			MC464F	SNF23J, N	SN7472J, N
			MC464L, P	SNF53U	SN7472J, N
			MC465F	SNF53J, N	SN7472J, N
			MC465L, P	SNF63U	SN74H101W
			MC466F	SNF63J, N	SN74H101J, N
			MC466L, P		SN74105W
			MC467F		SN74105J, N
			MC467L, P	SNG163U	SN7438W
			MC469F	SNG163J, N	SN7438J, N
			MC469L, P	SNG73U	SN7450W
			MC470F	SNG73J, N	SN7450J, N
			MC470L, P	SNF33U	SN74104W
			MC471F	SNF33J, N	SN74104J, N
			MC471L, P		SN7474W
			MC472F		SN7474J, N
			MC472L, P		

Motorola TTL

Type Number	Direct Replacement	Recommended for New Designs
MC400F	SNG42U	SN7420W
MC400L, P	SNG42J, N	SN7420J, N
MC401F	SNG52U	SN7453W
MC401L, P	SNG52J, N	SN7453J, N
MC402F	SNG62U	SN7430W
MC402L, P	SNG62J, N	SN7430J, N
MC403F	SNG92U	SN7486W
MC403L, P	SNG92J, N	SN7486J, N
MC404F	SNG102U	SN7453W
MC404L, P	SNG102J, N	SN7453J, N
MC405F	SNG112U	SN74H55W
MC405L, P	SNG112J, N	SN74H55J, N
MC406F	SNG122U	SN7430W
MC406L, P	SNG122J, N	SN7430J, N
MC407F	SNG132U	SN74S140W
MC407L, P	SNG132J, N	SN74S140J, N
MC408F	SNG142U	SN7400W
MC408L, P	SNG142J, N	SN7400J, N
MC409F	SNG152U	SN74H62W
MC409L, P	SNG152J, N	SN74H62J, N
MC410F	SNG172U	SN7460W
MC410L, P	SNG172J, N	SN7460J, N

Motorola TTL, Cont

Type Number	Direct Replacement	Recommended for New Designs
MC473F	SNF103U	SN7473W
MC473L, P	SNF103J, N	SN7473J, N
MC474F	SNF113U	SN7476W
MC474L, P	SNF113J, N	SN7476J, N
MC475F		SN7404W
MC475L, P		SN7404J, N
MC476F	SNG83U	SN7413W
MC476L, P	SNG83J, N	SN7413J, N
MC477F	SNG283U	SN74H52W
MC477L, P	SNG283J, N	SN74H52J, N
MC478F		SN74H61W
MC478L, P		SN74H61J, N
MC500F	SNG40U	SN5420W
MC500L	SNG40J, N	SN5420J, N
MC501F	SNG50U	SN5453W
MC501L	SNG50J, N	SN5453J, N
MC502F	SNG60U	SN5430W
MC502L	SNG60J, N	SN5430J, N
MC503F	SNG90U	SN5486W
MC503L	SNG90J, N	SN5486J, N
MC504F	SNG100U	SN5453W
MC504L	SNG100J, N	SN5453J, N
MC505F	SNG110U	SN54H55W
MC505L	SNG110J, N	SN54H55J, N
MC506F	SNG120U	SN5430W
MC506L	SNG120J, N	SN5430J, N
MC507F	SNG130U	SN54S140W
MC507L	SNG130J, N	SN54S140J, N
MC508F	SNG140U	SN5400W
MC508L	SNG140J, N	SN5400J, N
MC509F	SNG150U	SN54H62W
MC509L	SNG150J, N	SN54H62J, N
MC510F	SNG170U	SN5460W
MC510L	SNG170J, N	SN5460J, N
MC511F	SNG180U	SN5430W
MC511L	SNG180J, N	SN5430J, N
MC512F	SNG190U	SN5410W
MC512L	SNG190J, N	SN5410J, N
MC513F	SNF10U	SN5472W
MC513L	SNF10J, N	SN5472J, N
MC514F	SNF20U	SN5472W
MC514L	SNF20J, N	SN5472J, N
MC515F	SNF50U	SN5472W
MC515L	SNF50J, N	SN5472J, N
MC516F	SNF60U	SN54H101W
MC516L	SNF60J, N	SN54H101J, N
MC517F		SN54105W
MC517L		SN54105J, N
MC519F	SNG160U	SN5438W
MC519L	SNG160J, N	SN5438J, N
MC520F	SNG70U	SN5450W
MC520L	SNG70J, N	SN5450J, N
MC521F	SNF30U	SN54104W
MC521L	SNF30J, N	SN54104J, N
MC522F		SN5474W
MC522L		SN5474J, N
MC523F	SNF100U	SN5473W
MC523L	SNF100J, N	SN5473J, N
MC524F	SNF110U	SN5476W
MC524L	SNF110J, N	SN5476J, N
MC525F		SN5476J, N
MC525L		SN5404W
MC526F	SNG80U	SN5404J, N
MC526L	SNG80J, N	SN5413W
MC527F	SNG280U	SN5413J, N
MC527L	SNG280J, N	SN54H52W
MC528F		SN54H52J, N
MC528L		SN54H61W
MC550F	SNG41U	SN54H61J, N
MC550L	SNG41J, N	SN5420W
MC551F	SNG51U	SN5420J, N
MC551L	SNG51J, N	SN5453W
MC552F	SNG61U	SN5453J, N
MC552L	SNG61J, N	SN5430W
MC553F	SNG91U	SN5430J, N
MC553L	SNG91J, N	SN5486W
MC554F	SNG101U	SN5486J, N
MC554L	SNG101J, N	SN5453W
		SN5453J, N

Type Number	Direct Replacement	Recommended for New Designs
MC555F	SNG111U	SN54H55W
MC555L	SNG111J, N	SN54H55J, N
MC556F	SNG121U	SN5430W
MC556L	SNG121J, N	SN5430J, N
MC557F	SNG131U	SN54S140W
MC557L	SNG131J, N	SN54S140J, N
MC558F	SNG141W	SN5400W
MC558L	SNG141J, N	SN5400J, N
MC559F	SNG151U	SN54H62W
MC559L	SNG151J, N	SN54H62J, N
MC560F	SNG171U	SN5460W
MC560L	SNG171J, N	SN5460J, N
MC561F	SNG181U	SN5430W
MC561L	SNG181J, N	SN5430J, N
MC562F	SNG191U	SN5410W
MC562L	SNG191J, N	SN5410J, N
MC563F	SNF11U	SN5472W
MC563L	SNF11J, N	SN5472J, N
MC564F	SNF21U	SN5472W
MC564L	SNF21J, N	SN5472J, N
MC565F	SNF51U	SN5472W
MC565L	SNF51J, N	SN5472J, N
MC566F	SNF61U	SN54H101W
MC566L	SNF61J, N	SN54H101J, N
MC567F		SN54105W
MC567L		SN54105J, N
MC569F	SNG161U	SN5438W
MC569L	SNG161J, N	SN5438J, N
MC570F	SNG71U	SN5450W
MC570L	SNG71J, N	SN5450J, N
MC571F	SNF31U	SN54104W
MC571L	SNF31J, N	SN54104J, N
MC572F		SN5474W
MC572L		SN5474J, N
MC573F	SNF101U	SN5473W
MC573L	SNF101J, N	SN5473J, N
MC574F	SNF111U	SN5476W
MC574L	SNF111J, N	SN5476J, N
MC575F		SN5404W
MC575L		SN5404J, N
MC576F	SNG81U	SN5413W
MC576L	SNG81J, N	SN5413J, N
MC577F	SNG281U	SN54H52W
MC577L	SNG281J, N	SN54H52J, N
MC578F		SN54H61W
MC578L		SN54H61J, N
MC2000F	SNG212U	SN74H55W
MC2000L, P	SNG212J, N	SN74H55J, N
MC2001F	SNG222U	SN74H00W
MC2001L, P	SNG222J, N	SN74H00J, N
MC2002F	SNG232U	SN74H62W
MC2002L, P	SNG232J, N	SN74H62J, N
MC2003F	SNG242U	SN74H20W
MC2003L, P	SNG242J, N	SN74H20J, N
MC2004F	SNG252U	SN74H53W
MC2004L, P	SNG252J, N	SN74H53J, N
MC2005F	SNG262U	SN74H30W
MC2005L, P	SNG262J, N	SN74H30J, N
MC2006F	SNG272U	SN74H60W
MC2006L, P	SNG272J, N	SN74H60J, N
MC2007F	SNG322U	SN74H10W
MC2007L, P	SNG322J, N	SN74H10J, N
MC2008F		SN74H04W
MC2008L, P		SN74H04J, N
MC2009F	SNF252U	SN74H102W
MC2009L, P	SNF252J, N	SN74H102J, N
MC2010F	SNF262U	SN74H101W
MC2010L, P	SNF262J, N	SN74H101J, N
MC2011F	SNG202U	SN74H30W
MC2011L, P	SNG202J, N	SN74H30J, N
MC2012F	SNG302U	SN74H53W
MC2012L, P	SNG302J, N	SN74H53J, N
MC2013F	SNG312U	SN74H50W
MC2013L, P	SNG312J, N	SN74H50J, N
MC2023F	SNF122U	SN74H103W
MC2023L, P	SNF122J, N	SN74H103J, N
MC2024F	SNF132U	SN74H108W
MC2024L, P	SNF132J, N	SN74H108J, N

Motorola TTL, Cont.

Type Number	Direct Replacement	Recommended for New Designs	Type Number	Direct Replacement	Recommended for New Designs
MC2025F	SNF202U	SN74H102W	MC2126F	SNF210U	SN54H101W
MC2025L, P	SNF202J, N	SN74H102J, N	MC2126L	SNF210J, N	SN54H101J, N
MC2026F	SNF212U	SN74H101W	MC2128F		SN54H101W
MC2026L, P	SNF212J, N	SN74H101J, N	MC2128L		SN54H101J, N
MC2028F		SN74H101W	MC2150F	SNG211U	SN54H55W
MC2028L, P		SN74H101J, N	MC2150L	SNG211J, N	SN54H55J, N
MC2050F	SNG213U	SN74H55W	MC2151F	SNG221U	SN54H00W
MC2050L, P	SNG213J, N	SN74H55J, N	MC2151L	SNG221J, N	SN54H00J, N
MC2051F	SNG223U	SN74H00W	MC2152F	SNG231U	SN54H62W
MC2051L, P	SNG223J, N	SN74H00J, N	MC2152L	SNG231J, N	SN54H62J, N
MC2052F	SNG233U	SN74H62W	MC2153F	SNG241U	SN54H20W
MC2052L, P	SNG233J, N	SN74H62J, N	MC2153L	SNG241J, N	SN54H20J, N
MC2053F	SNG243U	SN74H20W	MC2154F	SNG251U	SN54H53W
MC2053L, P	SNG243J, N	SN74H20J, N	MC2154L	SNG251J, N	SN54H53J, N
MC2054F	SNG253U	SN74H53W	MC2155F	SNG251U	SN54H30W
MC2054L, P	SNG253J, N	SN74H53J, N	MC2155L	SNG261J, N	SN54H30J, N
MC2055F	SNG263U	SN74H30W	MC2156F	SNG271U	SN54H60W
MC2055L, P	SNG263J, N	SN74H30J, N	MC2156L	SNG271J, N	SN54H60J, N
MC2056F	SNG273U	SN74H60W	MC2157F	SNG321U	SN54H10J, N
MC2056L, P	SNG273J, N	SN74H60J, N	MC2157L	SNG321J, N	SN54H10J, N
MC2057F	SNG323U	SN74H10W	MC2158F		SN54H04W
MC2057L, P	SNG323J, N	SN74H10J, N	MC2158L		SN54H04J, N
MC2058F		SN74H04W	MC2159F	SNF251U	SN54H102W
MC2058L, P		SN74H04J, N	MC2159L	SNF251J, N	SN54H102J, N
MC2059F	SNF253U	SN74H102W	MC2160F	SNF261U	SN54H101W
MC2059L, P	SNF253J, N	SN74H102J, N	MC2160L	SNF261J, N	SN54H101J, N
MC2060F	SNF263U	SN74H101W	MC2161F	SNG201U	SN54H30W
MC2060L, P	SNF263J, N	SN74H101J, N	MC2161L	SNG201J, N	SN54H30J, N
MC2061F	SNG203U	SN74H30W	MC2162F	SNG301U	SN54H53W
MC2061L, P	SNG203J, N	SN74H30J, N	MC2162L	SNG301J, N	SN54H53J, N
MC2062F	SNG303U	SN74H53W	MC2163F	SNG311U	SN54H50W
MC2062L, P	SNG303J, N	SN74H53J, N	MC2163L	SNG311J, N	SN54H50J, N
MC2063F	SNG313U	SN74H50W	MC2173F	SNF121U	SN54H103W
MC2063L, P	SNG313J, N	SN74H50J, N	MC2173L	SNF121J, N	SN54H103J, N
MC2073F	SNF123U	SN74H103W	MC2174F	SNF131U	SN54H108W
MC2073L, P	SNF123J, N	SN74H103J, N	MC2174L	SNF131J, N	SN54H108J, N
MC2074F	SNF133U	SN74H108W	MC2175F	SNF201U	SN54H102W
MC2074L, P	SNF133J, N	SN74H108J, N	MC2175L	SNF201J, N	SN54H102J, N
MC2075F	SNF203U	SN74H102W	MC2176F	SNF211U	SN54H101W
MC2075L, P	SNF203J, N	SN74H102J, N	MC2176L	SNF211J, N	SN54H101J, N
MC2076F	SNF213U	SN74H101W	MC2178F		SN54H101W
MC2076L, P	SNF213J, N	SN74H101J, N	MC2178L		SN54H101J, N
MC2078F		SN74H101W	MC3000F	SN74H00W	SN74H00W
MC2078L, P		SN74H101J, N	MC3000L	SN74H00J, N	SN74H00J, N
MC2100F	SNG210U	SN54H55W	MC3004F	SN74H01W	SN74H03W
MC2100L	SNG210J, N	SN54H55J, N	MC3004L, P	SN74H01J, N	SN74H03J, N
MC2101F	SNG220U	SN54H00W	MC3005F	SN74H10W	SN74H10W
MC2101L	SNG220J, N	SN54H00J, N	MC3005L, P	SN74H10J, N	SN74H10J, N
MC2102F	SNG230U	SN54H62W	MC3006F	SN74H11W	SN74H11W
MC2102L	SNG230J, N	SN54H62J, N	MC3006L, P	SN74H11J, N	SN74H11J, N
MC2103F	SNG240U	SN54H20W	MC3008F	SN74H04W	SN74H04W
MC2103L	SNG240J, N	SN54H20J, N	MC3008L, P	SN74H04J, N	SN74H04J, N
MC2104F	SNG250U	SN54H53W	MC3009F	SN74H05W	SN74H05W
MC2104L	SNG250J, N	SN54H53J, N	MC3009L, P	SN74H05J, N	SN74H05J, N
MC2105F	SNG260U	SN54H30W	MC3010F	SN74H20W	SN74H20W
MC2105L	SNG260J, N	SN54H30J, N	MC3010L, P	SN74H20J, N	SN74H20J, N
MC2106F	SNG270U	SN54H60W	MC3009L, P	SN74H05J, N	SN74H05J, N
MC2106L	SNG270J, N	SN54H60J, N	MC3010F	SN74H20W	SN74H20W
MC2107F	SNG370U	SN54H10W	MC3010L, P	SN74H20J, N	SN74H20J, N
MC2107L	SNG320J, N	SN54H10J, N	MC3011F	SN74H21W	SN74H21W
MC2108F		SN54H04W	MC3011L, P	SN74H21J, N	SN74H21J, N
MC2108L		SN54H04J, N	MC3012F	SN74H22W	SN74H22W
MC2109F	SNF250U	SN54H102W	MC3012L, P	SN74H22J, N	SN74H22J, N
MC2109L	SNF250J, N	SN54H102J, N	MC3016F	SN74H30W	SN74H30W
MC2110F	SNF260U	SN54H101W	MC3016L, P	SN74H30J, N	SN74H30J, N
MC2110L	SNF260J, N	SN54H101J, N	MC3018F	SN74H62W	SN74H62W
MC2111F	SNG200U	SN54H30W	MC3018L, P	SN74H62J, N	SN74H62J, N
MC2111L	SNG200J, N	SN54H30J, N	MC3019F	SN74H61W	SN74H61W
MC2112F	SNG300U	SN54H53W	MC3019L, P	SN74H61J, N	SN74H61J, N
MC2112L	SNG300J, N	SN54H53J, N	MC3020F	SN74H50W	SN74H50W
MC2113F	SNG310U	SN54H50W	MC3020L, P	SN74H50J, N	SN74H50J, N
MC2113L	SNG310J, N	SN54H50J, N	MC3021F	SN7486W	SN7486W
MC2123F	SNF120U	SN54H103W	MC3021L	SN7486J, N	SN7486J, N
MC2123L	SNF120J, N	SN54H103J, N	MC3023F	SN74H51W	SN74H51W
MC2124F	SNF130U	SN54H108W	MC3023L, P	SN74H51J, N	SN74H51J, N
MC2124L	SNF130J, N	SN54H108J, N	MC3024F	SN74H40W	SN74H40W
MC2125F	SNF200U	SN54H102W	MC3024L, P	SN74H40J, N	SN74H40J, N
MC2125L	SNF200J, N	SN54H102J, N			

Motorola TTL, Cont.

Type Number	Direct Replacement	Recommended for New Designs	Type Number	Direct Replacement	Recommended for New Designs
MC3025F	SN74H40W	SN74H40W	MC3154F	SN54H71W	SN54H71W
MC3025L, P	SN74H40J, N	SN74H40J, N	MC3154L	SN54H71J, N	SN54H71J, N
MC3030F	SN74H60W	SN74H60W	MC3155F	SN54H72W	SN54H72W
MC3030L, P	SN74H60J, N	SN74H60J, N	MC3155L	SN54H72J, N	SN54H72J, N
MC3031F	SN74H52W	SN74H52W	MC3160F	SN54H74W	SN54H74W
MC3031L, P	SN74H52J, N	SN74H52J, N	MC3160L	SN54H74J, N	SN54H74J, N
MC3032F	SN74H53W	SN74H53W	MC3161F	SN54S114W	SN54S114W
MC3032L, P	SN74H53J, N	SN74H53J, N	MC3161L	SN54S114J, N	SN54S114J, N
MC3033F	SN74H54W	SN74H54W	MC3162F	SN54S113W	SN54S113W
MC3033L, P	SN74H54J, N	SN74H54J, N	MC3162L	SN54S113J, N	SN54S113J, N
MC3034F	SN74H55W	SN74H55W	MC5400F	SN5400W	SN5400W
MC3034L, P	SN74H55J, N	SN74H55J, N	MC5400L	SN5400J, N	SN5400J, N
MC3050F		SN74H72W	MC5401F	SN5401W	SN5401W
MC3050L, P		SN74H72J, N	MC5401L	SN5401J, N	SN5401J, N
MC3051F		SN74H102W	MC5402F	SN5402W	SN5402W
MC3051L, P		SN74H102J, N	MC5402L	SN5402J, N	SN5402J, N
MC3052F		SN74H102W	MC5403L	SN5403J, N	SN5403J, N
MC3052L, P		SN74H102J, N	MC5404F	SN5404W	SN5404W
MC3054F	SN74H71W	SN74H71W	MC5404L	SN5404J, N	SN5404J, N
MC3054L, P	SN74H71J, N	SN74H71J, N	MC5405F	SN5405W	SN5405W
MC3055F	SN74H72W	SN74H72W	MC5405L	SN5405J, N	SN5405J, N
MC3055L, P	SN74H72J, N	SN74H72J, N	MC5410F	SN5410W	SN5410W
MC3060F	SN74H74W	SN74H74W	MC5410L	SN5410J, N	SN5410J, N
MC3060L, P	SN74H74J, N	SN74H74J, N	MC5420F	SN5420W	SN5420W
MC3061F	SN74S114W	SN74S114W	MC5420L	SN5420J, N	SN5420J, N
MC3061L, P	SN74S114J, N	SN74S114J, N	MC5430F	SN5430W	SN5430W
MC3062F	SN74S113W	SN74S113W	MC5430L	SN5430J, N	SN5430J, N
MC3062L, P	SN74S113J, N	SN74S113J, N	MC5440F	SN5440W	SN5440W
MC3100F	SN54H00W	SN54H00W	MC5440L	SN5440J, N	SN5440J, N
MC3100L	SN54H00J, N	SN54H00J, N	MC5442L	SN5442J, N	SN5442J, N
MC3104F	SN54H01W	SN54H01W	MC5443L	SN5443J, N	SN5443J, N
MC3104L	SN54H01J, N	SN54H01J, N	MC5444L	SN5444J, N	SN5444J, N
MC3105F	SN54H10W	SN54H10W	MC5445L	SN5445J, N	SN5445J, N
MC3105L	SN54H10J, N	SN54H10J, N	MC5446L	SN5446J, N	SN5446J, N
MC3106F	SN54H11W	SN54H11W	MC5447L	SN5447J, N	SN5447J, N
MC3106L	SN54H11J, N	SN54H11J, N	MC5450F	SN5450W	SN5450W
MC3108F	SN54H04W	SN54H04W	MC5450L	SN5450J, N	SN5450J, N
MC3108L	SN54H04J, N	SN54H04J, N	MC5451F	SN5451W	SN5451W
MC3109F	SN54H05W	SN54H05W	MC5451L	SN5451J, N	SN5451J, N
MC3109L	SN54H05J, N	SN54H05J, N	MC5453F	SN5453W	SN5453W
MC3110F	SN54H20W	SN54H20W	MC5453L	SN5453J, N	SN5453J, N
MC3110L	SN54H20J, N	SN54H20J, N	MC5454F	SN5454W	SN5454W
MC3111F	SN54H21W	SN54H21W	MC5454L	SN5454J, N	SN5454J, N
MC3111L	SN54H21J, N	SN54H21J, N	MC5460F	SN5460W	SN5460W
MC3112F	SN54H22W	SN54H22W	MC5460L	SN5460J, N	SN5460J, N
MC3112L	SN54H22J, N	SN54H22J, N	MC5472F	SN5472W	SN5472W
MC3116F	SN54H30W	SN54H30W	MC5472L	SN5472J, N	SN5472J, N
MC3116L	SN54H30J, N	SN54H30J, N	MC5473F	SN5473W	SN5473W
MC3118F	SN54H62W	SN54H62W	MC5473L	SN5473J, N	SN5473J, N
MC3118L	SN54H62J, N	SN54H62J, N	MC5480L	SN5480J, N	SN5480J, N
MC3119F	SN54H61W	SN54H61W	SN5483L	SN5483J, N	SN5483J, N
MC3119L	SN54H61J, N	SN54H61J, N	MC5490L	SN5490W	SN5490W
MC3120F	SN54H50W	SN54H50W	MC5490L	SN5490J, N	SN5490J, N
MC3120L	SN54H50J, N	SN54H50J, N	MC5491A L	SN5491A, N	SN5491A, N
MC3121F	SN5486W	SN5486W	MC5492F	SN5492W	SN5492W
MC3121L	SN5486J, N	SN5486J, N	MC5492L	SN5492J, N	SN5492J, N
MC3123F	SN54H51W	SN54H51W	MC5493L	SN5493J, N	SN5493J, N
MC3123L	SN54H51J, N	SN54H51J, N	MC5494L	SN5494J, N	SN5494J, N
MC3124F	SN54H40W	SN54H40W	MC5495F	SN5495A W	SN5495A W
MC3124L	SN54H40J, N	SN54H40J, N	MC5495L	SN5495A J, N	SN5495A J, N
MC3125F	SN54H40W	SN54H40W	MC5496L	SN5496J, N	SN5496J, N
MC3125L	SN54H40J, N	SN54H40J, N	MC15842L	SN5482J, N	SN5482J, N
MC3130F	SN54H60W	SN54H60W	MC54107L	SN54107J, N	SN54107J, N
MC3130L	SN54H60J, N	SN54H60J, N	MC54121F	SN54121W	SN54121W
MC3131F	SN54H52W	SN54H52W	MC54121L	SN54121J, N	SN54121J, N
MC3131L	SN54H52J, N	SN54H52J, N	MC54150L	SN54150J, N	SN54150J, N
MC3132F	SN54H53W	SN54H53W	MC54151L	SN54151J, N	SN54151J, N
MC3132L	SN54H53J, N	SN54H53J, N	MC54192L	SN54192J, N	SN54192J, N
MC3133F	SN54H54W	SN54H54W	MC54193L	SN54193J, N	SN54193J, N
MC3133L	SN54H54J, N	SN54H54J, N	MC7400F	SN7400W	SN7400W
MC3134F	SN54H55W	SN54H55W	MC7400L, P	SN7400J, N	SN7400J, N
MC3134L	SN54H55J, N	SN54H55J, N	MC7401F	SN7401W	SN7401W
MC3150F		SN54H72W	MC7401L, P	SN7401J, N	SN7401J, N
MC3150L		SN54H72J, N	MC7402F	SN7402W	SN7402W
MC3151F		SN54H102W	MC7402L, P	SN7402J, N	SN7402J, N
MC3151L		SN54H102J, N	MC7403L, P	SN7403J, N	SN7403J, N
MC3152F		SN54H102W	MC7404F	SN7404W	SN7404W
MC3152L		SN54H102J, N	MC7404L, P	SN7404J, N	SN7404J, N

Motorola TTL, Cont.

Type Number	Direct Replacement	Recommended for New Designs	Type Number	Direct Replacement	Recommended for New Designs
MC7405F	SN7405W	SN7405W	MC4018L, P		SN74191J, N
MC7405L, P	SN7405J, N	SN7405J, N	MC4023F		SN7492W
MC7410F	SN7410W	SN7410W	MC4023L, P		SN7492J, N
MC7410L, P	MC7410J, N	SN7410J, N	MC4026F		SN74H183W
MC7420F	SN7420W	SN7420W	MC4026L, P		SN74H183J, N
MC7420L, P	SN7420J, N	SN7420J, N	MC4027F		SN74H183W
MC7430F	SN7430W	SN7430W	MC4027L, P		SN74H183J, N
MC7430L, P	SN7430J, N	SN7430J, N	MC4028F		SN74181W
MC7440F	SN7440W	SN7440W	MC4028L, P		SN74181J, N
MC7440L, P	SN7440J, N	SN7440J, N	MC4029F		SN74181W
MC7441AL, P	SN74141J, N	SN74141J, N	MC4029L, P		SN74181J, N
MC7442L, P	SN7442J, N	SN7442J, N	MC4030F		SN74181W
MC7443L, P	SN7443J, N	SN7443J, N	MC4030L, P		SN74181J, N
MC7444L, P	SN7444J, N	SN7444J, N	MC4031F		SN74181W
MC7445L, P	SN7445J, N	SN7445J, N	MC4031L, P		SN74181J, N
MC7446L, P	SN7446AJ, N	SN7446AJ, N	MC4032F		SN74182W
MC7447L, P	SN7447AJ, N	SN7447AJ, N	MC4032L, P		SN74182J, N
MC7450F	SN7450W	SN7450W	MC4035F		SN7475W
MC7450L, P	SN7450J, N	SN7450J, N	MC4035L, P		SN7475J, N
MC7451F	SN7451W	SN7451W	MC4037F		SN7475W
MC7451L, P	SN7451J, N	SN7451J, N	MC4037L, P		SN7415J, N
MC7453F	SN7453W	SN7453W	MC4039P		SN7448J, N
MC7453L, P	SN7453J, N	SN7453J, N	MC4304F	SN5481W	SN5481W
MC7454F	SN7454W	SN7454W	MC4304L, P	SN5481J, N	SN5481J, N
MC7454L, P	SN7454J, N	SN7454J, N	MC4305F	SN5481W	SN5481W
MC7460F	SN7460W	SN7460W	MC4305L	SN5481J, N	SN5481J, N
MC7460L, P	SN7460J, N	SN7460J, N	MC316L, P		SN54190J, N
MC7472F	SN7472W	SN7472W	MC4318L, P		SN54191J, N
MC7472L, P	SN7472J, N	SN7472J, N	MC4326F		SN54H183W
MC7473F	SN7473W	SN7473W	MC4326L		SN54H183J, N
MC7473L, P	SN7473J, N	SN7473J, N	MC4327F		SN54H183W
MC7480L, P	SN7480J, N	SN7480J, N	MC4327L		SN54H183J, N
SN7483L, P	SN7483J, N	SN7483J, N	MC4328F		SN54181W
MC7490F	SN7490W	SN7490W	MC4328L		SN54181J, N
MC7490L, P	SN7490J, N	SN7490J, N	MC4329F		SN54181W
MC7491AL, P	SN7491AJ, N	SN7491AJ, N	MC4329L		SN54181J, N
MC7492F	SN7492W	SN7492W	MC4330F		SN54181W
MC7492L, P	SN7492J, N	SN7492J, N	MC4330L		SN54181J, N
MC7493L, P	SN7493J, N	SN7493J, N	MC4331F		SN54181W
SN7494L, P	SN7494J, N	SN7494J, N	MC4331L		SN54181J, N
SN7495F	SN7495AW	SN7495AW	MC4332F		SN54182W
SN7495L, P	SN7495AJ, N	SN7495AJ, N	MC4332L		SN54182J, N
SN7496L, P	SN7496J, N	SN7496J, N	MC4335F		SN5475W
MC17482L	SN7482J, N	SN7482J, N	MC4335L, P		SN5475J, N
MC74107L, P	SN74107J, N	SN74107J, N	MC4337F		SN5475W
MC74121F	SN74121W	SN74121W	MC4337L, P		SN5475J, N
MC74121L, P	SN74121J, N	SN74121J, N	MC8300L, P	SN74195J, N	SN74195J, N
MC74150L	SN74150J, N	SN74150J, N	MC8301L, P		SN7442J, N
MC74151L, P	SN74151J, N	SN74151J, N	MC8304L, P		SN7482J, N
MC74192L, P	SN74192J, N	SN74192J, N	MC8309L, P		SN74153J, N
MC74193L, P	SN74193J, N	SN74193J, N	MC8312L, P		SN74151J, N
			MC8601F	SN74122W	SN74122W
			MC8601L, P	SN74122J, N	SN74122J, N
			MC9300L	SN54195J, N	SN54195J, N
			MC9301L		SN5442J, N
			MC9304L		SN5482J, N
			MC9309L		SN54153J, N
			MC9312L		SN54151J, N
			MC9601F	SN54122W	SN54122W
			MC9601L	SN54122J, N	SN54122J, N

Motorola Complex Functions

Type Number	Direct Replacement	Recommended For New Designs
MC4000F		SN74153W
MC4000L, P		SN74153J, N
MC4001L, P		SN74184J, N or SN74185AJ, N
		SN74155W
MC4002F		SN74155J, N
MC4002L, P		SN7481W
MC4004F	SN7481W	SN7481W
MC4004L, P	SN7481J, N	SN7481J, N
MC4005F	SN7481W	SN7481W
MC4005L, P	SN7481J, W	SN7481J, N
MC4006F		SN74155W
MC4006L, P		SN74155J, N
MC4007L, P		SN74155J, N
MC4008F		SN74180W
MC4008L, P		SN74180J, N
MC4010F		SN74180W
MC4010L, P		SN74180J, N
MC4012F		SN7495AW
MC4012L, P		SN7495AJ, N
MC4015L, P		SN7475J, N
MC4016L, P		SN74190J, N

National TTL

Type Number †	Direct Replacement	Recommended for New Designs
DM5400D, N (7000)	SN5400J, N	SN5400J, N
DM5401D, N (7001)	SN5401J, N	SN5401J, N
DM5402D, N (7002)	SN5402J, N	SN5402J, N
DM5403D, N (7003)	SN5403J, N	SN5403J, N
DM5404D, N (7004)	SN5404J, N	SN5404J, N
DM5405D, N (7005)	SN5405J, N	SN5405J, N
DM5408D, N (7008)	SN5408J, N	SN5408J, N
DM5409D, N (7009)	SN5409J, N	SN5409J, N
DM5410D, N (7010)	SN5410J, N	SN5410J, N
DM5420D, N (7020)	SN5420J, N	SN5420J, N
DM5430D, N (7030)	SN5430J, N	SN5430J, N
DM5440D, N (7040)	SN5440J, N	SN5440J, N

National TTL

TT 100000

Type Number†	Direct Replacement	Recommended for New Designs	Type Number	Direct Replacement	Recommended for New Designs
DM5442D, N (7842)	SN5442J, N	SN5442J, N	DM7598D, N		SN5488J, N
DM5446D, N (7846)	SN5446AJ, N	SN5446AJ, N	DM7599D, N		SN5489J, N
DM5447D, N (7847)	SN5447AJ, N	SN5447AJ, N	DM8200D, N		SN7485J, N
DM5448D, N (7848)	SN5448J, N	SN5448J, N	DM8210D, N		SN74151J, N
DM5450D, N (7050)	SN5450J, N	SN5450J, N	DM8220D, N		SN74180J, N
DM5451D, N (7051)	SN5451J, N	SN5451J, N	DM8280D, N (7680)		SN54196J, N
DM5453D, N (7053)	SN5453J, N	SN5453J, N	DM8281D, N (7681)		SN54197J, N
DM5454D, N (7054)	SN5454J, N	SN5454J, N	DM8288D, N (7688)		SN54197J, N
DM5460D, N (7060)	SN5460J, N	SN5460J, N	DM8300D, N (8600)	SN74195J, N	SN74195J, N
DM5472D, N (7540)	SN5472J, N	SN5472J, N	DM8311D, N (8213)	SN74154J, N	SN74154J, N
DM5473D, N (7501)	SN5473J, N	SN5473J, N	DM8520D, N		SN7497J, N
DM5474D, N (7510)	SN5474J, N	SN5474J, N	DM8551D, N		SN7475J, N
DM5475D, N (7550)	SN5475J, N	SN5475J, N	DM8560D, N	SN74192J, N	SN74192J, N
DM5476D, N (7500)	SN5476J, N	SN5476J, N	DM8563D, N	SN74193J, N	SN74193J, N
DM5483D, N (7283)	SN5483J, N	SN5483J, N	DM8570D, N	SN74164J, N	SN74164J, N
DM5486D, N (7086)	SN5486J, N	SN5486J, N	DM8588D, N	SN7488J, N	SN7488J, N
DM5488D, N (7588)	SN5488J, N	SN5488J, N	DM8590D, N	SN74165J, N	SN74165J, N
DM5490D, N (7530)	SN5490J, N	SN5490J, N	DM8598D, N		SN7488J, N
DM5491AD, N	SN5491AJ, N	SN5491AJ, N	DM8599D, N		SN7489J, N
DM5492D, N (7532)	SN5492J, N	SN5492J, N	DM8960D, N (8850)	SN74122J, N	SN74122J, N
DM5493D, N (7533)	SN5493J, N	SN5493J, N	DM9300D, N (7600)	SN54195J, N	SN54195J, N
DM5495D, N (7580)	SN5495AJ, N	SN5495AJ, N	DM931D, N (7213)	SN54154J, N	SN54154J, N
DM54107D, N (7502)	SN54107J, N	SN54107J, N	DM9601D, N (7850)	SN54122J, N	SN54122J, N
DM54121D, N	SN54121J, N	SN54121J, N			
DM54153D, N (7212)	SN54153J, N	SN54153J, N			
DM54154D, N (7213)	SN54154J, N	SN54154J, N			
DM7200D, N		SN5485J, N			
DM7210D, N		SN54151J, N			
DM7220D, N		SN54180J, N			
DM7280D, N (8680)		SN54196J, N			
DM7281D, N (8681)		SN54197J, N			
DM7288D, N (8688)		SN54197J, N			
DM7400D, N (8000)	SN7400J, N	SN7400J, N	N7400A	SN7400J, N	SN7400J, N
DM7401D, N (8001)	SN7401J, N	SN7401J, N	N7400J	SN7400W	SN7400W
DM7402D, N (8002)	SN7402J, N	SN7402J, N	N7401A	SN7401J, N	SN7401J, N
DM7403D, N (8003)	SN7403J, N	SN7403J, N	N7401J	SN7401W	SN7401W
DM7404D, N (8004)	SN7404J, N	SN7404J, N	N7402A	SN7402J, N	SN7402J, N
DM7405D, N (8005)	SN7405J, N	SN7405J, N	N7402Q	SN7402W	SN7402W
DM7408D, N (8008)	SN7408J, N	SN7408J, N	N7403A	SN7403J, N	SN7403J, N
DM7409D, N (8009)	SN7409J, N	SN7409J, N	N7404A	SN7404J, N	SN7404J, N
DM7410D, N (8010)	SN7410J, N	SN7410J, N	N7404Q	SN7404W	SN7404W
DM7420D, N (8020)	SN7420J, N	SN7420J, N	N7405A	SN7405J, N	SN7405J, N
DM7430D, N (8030)	SN7430J, N	SN7430J, N	N7405Q	SN7405W	SN7405W
DM7440D, N (8040)	SN7440J, N	SN7440J, N	N7408A	SN7408J, N	SN7408J, N
DM7441D, N (8841)	SN7441AJ, N	SN7441AJ, N	N7408Q	SN7408W	SN7408W
DM7442D, N (8842)	SN7442J, N	SN7442J, N	N7410A	SN7410J, N	SN7410J, N
DM7446D, N (8846)	SN7446AJ, N	SN7446AJ, N	N7410J	SN7410W	SN7410W
DM7447D, N (8847)	SN7447AJ, N	SN7447AJ, N	N7420A	SN7420J, N	SN7420J, N
DM7448D, N (8848)	SN7448J, N	SN7448J, N	N7420J	SN7420W	SN7420W
DM7450D, N (8050)	SN7450J, N	SN7450J, N	N7430A	SN7430J, N	SN7430J, N
DM7451D, N (8051)	SN7451J, N	SN7451J, N	N7430J	SN7430W	SN7430W
DM7453D, N (8053)	SN7453J, N	SN7453J, N	N7440A	SN7440J, N	SN7440J, N
DM7454D, N (8054)	SN7454J, N	SN7454J, N	N7440Q	SN7440W	SN7440W
DM7460D, N (8060)	SN7460J, N	SN7460J, N	N7441B	SN7441J, N	SN7441J, N
DM7472D, N (8540)	SN7472J, N	SN7472J, N	N7450A	SN7450J, N	SN7450J, N
DM7473D, N (8501)	SN7473J, N	SN7473J, N	N7450J	SN7450W	SN7450W
DM7474D, N (8510)	SN7474J, N	SN7474J, N	N7451A	SN7451J, N	SN7451J, N
DM7475D, N (8550)	SN7475J, N	SN7475J, N	N7451J	SN7451W	SN7451W
DM7476D, N (8500)	SN7476J, N	SN7476J, N	N7453A	SN7453J, N	SN7453J, N
DM7483D, N (8283)	SN7483J, N	SN7483J, N	N7453J	SN7453W	SN7453W
DM7486D, N (8086)	SN7486J, N	SN7486J, N	N7454A	SN7454J, N	SN7454J, N
DM7488D, N (8588)	SN7488J, N	SN7488J, N	N7454J	SN7454W	SN7454W
DM7490D, N (8530)	SN7490J, N	SN7490J, N	N7460A	SN7460J, N	SN7460J, N
DM7491AD, N	SN7491AJ, N	SN7491AJ, N	N7460J	SN7460W	SN7460W
DM7492D, N (8532)	SN7492J, N	SN7492J, N	N7470A	SN7470J, N	SN7470J, N
DM7493D, N (8533)	SN7493J, N	SN7493J, N	N7470J	SN7470W	SN7470W
DM7495D, N (8580)	SN7495AJ, N	SN7495AJ, N	N7472A	SN7472J, N	SN7472J, N
DM74107D, N (8502)	SN74107J, N	SN74107J, N	N7472J	SN7472W	SN7472W
DM74121D, N	SN74121J, N	SN74121J, N	N7473A	SN7473J, N	SN7473J, N
DM74153D, N (8212)	SN74153J, N	SN74153J, N	N7473J	SN7473W	SN7473W
DM74154D, N (8213)	SN74154J, N	SN74154J, N	N7474A	SN7474J, N	SN7474J, N
DM7520D, N		SN5497J, N	N7474J	SN7474W	SN7474W
DM7551D, N		SN5475J, N	N7475B	SN7575J, N	SN7475J, N
DM7560D, N	SN54192J, N	SN54192J, N	N7476B	SN7476J, N	SN7476J, N
DM7563D, N	SN54193J, N	SN54193J, N	N4777Q	SN7477W	SN7477W
DM7570D, N	SN54164J, N	SN54164J, N	N7480A	SN7480J, N	SN7480J, N
DM7588D, N	SN5488J, N	SN5488J, N	N7480Q	SN7480W	SN7480W
DM7590D, N	SN54165J, N	SN54165J, N	N7490A	SN7490J, N	SN7490J, N
			N7490Q	SN7490W	SN7490W
			N7491A	SN7491J, N	SN7491J, N

†Number in parentheses is an obsolete type number.

Signetics TTL

Type Number	Direct Replacement	Recommended for New Designs
N7400A	SN7400J, N	SN7400J, N
N7400J	SN7400W	SN7400W
N7401A	SN7401J, N	SN7401J, N
N7401J	SN7401W	SN7401W
N7402A	SN7402J, N	SN7402J, N
N7402Q	SN7402W	SN7402W
N7403A	SN7403J, N	SN7403J, N
N7404A	SN7404J, N	SN7404J, N
N7404Q	SN7404W	SN7404W
N7405A	SN7405J, N	SN7405J, N
N7405Q	SN7405W	SN7405W
N7408A	SN7408J, N	SN7408J, N
N7408Q	SN7408W	SN7408W
N7410A	SN7410J, N	SN7410J, N
N7410J	SN7410W	SN7410W
N7420A	SN7420J, N	SN7420J, N
N7420J	SN7420W	SN7420W
N7430A	SN7430J, N	SN7430J, N
N7430J	SN7430W	SN7430W
N7440A	SN7440J, N	SN7440J, N
N7440Q	SN7440W	SN7440W
N7441B	SN7441J, N	SN7441J, N
N7450A	SN7450J, N	SN7450J, N
N7450J	SN7450W	SN7450W
N7451A	SN7451J, N	SN7451J, N
N7451J	SN7451W	SN7451W
N7453A	SN7453J, N	SN7453J, N
N7453J	SN7453W	SN7453W
N7454A	SN7454J, N	SN7454J, N
N7454J	SN7454W	SN7454W
N7460A	SN7460J, N	SN7460J, N
N7460J	SN7460W	SN7460W
N7470A	SN7470J, N	SN7470J, N
N7470J	SN7470W	SN7470W
N7472A	SN7472J, N	SN7472J, N
N7472J	SN7472W	SN7472W
N7473A	SN7473J, N	SN7473J, N
N7473J	SN7473W	SN7473W
N7474A	SN7474J, N	SN7474J, N
N7474J	SN7474W	SN7474W
N7475B	SN7575J, N	SN7475J, N
N7476B	SN7476J, N	SN7476J, N
N4777Q	SN7477W	SN7477W
N7480A	SN7480J, N	SN7480J, N
N7480Q	SN7480W	SN7480W
N7490A	SN7490J, N	SN7490J, N
N7490Q	SN7490W	SN7490W
N7491A	SN7491J, N	SN7491J, N

Signetics TTL, Cont.

Type Number	Direct Replacement	Recommended for New Designs	Type Number	Direct Replacement	Recommended for New Designs
N7491Q	SN7491W	SN7491W	S5453A	SN5453J, N	SN5453J, N
N7492A	SN7492J, N	SN7492J, N	S5453J	SN5453W	SN5453W
N7492Q	SN7492W	SN7492W	S5454A	SN5453J, N	SN5454J, N
N7493A	SN7493J, N	SN7493J, N	S5354J	SN5454W	SN5454W
N7493Q	SN7493W	SN7493W	S5460A	SN5460J, N	SN5460J, N
N74107A	SN74107J, N	SN74107J, N	S5460J	SN5460W	SN5460W
N74H00A	SN74H00J, N	SN74H00J, N	S5470A	SN5470J, N	SN5470J, N
N74H00Q	SN74H00W	SN74H00W	S5470J	SN5470W	SN5470W
N74H01A	SN74H01J, N	SN74H01J, N	S5472A	SN5472J, N	SN5472J, N
N74H01Q	SN74H01W	SN74H01W	S5472J	SN5472W	SN5472W
N74H04A	SN74H04J, N	SN74H04J, N	S5473A	SN5473J, N	SN5473J, N
N74H04Q	SN74H04W	SN74H04W	S5473J	SN5473W	SN5473W
N74H05A	SN74H05J, N	SN74H05J, N	S5474A	SN5474J, N	SN5474J, N
N74H05Q	SN74H05W	SN74H05W	S5474J	SN5474W	SN5474W
N74H10A	SN74H10J, N	SN74H10J, N	S5475B	SN5475J, N	SN5475J, N
N74H10Q	SN74H10W	SN74H10W	S5476B	SN5476J, N	SN5476J, N
N74H11A	SN74H11J, N	SN74H11J, N	S5477Q	SN5477W	SN5477W
N74H11Q	SN74H11W	SN74H11W	S5480A	SN5480J, N	SN5480J, N
N74H20A	SN74H20J, N	SN74H20J, N	S5480Q	SN5480W	SN5480W
N74H20Q	SN74H20W	SN74H20W	S5490A	SN5490J, N	SN5490J, N
N74H21A	SN74H21J, N	SN74H21J, N	S5490Q	SN5490W	SN5490W
N74H21Q	SN74H21W	SN74H21W	S5491A	SN5491J, N	SN5491J, N
N74H22A	SN74H22J, N	SN74H22J, N	S5491Q	SN5491W	SN5491W
N74H22Q	SN74H22W	SN74H22W	S5492A	SN5492J, N	SN5492J, N
N74H30A	SN74H30J, N	SN74H30J, N	S5492Q	SN5492W	SN5492W
N74H30J	SN74H30W	SN74H30W	S5493A	SN5493J, N	SN5493J, N
N74H40A	SN74H40J, N	SN74H40J, N	S5493Q	SN5493W	SN5493W
N74H40Q	SN74H40W	SN74H40W	S54107A	SN54107J, N	SN54107J, N
N74H50A	SN74H50J, N	SN74H50J, N	S54H00A	SN54H00J, N	SN54H00J, N
N74H50Q	SN74H50W	SN74H50W	S54H00Q	SN54H00W	SN54H00W
N74H51A	SN74H51J, N	SN74H51J, N	S54H01A	SN54H01J, N	SN54H01J, N
N74H51Q	SN74H51W	SN74H51W	S54H01Q	SN54H01W	SN54H01W
N74H52A	SN74H52J, N	SN74H52J, N	S54H04A	SN54H04J, N	SN54H04J, N
N74H52Q	SN74H52W	SN74H52W	S54H04Q	SN54H04W	SN54H04W
N74H53A	SN74H53J, N	SN74H53J, N	S54H05A	SN54H05J, N	SN54H05J, N
N74H53J	SN74H53W	SN74H53W	S54H05Q	SN54H05W	SN54H05W
N74H54A	SN74H54J, N	SN74H54J, N	S54H10A	SN54H10J, N	SN54H10J, N
N74H54J	SN74H54W	SN74H54W	S54H10Q	SN54H10W	SN54H10W
N74H55A	SN74H55J, N	SN74H55J, N	S54H11A	SN54H11J, N	SN54H11J, N
N74H55J	SN74H55W	SN74H55W	S54H11Q	SN54H11W	SN54H11W
N74H60A	SN74H60J, N	SN74H60J, N	S54H20A	SN54H20J, N	SN54H20J, N
N74H60Q	SN74H60W	SN74H60W	S54H20Q	SN54H20W	SN54H20W
N74H61A	SN74H61J, N	SN74H61J, N	S54H21A	SN54H21J, N	SN54H21J, N
N74H61J	SN74H61W	SN74H61W	S54H21Q	SN54H21W	SN54H21W
N74H62A	SN74H62J, N	SN74H62J, N	S54H22A	SN54H22J, N	SN54H22J, N
N74H62J	SN74H62W	SN74H62W	S54H22Q	SN54H22W	SN54H22W
N74H72A	SN74H72J, N	SN74H72J, N	S54H30A	SN54H30J, N	SN54H30J, N
N74H72Q	SN74H72W	SN74H72W	S54H30Q	SN54H30W	SN54H30W
N74H73A	SN74H73J, N	SN74H73J, N	S54H30Q	SN54H30W	SN54H30W
N74H73Q	SN74H73W	SN74H73W	S54H50A	SN54H50J, N	SN54H50J, N
N74H74A	SN74H74J, N	SN74H74J, N	S54H50Q	SN54H50W	SN54H50W
N74H74Q	SN74H74W	SN74H74W	S54H51A	SN54H51J, N	SN54H51J, N
N74H76B	SN74H76J, N	SN74H76J, N	S54H51Q	SN54H51W	SN54H51W
S5400A	SN5400J, N	SN5400J, N	S54H52A	SN54H52J, N	SN54H52J, N
S5400J	SN5400W	SN5400W	S54H52Q	SN54H52W	SN54H52W
S5401A	SN5401J, N	SN5401J, N	S54H53A	SN54H53J, N	SN54H53J, N
S5401J	SN5401W	SN5401W	S54H53J	SN54H53W	SN54H53W
S5402A	SN5402J, N	SN5402J, N	S54H54A	SN54H54J, N	SN54H54J, N
S5402Q	SN5402W	SN5402W	S54H54J	SN54H54W	SN54H54W
S5403A	SN5403J, N	SN5403J, N	S54H55A	SN54H55J, N	SN54H55J, N
S5404A	SN5404J, N	SN5404J, N	S54H55J	SN54H55W	SN54H55W
S5404Q	SN5404W	SN5404W	S54H60A	SN54H60J, N	SN54H60J, N
S5405A	SN5405J, N	SN5405J, N	S54H60Q	SN54H60W	SN54H60W
S5405Q	SN5405W	SN5405W	S54H61J	SN54H61J, N	SN54H61J, N
S5408A	SN5408J, N	SN5408J, N	S54H61J	SN54H61W	SN54H61W
S5408Q	SN5408W	SN5408W	S54H62A	SN54H62J, N	SN54H62J, N
S5410A	SN5410J, N	SN5410J, N	S54H62J	SN54H62W	SN54H62W
S5410J	SN5410W	SN5410W	S54H72A	SN54H72J, N	SN54H72J, N
S5420A	SN5420J, N	SN5420J, N	S54H72A	SN54H72W	SN54H72W
S5420J	SN5420W	SN5420W	S54H72Q	SN54H72W	SN54H72W
S5430A	SN5430J, N	SN5430J, N	S54H73A	SN54H73J, N	SN54H73J, N
S5430J	SN5430W	SN5430W	S54H73Q	SN54H73W	SN54H73W
S5440A	SN5440J, N	SN5440J, N	S54H74A	SN54H74J, N	SN54H74J, N
S5440J	SN5440W	SN5440W	S54H74Q	SN54H74W	SN54H74W
S5450A	SN5450J, N	SN5450J, N	S54H76J	SN54H76J, N	SN54H76J, N
S5450J	SN5450W	SN5450W			
S5451A	SN5451J, N	SN5451J, N			
S5451J	SN5451W	SN5451W			

他社製品との比較一覧表(国内編)

TI	MITSUBISHI	TOSHIBA	HITACHI	NEC	O K I	FUJITSU
SN7400N series	M53200P series	TD3400P series	HD2500 series	MPB200C series	MSL1200 series	MB400 series
SN7400N	M53200P	TD3400P	HD2503P	MPB201C	MSL1201	MB400M
SN7401N	M53201P	TD3401AP	HD2509P	MPB215C	MSL1205	MB416M
SN7402N	M53202P	TD3402P	HD2511P	MPB232C	MSL1206	MB417M
SN7403N	M53203P		HD2528P			
SN7404N	M53204P	TD3404P	HD2522P		MSL1200	
SN7405N	M53205P		HD2523P		MSL1219	
SN7406N						
SN7407N						
SN7408N						
SN7409N				MPB223C		
SN7410N	M53210P	TD3410P	HD2507P	MPB202C	MSL1202	MB401M
SN7411N				MPB233C		
SN7412N						
SN7413N						
SN7414N						
SN7415N						
SN7416N						
SN7417N						
SN7418N						
SN7419N						
SN7420N	M53220P	TD3420P	HD2504P	MPB203C	MSL1203	MB402M
SN7421N		TD3421AP		MPB216		
SN7422N						
SN7423N						
SN7424N						
SN7425N						
SN7426N						
SN7427N						
SN7428N						
SN7429N						
SN7430N	M53230P	TD3430P	HD2508P	MPB204C	MSL1204	MB403M
SN7431N						
SN7432N						
SN7433N						
SN7434N						
SN7435N						
SN7436N						
SN7437N						
SN7438N						
SN7439N						
SN7440N	M53240P	TD3440P	HD2501P	MPB205C	MSL1211	MB404M
SN7441AN	M53241P	TD3441P	HD2518P	MPB218C	MSL1263	
SN7442N	M53242P		HD2536P		MSL1260	MB442M
SN7443N	M53243P		HD2537P			
SN7444N	M53244P		HD2538P			
SN7445N						
SN7446N						
SN7447N	M53247P					
SN7448N	M53248P					
SN7449N						
SN7450N	M53250P	TD3450P	HD2506P	MPB206C	MSL1220	MB405
SN7451N		TD3451P	HD2505P	MPB207C	MSL1221	
SN7452N						
SN7453N	M53253P		HD2512P	MPB208C	MSL1223	MB411
SN7454N			HD2514P	MPB209C	MSL1224	
SN7455N						
SN7456N						
SN7457N						
SN7458N						
SN7459N						
SN7460N	M53260P	TD3460P	HD2502P	MPB210C	MSL1215	MB406M
SN7461N						
SN7462N						
SN7463N						
SN7464N						
SN7465N						
SN7466N						
SN7467N						
SN7468N						
SN7469N						
SN7470N	M53270P			MPB211C		
SN7471N						
SN7472N	M53272P	TD3472AP	HD2529P	MPB212C	MSL1230	MB407M
SN7473N	M53273P	TD3473P	HD2515P	MPB213C	MSL1231	
SN7474N	M53274P	TD3474P	HD2510P	MPB214C	MSL1236	
SN7475N	M53275P	TD3475AP	HD2517P	MPB217C	MSL1237	
SN7476N	M53276P		HD2516P	MPB224C	MSL1235	

TI	mitsubishi	TOSHIBA	HITACHI	AN E C	H O K I	FUJITSU
SN7477N						
SN7478N						
SN7479N						
SN7480N	M53280P	TD3480P		MPB2080C		MB408M
SN7481N					MSL1270	
SN7482N		TD3482P	HD2513P		MSL1282	
SN7483N	M53283P	TD3483P	HD2535P	MPB230C	MSL1283	
SN7484N	M53284P			MPB2084C	MSL1271	
SN7485N						
SN7486N	M53286P		HD2526P	MPB2086C	MSL1214	
SN7487N						
SN7488N						
SN7489N						
SN7490N	M53290P	TD3490P	HD2519P	MPB219C	MSL1250	
SN7491AN	M53291P	TD3491P	HD2524P	MPB2091	MSL1240	
SN7492N	M53292P	TD3492P	HD2521P	MPB222C	MSL1251	
SN7493N	M53293P	TD3493P	TD2520P	MPB223C	MSL1252	
SN7494N						
SN7495N	M53295P			MPB226C	MSL1241	
SN7496N	M53296P					
SN7497N						
SN7498N						
SN7499N						
SN74100N						
SN74101N						
SN74102N						
SN74103N						
SN74104N						
SN74105N						
SN74106N						
SN74107N	M53307P				MSL1232	MB410
SN74108N						
SN74109N						
SN74110N						
SN74111N						
SN74112N						
SN74113N						
SN74114N						
SN74115N						
SN74116N						
SN74117N						
SN74118N						
SN74119N						
SN74120N				MPB221C		
SN74121N	M53321P					
SN74122N						
SN74123N						
SN74149N						
SN74150N						MB445
SN74151N	M53351P					
SN74152N						
SN74153N						
SN74154N						
SN74155N						
SN74156N						
SN74157N						
SN74158N						
SN74159N						
SN74160N						
SN74161N						
SN74162N						
SN74163N						
SN74164N						
SN74165N						
SN74166N						
SN74167N						
SN74168N						
SN74169N						
SN74170N						
SN74171N						
SN74172N						
SN74173N						
SN74174N						
SN74175N						
SN74176N						
SN74177N						
SN74178N						

UNIT	TI	MITSUBISHI	TOSHIBA	HITACHI	NEC	OKI	FUJITSU
------	----	------------	---------	---------	-----	-----	---------

SN74179N
 SN74180N
 SN74181N
 SN74182N
 SN74183N
 SN74184N
 SN74185AN
 SN74186N
 SN74187N
 SN74188N
 SN74189N
 SN74190N
 SN74191N
 SN74192N
 SN74193N
 SN74194N
 SN74195N
 SN74196N
 SN74197N
 SN74198N

M53380P

M53392P
M53393P

34192AP

34192AP

MPB2180C

MPB2192C

MSL1228

MSI/TTL LSI/TTL

豊富なファミリーが可能性をひろげます

デコーダ/デマルチプレクサ

SN54/7442	BCD-to-Decimal Decoder
SN54/7443	Excess-3-to-Decimal Decoder
SN54/7444	Excess-3-Gray-to-Decimal Decoder
SN54/74154	4-Line-to-16-Line (1 of 16) Decoder/Demultiplexer
SN54/74155	Dual 2-Line-to-4-Line Decoder/Demultiplexers
SN54/74156	Dual 2-Line-to-4-Line Decoder/Demultiplexers with Open-Collector Output

デコーダ/ランプドライバ/バッファ

SN54/7445	BCD-to-Decimal Decoder/Driver with 30-V Output
SN54/74145	BCD-to-Decimal Decoder/Driver with 15-V Output
SN54/7446A	BCD-to-Seven-Segment Decoder/Driver with 30-V Outputs
SN54/7447A	BCD-to-Seven-Segment Decoder/Driver with 15-V Outputs
SN54/7448	BCD-to-Seven Segment Decoder
SN54/7449	BCD-to-Seven Segment Decoder (14-pin function)
SN74141	BCD-to-Decimal <i>Nixiel</i> Tube Driver
* SN74142	Counter-Latch-Decoder <i>Nixiel</i> Tube Driver
* SN74143	Synchronous BCD Counter/Latch
	Seven Segment Decoder/Driver (Constant Current)
* SN74144	Synchronous BCD Counter/Latch
	Seven Segment Decoder/Driver

コードコンバータ

SN54/74184	BCD-to-Binary Converter
SN54/74185A	Binary-BCD Converter

メモリー/ラッチ

SN54/7475	Quadruple Bistable Latch
SN54/7477	Quadruple Bistable Latch (14-pin function)
SN54/7481A	16-Bit Random-Access Memory
SN54/7484A	16-Bit Random-Access Memory with Gated Write Inputs
SN7489	64-Bit Random Access Memory
* SN74200	256-Bit Random Access Memory
* SN74201	128x2 Bit Random Access Memory
SN54/7488	256-Bit Read Only Memory
* SN54/74187	1024-Bit Read Only Memory
SN54/74100	8-Bit Bistable Latch
SN54/74170	4-By-4 Register File

アリスティック エLEMENT

SN54/7480	Gated Full Adder
SN54/7482	2-Bit Binary Full Adder
SN54/7483	4-Bit Binary Full Adder
SN54/7485	4-Bit Magnitude Comparator
SN54L/74L85	4-Bit Magnitude Comparator (Low Power)
SN54/7486	Quadruple 2-Input Exclusive-OR Gate
SN54L/74L86	Quadruple 2-Input Exclusive-OR Gate (Low Power)
SN54H/74H87	4-Bit True/Complement Zero/One Element
SN54/74180	8-Bit Odd/Even Parity Generator/Checker
SN54/74181	4-Bit Arithmetic Logic Unit (ALU) and Function Generator
SN54/74182	Look-Ahead Carry Generator (for ALU)
SN54H/74H183	Dual Carry-Save Full Adder

* 昭和47年2月より発売予定

アシンクロナス カウンタ

SN54/7490	Decade Counter
SN54/7492	Divide-By-Twelve Counter
SN54/7493	4-Bit Binary Counter
SN54L74L93	4-Bit Binary Counter (Low Power)
SN54/74196	50-MHz Presettable Decade Counter
SN54/74197	50-MHz Presettable 4-Bit Binary Counter

シンクロナス カウンタ

SN54/7497	Synchronous 6-Bit Binary Rate Multiplier
SN54/74167	Synchronous Decade Decimal Rate Multiplier
SN54/74160	Synchronous Decade Counter
SN54/74161	Synchronous 4-Bit Binary Counter
SN54/74162	Fully Synchronous Decade Counter
SN54/74163	Fully Synchronous 4-Bit Binary Counter
SN54/74190	Synchronous Up/Down Decade Counter (Single Clock Line)
SN54/74191	Synchronous Up/Down 4-Bit Binary Counter (Single Clock Line)
SN54/74192	Synchronous Up/Down Decade Counter (Two Clock Lines)
SN54/74193	Synchronous Up/Down 4-Bit Binary Counter (Two Clock Lines)

4, 5, 6ビットシフト/ストレージレジスタ

SN54/7494	4-Bit Shift Register (Parallel-In, Serial-Out)
SN54/7495A	4-Bit Universal Shift Register (Parallel In, Parallel-Out)
SN54L/74L95	4-Bit Universal Shift Register (Parallel-In, Parallel-Out) (Low Power)
SN54/7496	5-Bit Shift Register (Dual-Parallel-In, Parallel-Out)
SN54L/74L98	4-Bit Data Selector/Storage Register (Low Power)
SN54L/74L99	4-Bit Right-Shift Register with JK and D (Low Power)
SN54/74174	Hex D-Type Flop/Storage Register
SN54/74175	Quadruple D-Type Flip-Flop/Storage Register
SN54/74194	4-Bit Parallel-In, Parallel-Out Bidirectional Shift Register
SN54/74195	4-Bit Parallel-In, Parallel-Out Shift Register (J-K Inputs to first Stage)
SN74178	4-Bit Shift Register (Parallel-In)
SN74179	4-Bit Shift Register (Parallel-In with Clear)

8ビットシフトレジスタ

SN54/7491A	8-Bit Shift Register
SN54L/74L91	8-Bit Shift Register (Low Power)
SN54/74164	8-Bit Parallel-Out Shift Register
SN54/74165	Parallel-Load 8-Bit Shift Register
SN54/74166	Parallel-Load 8-Bit Shift Register
SN54/74198	8-Bit Parallel-In, Parallel-Out Bidirectional Shift Register
SN54/74199	8-Bit Parallel-In, Parallel-Out Shift Register (J, K Inputs to First Stage)

データセレクト/マルチプレクサ

SN54/74150	16-Bit Data Selector/Multiplexer
SN54/74151	8-Bit Data Selector/Multiplexer with Strobe
SN54/74152	8-Bit Data Selector/Multiplexer
SN54/74153	Dual 4-Line-to-1-Line Data Selector/Multiplexer
SN54/74157	Quadruple 2-Input Data Selector/Multiplexer
* SN54S/74S157	Quadruple 2-Input Data Selector/Multiplexer
* SN54S/74S158	Quadruple 2-Input Data Selector/Multiplexer

TTL APPLICATION MANUAL

もろもろの性能をフルに活用する

TTLアプリケーションマニュアル ©

昭和47年9月10日印刷

昭和47年9月15日発行

定価 1,200円

発行 テキサス インスツルメンツ アジア リミテッド
 東京都港区南青山2-24-15 青山タワービル5階
 電話 (03) 402-6171(代)

発売 株式会社 エレクトロニクスダイジェスト書店部
 東京都港区芝公園3-5-8 機械振興会館ビル地下3階
 電話 (03) 434-3360 振替 東京 8 1 8 4

Printed in Japan

TTLアプリケーションマニュアル

TTLは品種の豊富さ、使いやすさ、或は経済性などが注目され、電子産業ばかりでなく他の分野にも多数使われております。ところがTTLに関する技術書、実用書で役に立つものは皆無といえます。

ここに、新たにTTLを使うとき、他のデジタルICを使った経験をもとにTTLを使い始めようという技術者に役立つように本書を企画しました。

即納・定価 ¥1,200 (B5判 312頁) 送料 ¥140

〔第1章 TTL入門〕

1. TTL概説
2. 54/74シリーズゲートを用いた論理設計
3. 入出力結合回路
4. 負荷条件
5. 雑音及びその対策

〔第2章 各種TTLとその応用〕

1. ゲート、バッファ、ドライバ、シュミット、マルチ
2. フリップ・フロップとその応用
3. カウンタ
4. シフトレジスタ
5. デコーダ/ドライバ、コード・コンバータ

6. 論理演算素子とその応用
7. データセレクタとその応用

〔第3章 システムインタフェースと74Sシリーズ〕

1. システムインタフェース
2. 磁気メモリとのインタフェース
3. トランスミッションラインとのインタフェース
4. MOSとのインタフェース
5. その他のシステムとのインタフェース
6. SN74Sシリーズとその応用

〔付録〕

各種一覧表、他社製品との比較一覧表

●発行 テキサスインスツルメンツアジアリミテッド (梅原秀之, 中村善泰著)

発売 エレクトロニクスダイジェスト書店部 東京都港区芝公園3-5-8(機械振興会館ビル地下3F)
郵便番号 105 電話 (03) 434-3360

'73電子測定器と応用システム総覧

即納・定価 ¥1,500・送料 ¥140

どの測定器にしようか?
規格は? 価格は?



1.2 デジタル電圧計

(1) 直流電圧計

会社名	形名・品名	測定範囲	桁数	誤差	R_{in} ($M\Omega$)	計測時間 (ms)	備考	価格 (千円)
菊水電子	151形 デジタルポルトメータ	$\pm 0.0000 \sim 1000.0V$ 最大表示 12000(4レンジ)	5	$\pm (0.05\% + 1 \text{ 数字})$	1000以上	200	積分形パルス幅変換方式 レンジ切換は自動付	195
桑野電機	DV-451 デジタル電圧計	$\pm 1.100/\pm 11.00/\pm 110.0/\pm 1000V$	4	$\pm (0.1\% + 1 \text{ 数字})$	100以上*	50	電圧比0~120%測定可能 *1V, 10Vレンジのとき	145
"	DV-460A "	$\pm 50/\pm 500mV/\pm 5/\pm 50/\pm 500/\pm 1000V$	4	$\pm (0.05\% + 1 \text{ 数字})$	10	約80	積分形 出力: BCD電圧出力	176
"	DV-550 "	$\pm 0.5/\pm 5/\pm 50/\pm 500/\pm 1000V$	5	$\pm (0.01\% + 1 \text{ 数字})$	100以上*	約80	積分形 *0.5V, 5Vレンジのと き	399
タケダ 研	-TR-6567 積分型デ ジタル電圧計	$\pm 1/10/100/1000Vfs$	7	$\pm 0.006\%$	1000/10	1.1s	世界最大表示 1299999 デ ジボルである	1400

●編集 電子機械工業会 ●発行 電子計測出版社

発売 エレクトロニクスダイジェスト書店部 東京都港区芝公園3-5-8(機械振興会館ビル地下3F)
郵便番号 105 電話 (03) 434-3360

演算増幅器ハンドブック

演算増幅器の応用設計について、具体的データを中心にまとめた実用書である。

積分・加算・微分・発振器・スイッチング・比較器・バッファ・関数発生器・インピーダンスマッチング・センシング・アクティブフィルタなどを、原理・適用範囲・使い方・応用設計について明らかにしてあります（本書はエレクトロニクスダイジェストに掲載されたものの再録です。）

即納・定価 ￥850(B5判 216頁) 送料140

第1編 演算増幅器の応用技術

1. 技術の動向……………
2. 動作原理……………
3. 基本特性……………
4. 線形回路への応用……………
5. 非線形回路への応用……………
6. 特性測定……………
7. 規格の読み方と正しい扱い方……………
8. 参考文献……………

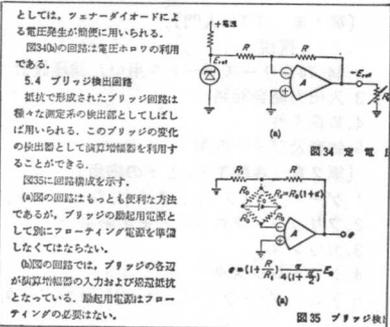
第2編 演算増幅器の応用例

1. ME機器への応用……………
2. 放射線機器への応用……………
3. 厚み計への応用……………(城)
4. 研究開発への応用……………
5. デジタル計測への応用……………
6. 計算機への応用……………

第3編 B-B社 HANDBOOK OF O-P AMP APPLICATIONS

第4編 B-B社 HANDBOOK OF ACTIVE RC NETWORKS

[APPENDIX] トランジスタ低圧安定化電源の回路と設計法, 他



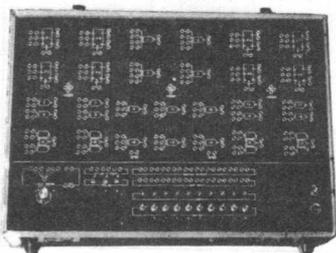
発売 エレクトロニクスダイジェスト書店部 東京都港区芝公園3-5-8(機械振興会館ビル地下3F) 郵便番号 105 電話 (03) 434-3360

シーケンスマスタ

OS-SM-I

ロジックトレーニングが容易におこなえます
基本から——コンピュータ・シーケンサまで

シーケンスマスタは、最新のTTLコンピュータ用IC 16個を採用して、コンピュータおよびシーケンス制御装置の基本になる論理回路の基礎から応用までを、初心者にも判りやすく、すばやく学習できるよう考慮のもとに設計してあります。



- TTL IC採用
- 他のロジック部品と互換性あり
- 使用回路
 - J-Kフリップ・フロップ…………… 8個
 - 8ビット・スイッチ・レジスタ…………… 1個
 - 表示ランプ…………… 10個
 - マニュアル・パルス・スイッチ…………… 3個
 - 可変周波数クロック…………… 1個
 - 4インプットNANDゲート…………… 4個
 - 3インプットNANDゲート…………… 6個
 - 2インプットNANDゲート…………… 8個
 - AND/NORゲート…………… 4個
- 可変周波数クロックは1Hzから10MHzまで
- 安定化電源内蔵：100V50～60Hz 使用で+5Vをロジックに供給
- 家庭コンセントを利用しても、電源変動の影響なし
- ランプ、ヒューズは簡単に互換できる

●製造 大矢産業株式会社

発売 エレクトロニクスダイジェスト書店部 東京都港区芝公園3-5-8(機械振興会館ビル地下3F) 郵便番号 105 電話 (03) 434-3360

OPERATIONAL AMPLIFIER

演算増幅器の設計および応用について、決定版ともいえる本書が、米国・マグロウヒル社より発行されました。米国内においては、技術者の教科書としてベストセラーをつづけております。在庫がわずかですので、お早目にお申し込み下さい。（在庫切れの場合は、約2ヵ月のご猶予をお願いします）

即納・定価 ¥5,200・送料 ¥1,000

NEW FROM McGRAW-HILL AND BURR-BROWN

The industry's first reference book on Operational Amplifiers.

COMPREHENSIVE

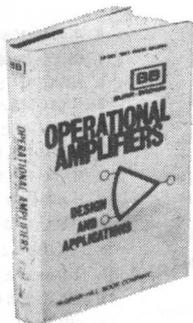
Over 500 pages and 300 illustrations covering Basic Theory, Circuit Design, Test Methods, and applications of Operational Amplifiers.

AUTHORITATIVE

Written by the applications and engineering staffs of Burr-Brown, utilizing the accumulated design experience of the leading company in op amp technology.

VERSATILE

Can be effectively used as a reference for the design engineer or as a text for seminars and university course work.



●協賛 極東貿易(株) 計測器第2部 電子第1課

発売 エレクトロニクスダイジェスト書店部 東京都港区芝公園3-5-8(機械振興会館ビル地下3F)
郵便番号 105 電話 (03) 434-3360

オペアンプキット

3個1組・技術資料付
¥10,000 即納

演算増幅器応用実験には、B-B社3503 3個が基本になります。この便利なキットを使用して、オペアンプ実験をマスターして下さい。

BB MODEL 3503

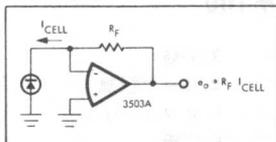
FET INPUT OPERATIONAL AMPLIFIERS

FEATURES:

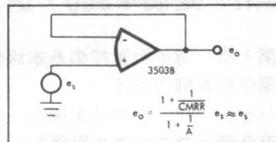
- LOW BIAS CURRENT · 1pA
- HIGH INPUT IMPEDANCE · $10^{13} \Omega$
- HIGH COMMON MODE REJECTION · 86dB
- INTERNAL FREQUENCY COMPENSATION

〔使用例〕

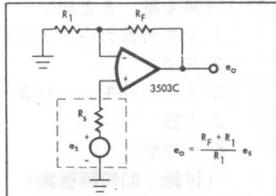
PHOTOCELL AMPLIFIER



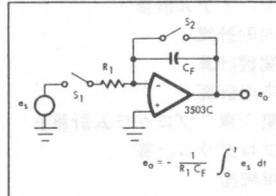
UNITY GAIN BUFFER



pH CELL BUFFER



INTEGRATOR



●協賛 極東貿易(株) 計測器第2部 電子第1課

発売 エレクトロニクスダイジェスト書店部 東京都港区芝公園3-5-8(機械振興会館ビル地下3F)
郵便番号 105 電話 (03) 434-3360

ミニコンピュータハンドブック

本書は、ミニコンピュータの各分野における応用事例と、その応用にとって必要な、各種周辺装置とのインターフェイスの問題を明らかにしたものです(本書はエレクトロニクスダイジェストに掲載されたものの再録です。)

即納・定価 ¥1,200(B5判 260頁) 送料 ¥140

【第1編 アプリケーション】

1. NC機械に対する群管理システム
2. IC試験システム
3. 電力系統の信頼度計算システム
4. ホテル予約・会計業務システム
5. オンライン排気ガス分析処理システム(1)
6. オンライン排気ガス分析処理システム(2)
7. けい光X線分析システム
8. 生化学自動分析データ処理システム
9. RIデータ処理システム
10. 自動臨床検査システム
11. 病院における検査管理・病歴管理システム

12. 写真測量システム
13. 自動製図システム
14. 放送の自動化システム
15. 新聞製作工程管理システム
16. ティーチングマシンシステム
17. 三次元測定機システム

【第II編 インターフェイス】

1. PDP-8 Iとハイスピードリーダ・パンチャ(PC-05)
2. PDP-8 Iとハイスピードリーダ・パンチャ(PC-01)
3. TK-70とカセットデッキ
4. ミニコンピュータとインクリメンタルデータレコーダ
5. ミニコンピュータとインクリメンタルX-Yプロッタ

6. ミニコンピュータとX-Yプロッタ
 7. OKITAC-4300とX-Yプロッタ
 8. NEAC-M4とディスク(1)
 9. NEAC-M4とディスク(2)
 10. HITAC-10とCRTディスプレイ
 11. MACC-7とA-D, D-A変換器(1)
 12. MACC-7とA-D, D-A変換器(2)
 13. 計測用インターフェイス
 14. TOSBAC-40とプロセス入出力装置
 15. FACOM-Rとプロセス入出力制御装置
 16. Memocan と数値制御(NC)装置
 17. NMCと汎用インターフェイス
- 【APPENDIX】
NMC Model 03 SCにおける論理回路の設計

発売 エレクトロニクスダイジェスト書店部 東京都港区芝公園3-5-8(機械振興会館ビル地下3F)
郵便番号 105 電話 (03) 434-3360

高校数学と電子計算機

昭和48年度から実施される高校数学・新学習指導要領に基き数学一般、数II、応用数学の基本的に重要と思われる問題を選び、①考え方②プログラムの組み方③操作方法から結果を求める等、すべてについて判りやすく解説しました。採用機種種のハイタックミニはコンパイラ言語を用いるシステムなのでコンパイラを、十分に理解できるように解説しました。

即納・定価 ¥500・送料 ¥100

【第1章 電子計算機の基本操作】

1. 電子計算機の基礎
2. ハイタックミニの基本操作

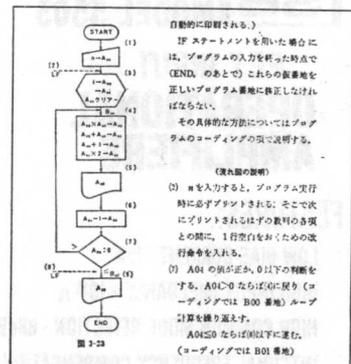
【第2章 マニュアル計算】

1. マニュアル計算
2. 四則計算
3. 関数計算
4. 応用計算

【第3章 プログラム計算】

1. プログラム計算
2. 単線型

3. 分岐
 4. ループ計算
 5. サブルーチン
 6. 応用
- 【第4章 まとめ】
1. システムカードの使い方
 2. 文法表
 3. サブルーチン一覧表
 4. 用語
 5. その他
- 【付録 問題解答集】



●発行 (株)エレクトロニクスダイジェスト (浅見豊治・染谷 弘著)

発売 エレクトロニクスダイジェスト書店部 東京都港区芝公園3-5-8(機械振興会館ビル地下3F)
郵便番号 105 電話 (03) 434-3360